

Computer Architecture

08b. Exploiting ILP 2

Jianhua Li

College of Computer and Information
Hefei University of Technology

本章内容概要

4.1 指令级并行的概念

4.2 指令的动态调度

4.3 动态分支预测技术

4.4 多指令流出技术

4.5 循环展开和指令调度

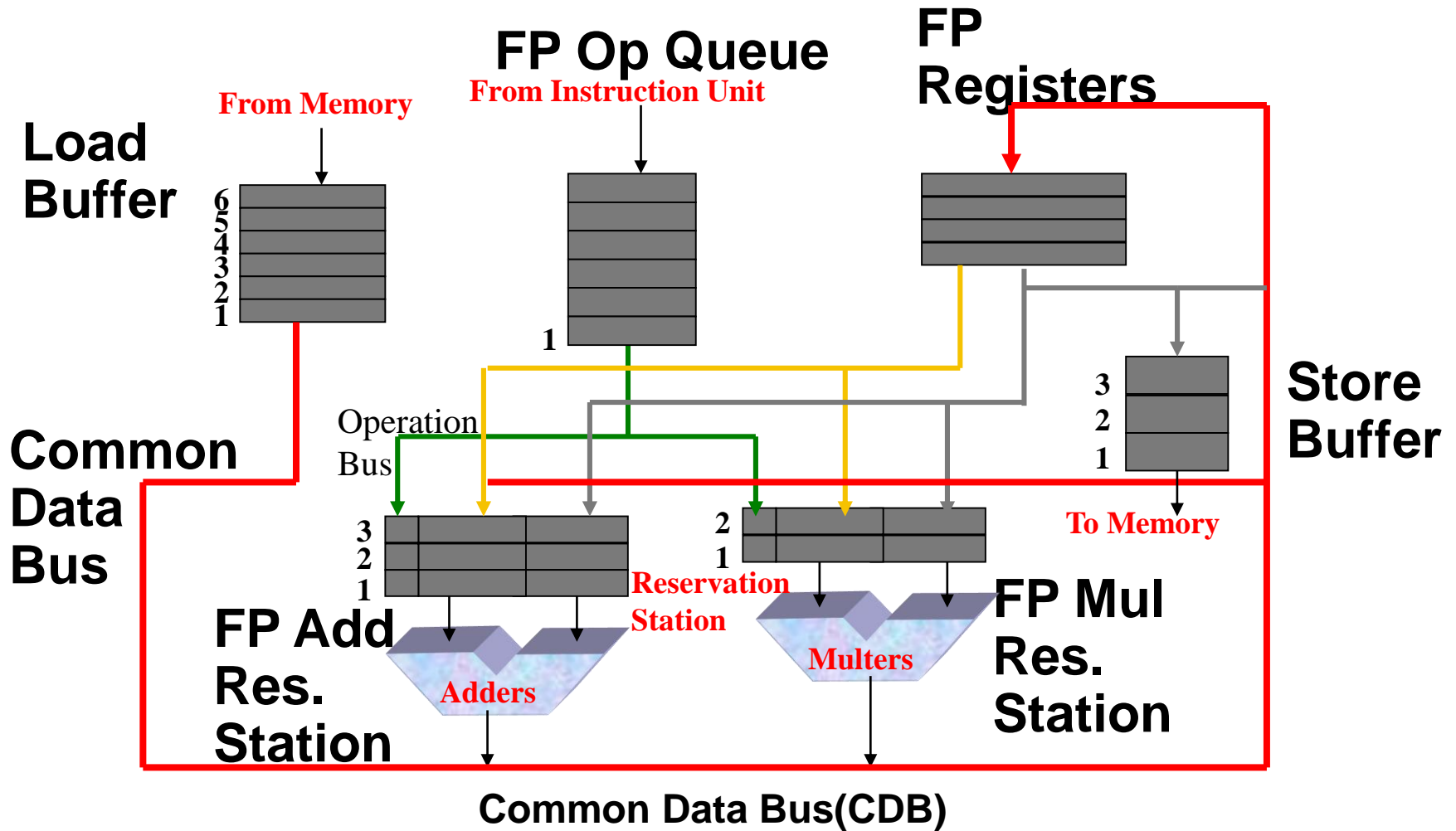
Tomasulo算法

- 为IBM 360/91设计的、在CDC 6600三年之后（1966）
- 目标：即使在没有特殊编译支持的情况下，也能取得高性能；
- IBM 360 和 CDC 6600指令系统体系结构之间的差异：
 - IBM的每条指令有两个寄存器描述符(register specifiers)，而CDC 6600有三个；
 - IBM有四个浮点寄存器，而CDC 6600有八个。
- 为什么要学习Tomasulo算法？
 - 由此产生了Alpha 21264、HP 8000、MIPS 10000、Pentium II、PowerPC 604, ...

Tomasulo算法

- 控制&缓冲器**分布于功能部件** 与 **集中于记分板**；
 - 功能部件缓冲器称为 “保留站(reservation stations)”，用来存放未决的操作数；
- 指令中的寄存器被数值或者指向保留站的指针代替，这一过程称为：**寄存器换名(register renaming)**；
 - 消除WAR、WAW冒险；
 - 保留站比实际寄存器多，因而可以完成编译器所不能完成的一些优化工作；
- 结果从RS直通FU，无需通过寄存器，而是通过公共数据总线（Common Data Bus）把结果广播到所有的FU；
- 装入（Load） 和 存储（Stores）也象其他功能部件一样具有保留站（专门的缓冲器）；

Tomasulo的架构图



Tomasulo算法的三个阶段

1. Issue—从FP Op Queue中取出指令

- 如果保留站空闲（**无结构冒险**），控制机制发射指令&发送操作数（**对寄存器进行换名，消除名相关**）。

2. Execution—对操作数执行操作(EX)

- 如果两个操作数都已就绪，就执行；（**RAW的处理**）
- 如果没有就绪，就观测公共数据总线等待所需结果；

3. Write result—完成执行(WB)

- 通过公共数据总线将结果写入到所有等待的部件；
- 标记保留站可用（Not busy）；

公共数据总线：数据 + 源（“来源”总线）

- 64位数据 + 4位功能部件源地址；
- 如果与期望的功能部件匹配，就“写”（产生结果）；
- 进行广播（broadcast）；

保留站的组成

- **Op**—该部件将完成的具体操作(例如, + or -)
- **Vj, Vk**—源操作数的实际数值
 - 存储缓冲器(Store buffers)设有V域, 存放将存储的结果;
- **Qj, Qk**—将产生源寄存器值(将写的值)的保留站
- **Busy**—指明保留站 或 FU 处于忙状态

注意:

- 没有记分板中的就绪(READY)标志;
 - 在tomasulo算法中Qj, Qk=0 就表示操作数处于ready状态。
-
- **Register result status**—指明哪个功能部件将写到哪个寄存器(Qi)。如果没有将写入寄存器的未决指令, 该域为空 ;

Tomasulo示例 第0周期

Instruction status				Execution	Write
Instruction	j	k	Issue	complete	Result
LD F6	34+	R2			
LD F2	45+	R3			
MUL F0	F2	F4			
SUB F8	F6	F2			
DIV F10	F0	F6			
ADD F6	F8	F2			

	Busy	Address
Load1	No	
Load2	No	
Load3	No	

Reservation Stations				S1	S2	RS for j	RS for k
Time	Name	Busy	Op	Vj	Vk	Qj	Qk
0	Add1	No					
0	Add2	No					
0	Add3	No					
0	Mult1	No					
0	Mult2	No					

LD: 2 cycles

ADD: 2 cycles

Mult: 10 cycles

Divd: 40 cycles

Register result status

Clock	F0	F2	F4	F6	F8	F10	F12	...	F30
0	FU								

Tomasulo示例 第1周期

Instruction status Execution Write

Instruction *j* *k* Issue complete Result

LD F6 34+ R2

1

LD F2 45+ R3

MUL F0 F2 F4

SUB F8 F6 F2

DIV F10 F0 F6

ADD F6 F8 F2

Busy Address

2 Load1 Yes 34+R2

0 Load2 No

0 Load3 No

Reservation Stations

S1

S2

RS for *j*

RS for *k*

Time Name Bus Op

V_{*j*}

V_{*k*}

Q_{*j*}

Q_{*k*}

0 Add1 No

0 Add2 No

Add3 No

0 Mult1 No

0 Mult2 No

Register result status

Clock

F0 F2

F4

F6

F8

F10 F12 ...

F30

1

FU

Load1

Tomasulo示例 第2周期

Instruction status Execution Write

Instruction *j* *k* Issue complete Result

LD	F6	34+	R2	1	
LD	F2	45+	R3	2	
MUL	F0	F2	F4		
SUB	F8	F6	F2		
DIV	F10	F0	F6		
ADD	F6	F8	F2		

	Busy	Address
1 Load1	Yes	34+R2
2 Load2	Yes	45+R3
0 Load3	No	

Reservation Stations

Time Name Bus Op S1 S2 RS for *j* RS for *k*
 V_j V_k Q_j Q_k

0 Add1 No
 0 Add2 No
 Add3 No
 0 Mult1 No
 0 Mult2 No

注意: 与CDC6600不同, 可以有多个 loads 被发射!

Register result status

Clock		F0	F2	F4	F6	F8	F10	F12 ...	F30
2	FU		Load2		Load1				

Tomasulo示例 第3周期

Instruction status				Execution Write			
Instruction	j	k		Issue	complete	Result	
LD F6	34+	R2		1	3		0 Load1
LD F2	45+	R3		2			1 Load2
MUL F0	F2	F4		3			0 Load3
SUB F8	F6	F2					
DIV F10	F0	F6					
ADD F6	F8	F2					

Busy Address

Yes	34+R2
Yes	45+R3
No	

Reservation Stations				S1	S2	RS for j	RS for k
Time	Name	Bus	Op	Vj	Vk	Qj	Qk
0	Add1	No					
0	Add2	No					
	Add3	No					
0	Mult1	Yes	MULTD		R(F4)	Load2	
0	Mult2	No					

Register result status

Clock	F0	F2	F4	F6	F8	F10	F12	...	F30
3	FU	Mult1	Load2		Load1				

- 保留站中寄存器名被“换名”；MULT 可发射（与记分板比较）
- Load1完成，哪些指令在等待Load1的结果？

Tomasulo示例 第4周期

Instruction status				Execution Write				
Instruction	j	k		Issue	complete	Result	Busy	Address
LD F6	34+	R2		1	3	4	0 Load1	No
LD F2	45+	R3		2	4		0 Load2	Yes 45+R3
MUL F0	F2	F4		3			0 Load3	No
SUB F8	F6	F2		4				
DIV F10	F0	F6						
ADD F6	F8	F2						

Reservation Stations			S1	S2	RS for j	RS for k
Time	Name	Bus Op	Vj	Vk	Qj	Qk
0	Add1	Yes	SUB	M(34+R2)		Load2
0	Add2	No				
	Add3	No				
0	Mult1	Yes	MULT	R(F4)	Load2	
0	Mult2	No				

Register result status

Clock		F0	F2	F4	F6	F8	F10	F12 ...	F30
4	FU	Mult1	Load2		M(34+R2)	Add1			

- Load2将完成，哪些指令在等待Load2?

Tomasulo示例 第5周期

Instruction status				Execution Write				
Instruction	<i>j</i>	<i>k</i>		Issue	complete	Result	Busy	Address
LD F6	34+	R2		1	3	4	Load1	No
LD F2	45+	R3		2	4	5	Load2	No
MUL F0	F2	F4		3			Load3	No
SUB F8	F6	F2		4				
DIV F10	F0	F6		5				
ADD F6	F8	F2						

Reservation Stations			S1	S2	RS for <i>j</i>	RS for <i>k</i>
Time	Name	Bus. Op	<i>V_j</i>	<i>V_k</i>	<i>Q_j</i>	<i>Q_k</i>
2	Add1	Yes	SUBC	M(34+R2)	M(45+R3)	
0	Add2	No				
	Add3	No				
10	Mult1	Yes	MULT	M(45+R3)	R(F4)	
0	Mult2	Yes	DIVD	M(34+R2)	Mult1	

Register result status

Clock		F0	F2	F4	F6	F8	F10	F12 ...	F30
5	FU	Mult1	M(45+R3)		M(34+R2)	Add1	Mult2		

Tomasulo示例 第6周期

Instruction status				Execution Write				
Instruction	j	k		Issue	complete	Result	Busy	Address
LD F6 34+ R2				1	3	4	Load1	No
LD F2 45+ R3				2	4	5	Load2	No
MUL F0 F2 F4				3			Load3	No
SUB F8 F6 F2				4				
DIV F10 F0 F6				5				
ADD F6 F8 F2				6				

Reservation Stations			S1	S2	RS for j	RS for k
Time	Name	Bus Op	Vj	Vk	Qj	Qk
1	Add1	Yes	SUBD	M(34+R2)	M(45+R3)	
0	Add2	Yes	ADDD		M(45+R3)	Add1
	Add3	No				
9	Mult1	Yes	MULT	M(45+R3)	R(F4)	
0	Mult2	Yes	DIVD		M(34+R2)	Mult1

• 发射ADDD

Register result status

Clock		F0	F2	F4	F6	F8	F10	F12	...	F30
6	FU	Mult1	M(45+R3)		Add2	Add1	Mult2			

Tomasulo示例 第7周期

Instruction status				Execution Write				
Instruction	j	k		Issue	complete	Result	Busy	Address
LD F6 34+ R2				1	3	4	Load1	No
LD F2 45+ R3				2	4	5	Load2	No
MUL F0 F2 F4				3			Load3	No
SUB F8 F6 F2				4	7			
DIV F10 F0 F6				5				
ADD F6 F8 F2				6				

Reservation Stations			S1	S2	RS for j	RS for k
Time	Name	Bus Op	Vj	Vk	Qj	Qk
0	Add1	Yes	SUBD M(34+R2)	M(45+R3)		
0	Add2	Yes	ADD	M(45+R3)	Add1	
	Add3	No				
8	Mult1	Yes	MULT M(45+R3)	R(F4)		
0	Mult2	Yes	DIVD	M(34+R2)	Mult1	

Register result status

Clock		F0	F2	F4	F6	F8	F10	F12	...	F30
7	FU	Mult1	M(45+R3)		Add2	Add1	Mult2			

- Add1完成，哪些指令在等待Add1？

Tomasulo示例 第8周期

Instruction status				Execution Write				
Instruction	<i>j</i>	<i>k</i>		Issue	complete	Result	Busy	Address
LD F6	34+	R2		1	3	4	Load1	No
LD F2	45+	R3		2	4	5	Load2	No
MUL F0	F2	F4		3			Load3	No
SUB F8	F6	F2		4	7	8		
DIV F10	F0	F6		5				
ADD F6	F8	F2		6				

Reservation Stations			S1	S2	RS for <i>j</i>	RS for <i>k</i>
Time	Name	Bus. Op	<i>V_j</i>	<i>V_k</i>	<i>Q_j</i>	<i>Q_k</i>
0	Add1	No				
2	Add2	Yes	ADDC	M()-M()	M(45+R3)	
	Add3	No				
7	Mult1	Yes	MULT	M(45+R3)	R(F4)	
0	Mult2	Yes	DIVD	M(34+R2)	Mult1	

Register result status

Clock		F0	F2	F4	F6	F8	F10	F12...	F30
8	FU	Mult1	M(45+R3)		Add2	M()-M()	Mult2		

Tomasulo示例 第9周期

Instruction	j	k	Issue complete	Result	Busy	Address
LD F6	34+	R2	1	3	4	Load1 No
LD F2	45+	R3	2	4	5	Load2 No
MULTD F2	F4		3			Load3 No
SUBB8 F6	F2		4	7	8	
DIVD F10	F0	F6	5			
ADDB6 F8	F2		6			

Reservation Stations	S1	S2	RS for j	RS for k
TimeNameBusyOp Vj Vk Qj Qk				
0 Add1	No			
1 Add2	Yes ADD	M()-M()	M(45+R3)	
Add3	No			
6 Mult1	Yes MULTD	M(45+R3)R(F4)		
0 Mult2	Yes DIVD	M(34+R2)	Mult1	

Register result status

Clock	F0	F2	F4	F6	F8	F10	F12...	F30
9	FU	Mult1 M(45+R3)		Add2	M()-M()	Mult2		

Tomasulo示例 第10周期

<u>Instruction status</u>				<u>Execution Write</u>				
Instruction	<i>j</i>	<i>k</i>		Issue	complete	Result	Busy	Address
LD F6	34+	R2		1	3	4	Load1	No
LD F2	45+	R3		2	4	5	Load2	No
MUL F0	F2	F4		3			Load3	No
SUB F8	F6	F2		4	7	8		
DIV F10	F0	F6		5				
ADD F6	F8	F2		6	10			

<u>Reservation Stations</u>				<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>
Time	Name	Bus	Op	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>
0	Add1	No					
0	Add2	Yes	ADDC	M()-M()	M(45+R3)		
	Add3	No					
5	Mult1	Yes	MULT	M(45+R3)	R(F4)		
0	Mult2	Yes	DIVD		M(34+R2)	Mult1	

Register result status

Clock		<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i> ...	<i>F30</i>
10	FU	Mult1	M(45+R3)		Add2	M()-M()	Mult2		

- Add2完成，哪些指令在等待Add2?

Tomasulo示例 第11周期

<u>Instruction status</u>				<u>Execution Write</u>				
Instruction	<i>j</i>	<i>k</i>		Issue	complete	Result	Busy	Address
LD F6	34+	R2		1	3	4	Load1	No
LD F2	45+	R3		2	4	5	Load2	No
MUL F0	F2	F4		3			Load3	No
SUB F8	F6	F2		4	7	8		
DIV F10	F0	F6		5				
ADD F6	F8	F2		6	10	11		

<u>Reservation Stations</u>			<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>
Time	Name	Bus. Op	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>
0	Add1	No				
0	Add2	No				
	Add3	No				
4	Mult1	Yes	MULT	M(45+R3)	R(F4)	
0	Mult2	Yes	DIVD	M(34+R2)	Mult1	

Register result status

Clock		<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12 ...</i>	<i>F30</i>
11	FU	Mult1	M(45+R3)		(M-M)+M()	M()-M()	Mult2		

- ADDD在该周期写结果

Tomasulo示例 第12周期

Instruction status				Execution Write				
Instruction	j	k		Issue	complete	Result	Busy	Address
LD F6 34+ R2				1	3	4	Load1	No
LD F2 45+ R3				2	4	5	Load2	No
MUL F0 F2 F4				3			Load3	No
SUB F8 F6 F2				4	6	7		
DIV F10 F0 F6				5				
ADD F6 F8 F2				6	10	11		

Reservation Stations			S1	S2	RS for j	RS for k
Time	Name	Bus Op	Vj	Vk	Qj	Qk
0	Add1	No				
0	Add2	No				
	Add3	No				
3	Mult1	Yes	MULT	M(45+R3)	R(F4)	
0	Mult2	Yes	DIVD		M(34+R2)	Mult1

Register result status

Clock		F0	F2	F4	F6	F8	F10	F12 ...	F30
12	FU	Mult1	M(45+R3)		(M-M)+M()	M()-M()	Mult2		

- 注意：所有短周期指令都已经完成

Tomasulo示例 第13周期

<u>Instruction status</u>				<i>Execution Write</i>				
Instruction	<i>j</i>	<i>k</i>		Issue	complete	Result	Busy	Address
LD F6	34+	R2		1	3	4	Load1	No
LD F2	45+	R3		2	4	5	Load2	No
MUL F0	F2	F4		3			Load3	No
SUB F8	F6	F2		4	7	8		
DIV F10	F0	F6		5				
ADD F6	F8	F2		6	10	11		

<u>Reservation Stations</u>				S1	S2	RS for <i>j</i>	RS for <i>k</i>
Time	Name	Bus	Op	<i>V_j</i>	<i>V_k</i>	<i>Q_j</i>	<i>Q_k</i>
0	Add1	No					
0	Add2	No					
	Add3	No					
2	Mult1	Yes	MULT	M(45+R3)	R(F4)		
0	Mult2	Yes	DIVD		M(34+R2)	Mult1	

Register result status

Clock		F0	F2	F4	F6	F8	F10	F12 ...	F30
13	FU	Mult1	M(45+R3)		(M-M)+M()	M()-M()	Mult2		

Tomasulo示例 第14周期

Instruction status				Execution Write				
Instruction	j	k		Issue complete	Result		Busy	Address
LD F6	34+	R2		1	3	4	Load1	No
LD F2	45+	R3		2	4	5	Load2	No
MUL F0	F2	F4		3			Load3	No
SUB F8	F6	F2		4	7	8		
DIV F10	F0	F6		5				
ADD F6	F8	F2		6	10	11		

<u>Reservation Stations</u>			$S1$	$S2$	$RS \text{ for } j$	$RS \text{ for } k$
$Time$	$Name$	Bus_Op	V_j	V_k	Q_j	Q_k
0	Add1	No				
0	Add2	No				
	Add3	No				
1	Mult1	Yes	MULT	M(45+R3)	R(F4)	
0	Mult2	Yes	DIVD		M(34+R2)	Mult1

Register result status

Clock		$F0$	$F2$	$F4$	$F6$	$F8$	$F10$	$F12 \dots$	$F30$
14	FU	Mult1	M(45+R3)		(M-M)+M()	M()-M()	Mult2		

Tomasulo示例 第15周期

Instruction status				Execution Write				
Instruction	j	k		Issue	complete	Result	Busy	Address
LD F6 34+ R2				1	3	4	Load1	No
LD F2 45+ R3				2	4	5	Load2	No
MUL F0 F2 F4				3	15		Load3	No
SUB F8 F6 F2				4	7	8		
DIV F10 F0 F6				5				
ADD F6 F8 F2				6	10	11		

Reservation Stations			S1	S2	RS for j	RS for k
Time	Name	Bus Op	Vj	Vk	Qj	Qk
0	Add1	No				
0	Add2	No				
	Add3	No				
0	Mult1	Yes	MULT	M(45+R3)	R(F4)	
0	Mult2	Yes	DIVD		M(34+R2)	Mult1

Register result status

Clock		F0	F2	F4	F6	F8	F10	F12	...	F30
15	FU	Mult1	M(45+R3)		(M-M)+M()	M()-M()	Mult2			

- Mult1 completing; what is waiting for it?

Tomasulo示例 第16周期

Instruction status				Execution Write				
Instruction	<i>j</i>	<i>k</i>		Issue	complete	Result	Busy	Address
LD F6	34+	R2		1	3	4	Load1	No
LD F2	45+	R3		2	4	5	Load2	No
MUL F0	F2	F4		3	15	16	Load3	No
SUB F8	F6	F2		4	7	8		
DIV F10	F0	F6		5				
ADD F6	F8	F2		6	10	11		

Reservation Stations			S1	S2	RS for <i>j</i>	RS for <i>k</i>
Time	Name	Bus Op	<i>V_j</i>	<i>V_k</i>	<i>Q_j</i>	<i>Q_k</i>
0	Add1	No				
0	Add2	No				
	Add3	No				
0	Mult1	No				
40	Mult2	Yes	DIVD	M*F4		M(34+R2)

Register result status

Clock		F0	F2	F4	F6	F8	F10	F12	...	F30
16	FU	M*F4	M(45+R3)		(M-M)+M()	M()-M()	Mult2			

- 注意: 只有除法指令没有完成

Tomasulo示例 第55周期

Instruction status				Execution Write				
Instruction	<i>j</i>	<i>k</i>		Issue	complete	Result	Busy	Address
LD F6	34+	R2		1	3	4	Load1	No
LD F2	45+	R3		2	4	5	Load2	No
MUL F0	F2	F4		3	15	16	Load3	No
SUB F8	F6	F2		4	7	8		
DIV F10	F0	F6		5				
ADD F6	F8	F2		6	10	11		

Reservation Stations			S1	S2	RS for <i>j</i>	RS for <i>k</i>
Time	Name	Bus Op	<i>V_j</i>	<i>V_k</i>	<i>Q_j</i>	<i>Q_k</i>
0	Add1	No				
0	Add2	No				
	Add3	No				
0	Mult1	No				
1	Mult2	Yes	DIVD	M*F4		M(34+R2)

Register result status

Clock		F0	F2	F4	F6	F8	F10	F12	...	F30
55	FU	M*F4	M(45+R3)		(M-M)+M()	M()-M()	Mult2			

Tomasulo示例 第56周期

Instruction status				Execution Write				
Instruction	<i>j</i>	<i>k</i>		Issue	complete	Result	Busy	Address
LD F6	34+	R2		1	3	4	Load1	No
LD F2	45+	R3		2	4	5	Load2	No
MUL F0	F2	F4		3	15	16	Load3	No
SUB F8	F6	F2		4	7	8		
DIV F10	F0	F6		5	56			
ADD F6	F8	F2		6	10	11		

Reservation Stations			S1	S2	RS for <i>j</i>	RS for <i>k</i>
Time	Name	Busy	Op	V _j	V _k	Q _j Q _k
0	Add1	No				
0	Add2	No				
	Add3	No				
0	Mult1	No				
0	Mult2	Yes	DIVD	M*F4	M(34+R2)	

Register result status		F0	F2	F4	F6	F8	F10	F12	...	F30
Clock										
56	FU	M*F4	M(45+R3)		(M-M)+M()	M()-M()	Mult2			

• Mult2 完成

Tomasulo示例 第57周期

Instruction status				Execution Write				
Instruction	j	k		Issue	complete	Result	Busy	Address
LD F6	34+	R2		1	3	4	Load1	No
LD F2	45+	R3		2	4	5	Load2	No
MUL F0	F2	F4		3	15	16	Load3	No
SUB F8	F6	F2		4	7	8		
DIV F10	F0	F6		5	56	57		
ADD F6	F8	F2		6	10	11		

Reservation Stations			S1	S2	RS for j	RS for k
Time	Name	Bus Op	Vj	Vk	Qj	Qk
0	Add1	No				
0	Add2	No				
	Add3	No				
0	Mult1	No				
0	Mult2	No				

Register result status

Clock		F0	F2	F4	F6	F8	F10	F12	...	F30
57	FU	M*F4	M(45+R3)		(M-M)+M()	M()-M()	M*F4/M			

- 在基于tomasulo算法的动态调度中, 指令是: 按序发送、乱序执行、乱序完成的。

与记分板的第62周期相比

Instruction status				Read Execu Write			
Instruction	j	k		Issue	operat	compl	Result
LD F6 34+ R2				1	2	3	4
LD F2 45+ R3				5	6	7	8
MUL F0 F2 F4				6	9	19	20
SUB F8 F6 F2				7	9	11	12
DIV F10 F0 F6				8	21	61	62
ADD F6 F8 F2				13	14	16	22

Functional unit status			dest	S1	S2	FU for	FU for	Fj?	Fk?	
Time	Name	Busy	Op	Fi	Fj	Fk	Qj	Qk	Rj	Rk
	Integer	No								
	Mult1	No								
	Mult2	No								
	Add	No								
	0 Divide	No								

Register result status		F0	F2	F4	F6	F8	F10	F12	...	F30
Clock										
62	FU									

- CDC6600的记分板为什么需要更长的时间？

Tomasulo 与 记分板

流水化的功能部件

(6 load, 3 store, 3 +, 2 x/÷)

窗口大小: ≤ 14 指令

结构冒险暂停发射

WAR: 通过换名避免

WAW: 通过换名避免

从FU广播结果

控制: 保留站

多功能部件

(1 load/store, 1 +, 2 x, 1 ÷)

≤ 5 指令

相同

暂停完成

暂停发射

写/读 寄存器

集中控制的记分板

Tomasulo算法的缺点

- 功能实现复杂
 - 需要复杂的硬件实现相应的功能
- 需要大量高速的相联存储 (associative buffer)
- 公共数据总线是制约性能增长的瓶颈
 - 每个CDB必须广播到多个功能部件单元 \Rightarrow 大容量、写操作密集；
 - 每个周期可以同时完成的功能部件数量可能由于单总线而受限（最坏情况为“1”）！
 - 多个CDB \Rightarrow 为完成并行相联存储，功能部件FU需要更复杂的逻辑控制；

本章内容概要

4.1 指令级并行的概念

4.2 指令的动态调度

4.3 动态分支预测技术

4.4 多指令流出技术

4.5 循环展开和指令调度

① BHT

② BTB

③ 前瞻执行

动态分支预测技术

- 所开发的ILP越多，控制相关的制约就越大，分支预测就要有更高的准确度。
- 本节中介绍的方法对于每个时钟周期流出多条指令（若为 n 条，就称为 n 流出）的处理机来说非常重要。
 - 在 n 流出的处理机中，遇到分支指令的可能性增加了 n 倍。要给处理器连续提供指令，就需要预测分支的结果；
 - Amdahl定律告诉我们，机器的CPI越小，控制停顿的相对影响就更大。

动态分支预测技术

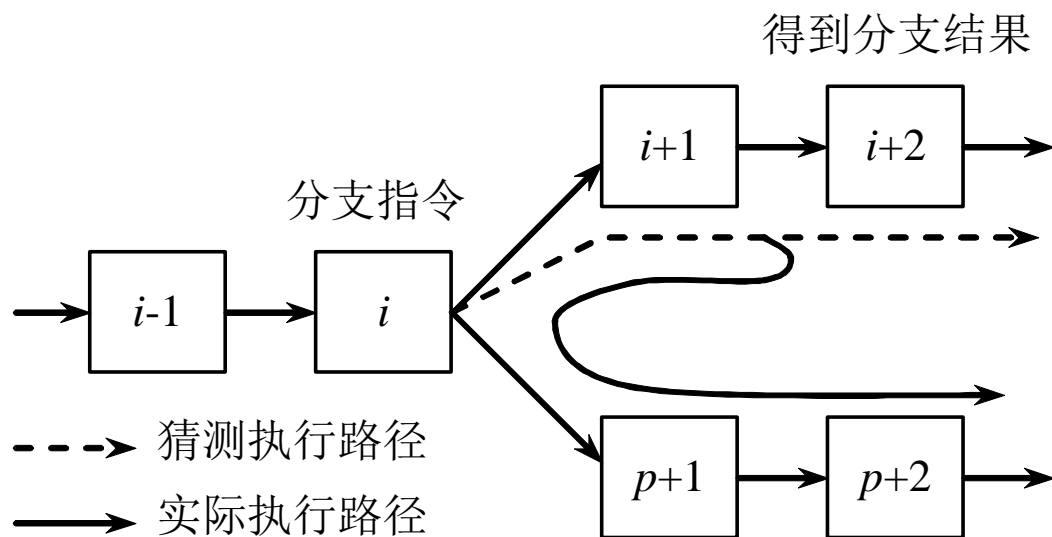
- 动态分支预测：在程序运行时，根据分支指令过去的表现来预测其将来的行为。
 - 如果分支行为发生了变化，预测结果也跟着改变；
 - 有更好的预测准确度和适应性；
- 分支预测的有效性取决于：
 - 预测的准确性；
 - 预测正确和不正确两种情况下的分支开销；
- 决定分支开销的因素：
 - 流水线的结构；
 - 预测的方法；
 - 预测错误时的恢复策略，等；

动态分支预测技术

- 采用动态分支预测技术的目的
 - 预测分支是否成功
 - 尽快找到分支目标地址（或指令）
 - 避免控制相关造成流水线停顿
- 需要解决的关键问题有两个：
 - 如何记录分支的历史信息？
 - 如何根据这些信息来预测分支的去向？

动态分支预测技术

- 在预测错误时，要作废已经预取和分析的指令，恢复现场，并从另一条分支路径重新取指令。

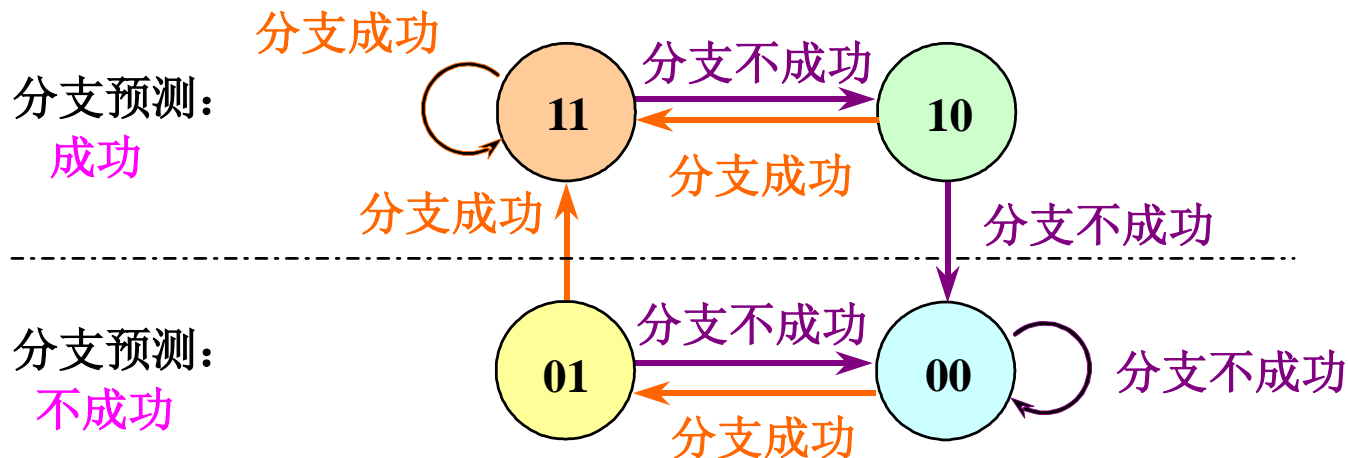


分支历史表

- 分支历史表 BHT (Branch History Table) 或分支预测缓冲器 (Branch Prediction Buffer)
 - 最简单的动态分支预测方法;
 - 用BHT来记录分支指令最近一次或几次的执行情况 (成功或不成功), 并据此进行预测;
- 只有1个预测位的分支预测缓冲
 - 记录分支指令最近一次的历史, BHT中只需要1位二进制位。(最简单)

分支历史表

- 采用两位二进制位来记录历史
 - 提高预测的准确度；
 - 研究表明：两位分支预测的性能与 n 位 ($n > 2$) 分支预测的性能差不多；
- 两位分支预测的状态转换如下所示：



分支历史表

- 两位分支预测有两个步骤：
 - Step 1: 分支预测
 - 当分支指令到达译码段（ID）时，根据从BHT读出的信息进行分支预测。
 - 若预测正确，就继续处理后续的指令，流水线没有断流。否则，就要作废已经预取和分析的指令，恢复现场，并从另一条分支路径重新取指令。
 - Step 2: 状态修改，修改BHT的状态。
- BHT方法只在以下情况下才有用：
 - 判定分支是否成功所需的时间大于确定分支目标地址所需的时间。
 - 因为BHT对分支目标地址没提供支持，或者说在BHT下依然要计算分支目标。

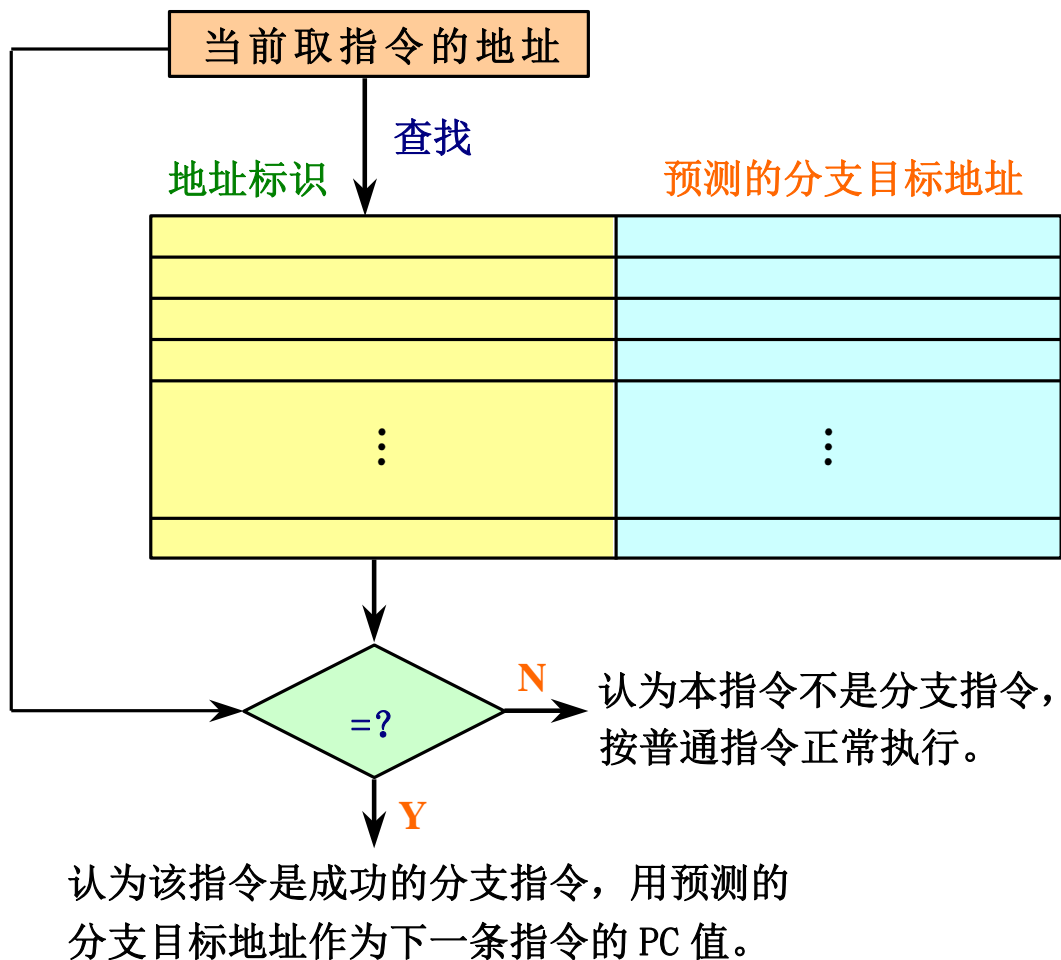
分支历史表

- 课后思考：BHT方法对MIPS 5段流水线是否有好处？
- 研究表明：对于SPEC89测试程序来说，具有大小为4K的BHT的预测准确率为82%~99%。
 - 一般来说，采用4K的BHT就可以了。
- BHT可以跟分支指令一起存放在指令Cache中，也可以用专门的硬件来实现。

分支目标缓冲器

- 目标：将分支的开销降为 0
- 方法：利用分支目标缓冲器
 - 将分支成功的分支指令的地址和它的分支目标地址都放到一个缓冲区中保存起来，缓冲区以分支指令的地址作为标识。
 - 这个缓冲区就是分支目标缓冲器（Branch-Target Buffer，简记为BTB）。

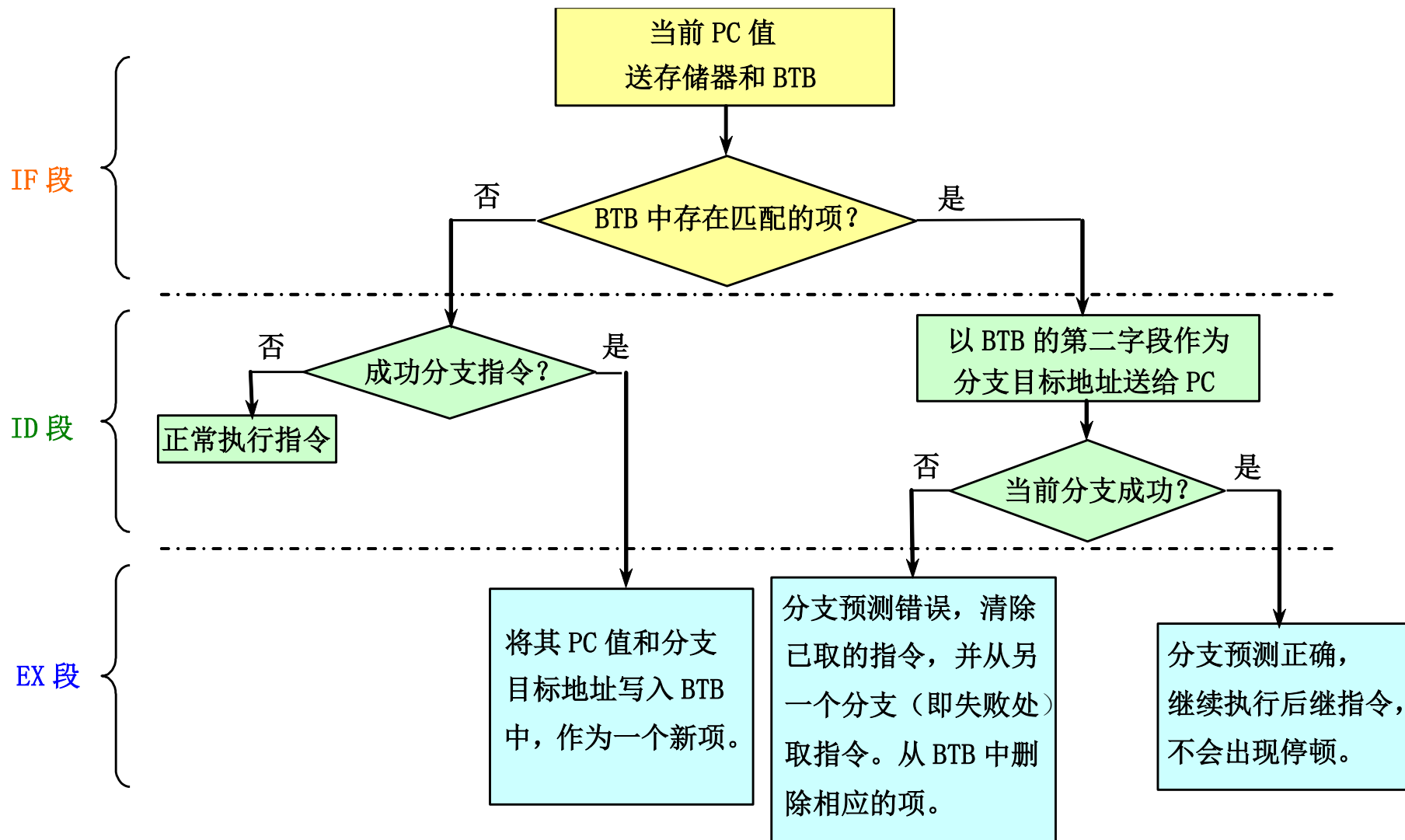
分支目标缓冲器的结构图



分支目标缓冲器

- BTB可以用专门的硬件实现的一张表格；
- 表格中的每一项通常有两个字段：
 - 执行过的成功分支指令的地址；
 - 作为该表的匹配标识 (key)
 - 预测的分支目标地址；

支持BTB的流水线操作



BTB下的操作延迟

指令在BTB中?	预测	实际情况	延迟周期
是	成功	成功	0
是	成功	不成功	2
不是		成功	2
不是		不成功	0

前瞻(推测)执行

- 前瞻执行 (speculative execution) 的基本思想：
 - 对分支指令的结果进行猜测，并假设这个猜测总是对的，然后按这个猜测结果继续取、流出和执行后续的指令。
 - 指令执行的结果不是写回到寄存器或存储器，而是放到一个称为ROB (Re-Order Buffer) 的缓冲器中；
 - 等到相应的指令得到“确认” (commit) (即确实是应该执行的) 之后，才将结果写入寄存器或存储器。

为什么写到ROB之中？

前瞻(推测)执行

- 基于硬件的前瞻执行结合了三种思想：
 - ① 动态分支预测，用来选择后续执行的指令；
 - ② 在控制相关的结果尚未出来之前，前瞻地执行后续指令；
 - ③ 用动态调度对基本块的各种组合进行跨块调度；
- 对Tomasulo算法加以扩充，就可以支持前瞻执行：
 - 把Tomasulo算法的写结果和指令完成加以区分，分成两个不同的段：
 - ① 写结果；
 - ② 指令确认；

前瞻(推测)执行

- 写结果段

- 把前瞻执行的结果写到ROB中；
- 通过CDB在指令之间发送结果，供需要用到这些结果的指令使用。

- 指令

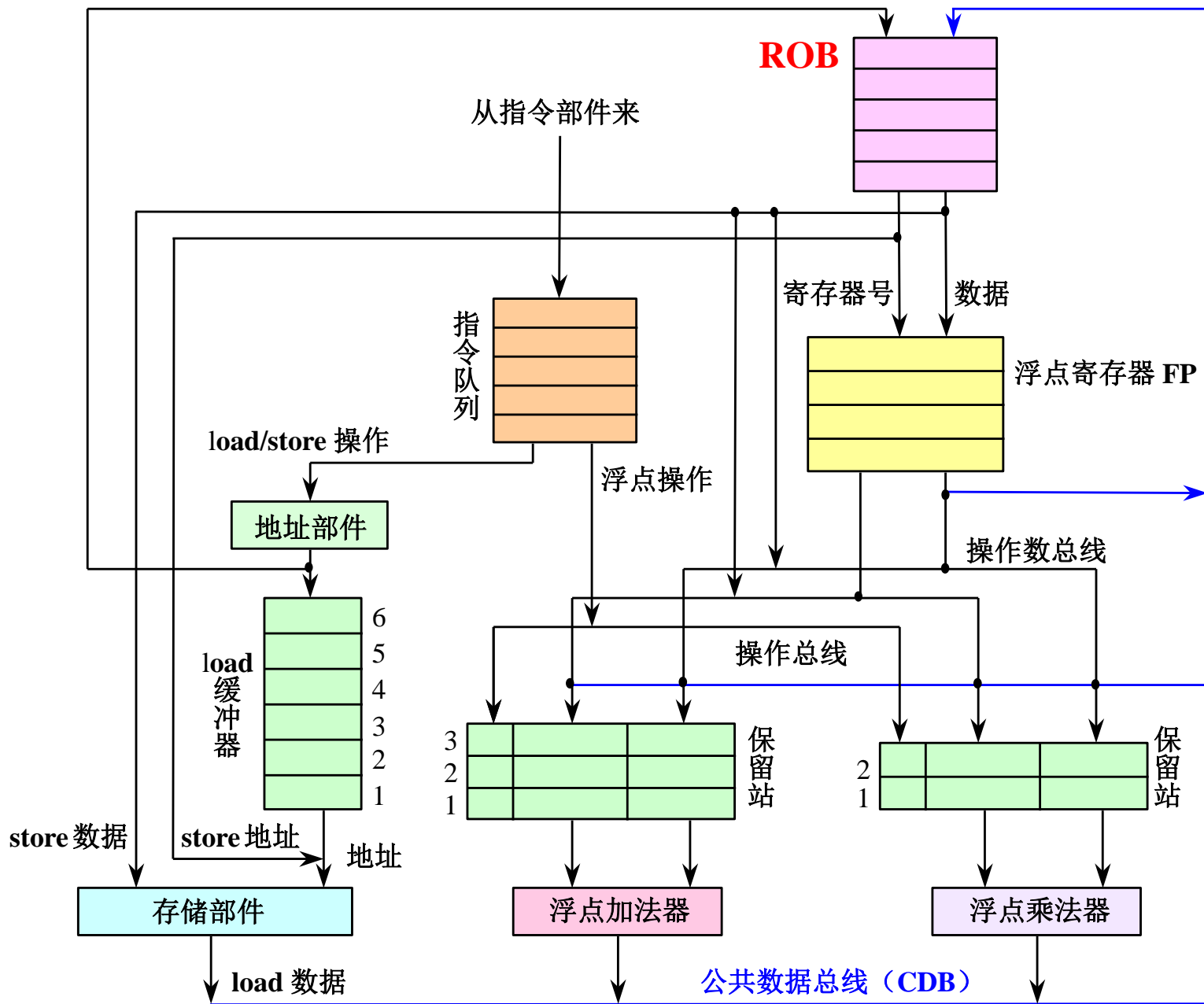
实现前瞻的关键思想：

允许指令乱序执行，但必须
顺序确认。

的结果写到寄存器或存储

- 如果发现前面的猜测是错误的，那就不予以确认，并从正确的分支路径开始重新取指执行；

支持前瞻执行的浮点结构



前瞻(推测)执行

- ROB中的每一项由以下4个字段组成：
 - ① **指令类型**：指出该指令是分支指令、store指令或寄存器操作指令；
 - ② **目标地址**：给出指令执行结果应写入的目标寄存器号（如果是load和ALU指令）或存储器单元的地址（如果是store指令）；
 - ③ **数据值字段**：用来保存指令前瞻执行的结果，直到指令得到确认；
 - ④ **就绪字段**：指出指令是否已经完成执行并且数据已就绪；

前瞻(推测)执行

- 在前瞻执行下，Tomasulo算法中保留站(RS)的换名功能是由ROB来完成的。
- 采用前瞻执行机制后，指令的执行步骤：

① 流出

- 从指令队列的头部取一条指令；
- 如果有空闲的保留站（设为r）**且**有空闲的ROB项（设为b），就流出该指令，并把相应的信息放入保留站r和ROB项b；
- 如果保留站或ROB全满，便停止流出指令，直到它们都有空闲的项。（**结构冲突**）

前瞻(推测)执行

② 执行

- 当两个操作数都就绪后，就可以执行该指令的操作；
- 如果有操作数尚未就绪，就等待，并不断地监测CDB。（RAW冲突）

③ 写结果

- 当结果产生后，将该结果连同本指令在流出段所分配到的ROB项的编号放到CDB上，经CDB写到ROB以及所有等待该结果的保留站。
- 释放产生该结果的保留站；
- store指令在写结果阶段完成，其操作为：
 - 如果要写入存储器的数据已经就绪，就把该数据写入分配给该store指令的ROB项；
 - 否则，就监测CDB，直到那个数据在CDB上播送出来，这时才将之写入分配给该store指令的ROB项；

前瞻(推测)执行

④ 确认：不同指令的处理不同：

- 其他指令（除分支指令和store指令之外）：当该指令到达ROB队列的头部而且其结果已经就绪时，就把该结果写入该指令的目标寄存器，并从ROB中删除该指令；
- store指令：处理与上面类似，只是它把结果写入存储器；
- 分支指令：
 - 当预测错误的分支指令到达ROB队列的头部时，清空ROB，并从分支指令的另一个分支重新开始执行。（**错误的前瞻执行**）
 - 当预测正确的分支指令到达ROB队列的头部时，该指令执行完毕；

前瞻(推测)执行

例4.3 假设浮点功能部件的延迟时间为：加法2个时钟周期，乘法10个时钟周期，除法40个时钟周期。对于下面的代码段，给出当指令MUL.D即将确认时的各个状态表内容。

L.D F6,34 (R2)

L.D F2,45 (R3)

MUL.D F0,F2,F4

SUB.D F8,F6,F2

DIV.D F10,F0,F6

ADD.D F6,F8,F2

前瞻(推测)执行

- 前瞻执行中MUL. D确认前，保留站和ROB的状态

名称	保留站							
	Busy	Op	Vj	Vk	Qj	Qk	Dest	A
Add1	no							
Add2	no							
Add3	no							
Mult1	no	MUL	Mem[45+ Regs[R2]]	Regs[F4]			#3	
Mult2	yes	DIV		Mem[34+Regs[R2]]	#3		#5	

项号	ROB				
	Busy	指令	状态	目的	Value
1	no	L.D F6, 34 (R2)	确认	F6	Mem[34+Regs[R2]]
2	no	L.D F5 (R3)	确认	F2	Mem[45+Regs[R3]]
3	yes	MUL.D F0, F2, F4	写回	F0	F2×Regs[F4]
4	yes	SUB			
5	yes				
6	yes				

请同学们自己对照
Tomasulo调度算法和推
测执行的过程，自己推
导执行过程。

字段	写回状态							
	F0	F2	F4	F6	F8	F10	...	F30
ROB项编号	3			6	4	5		
Busy	yes	no	no	yes	yes	yes	...	no

前瞻(推测)执行

- 前瞻执行的优缺点

- 主要优点:

- 通过ROB实现了指令的顺序完成;
 - 能够实现**精确异常**;
 - 很容易地推广到整数寄存器和整数功能单元上;

- 主要缺点:

- 复杂的控制导致所需的硬件太复杂;

本章内容概要

4.1 指令级并行的概念

4.2 指令的动态调度

4.3 动态分支预测技术

4.4 多指令流出技术

4.5 循环展开和指令调度

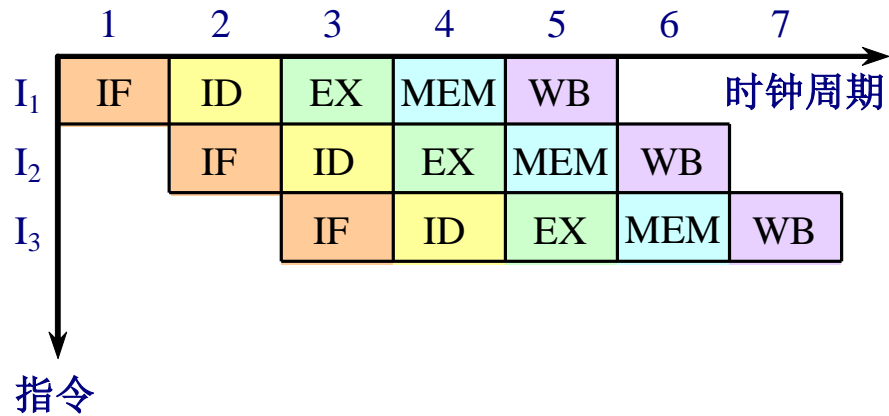
① 静态多流出技术

② 动态多流出技术

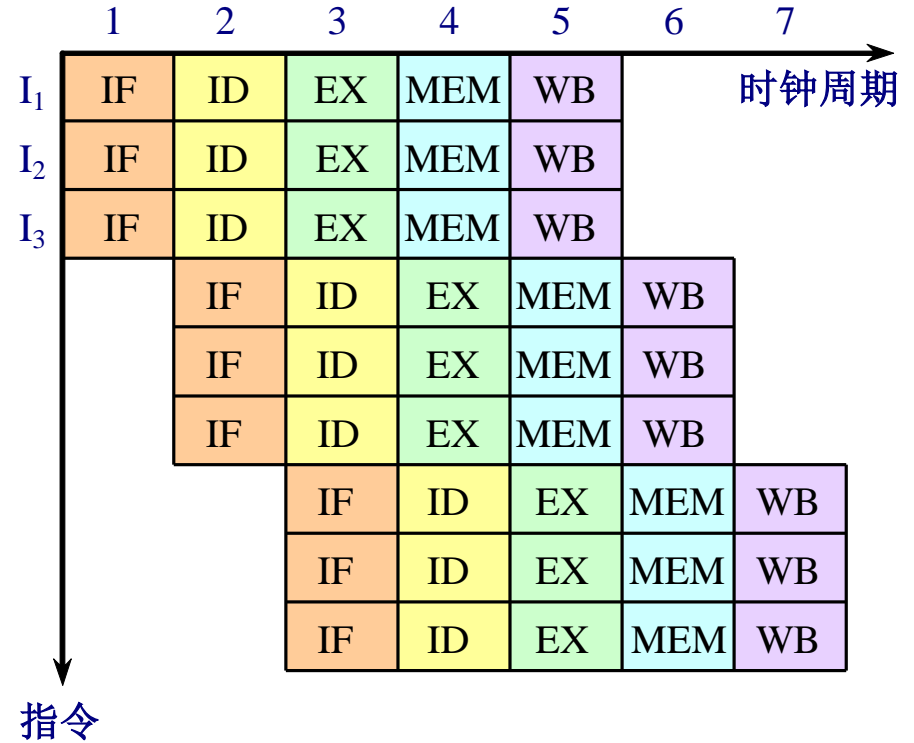
③ VLIW/EPIC

多指令流出技术

单流出时空图



多流出时空图



单流出和多流出处理器执行指令的时空图

多指令流出技术

- 多流出处理机有两种基本风格：
 - 超标量 (Superscalar)
 - 在每个时钟周期流出的指令条数不固定，依代码的具体情况而定。（有上限）
 - 设这个上限为 n ，就称该处理机为 n 流出；
 - 可以通过编译器进行静态调度，也可以基于Tomasulo算法进行动态调度；
 - VLIW/EPIC
 - 在每个时钟周期流出的指令条数是固定的，这些指令构成一条长指令或者一个**指令包**；
 - 指令包中，指令之间的并行性是通过指令显式地表示出来的；
 - 指令调度是由**编译器静态**完成的；

多指令流出技术

- 超标量处理机与VLIW处理机相比有两个优点：
 - 超标量结构对程序员是透明的，因为处理机能自己检测下一条指令能否流出，从而不需要重新排列指令来满足指令的流出。
 - 即使是没有经过编译器针对超标量结构进行调度优化的代码或是旧的编译器生成的代码也可以运行，当然运行的效果通常不会很好。

使用多指令流出技术的处理器示例

技 术	流出结构	冲突检测	调 度	主要特点	处理机实例
超标量 (静态)	动态	硬件	静态	顺序执行	Sun UltraSPARC II / III
超标量 (动态)	动态	硬件	动态	部分乱序执行	IBM Power2
超标量 (猜测)	动态	硬件	带有猜 测的动 态执行	带有猜测的 乱序执行	Pentium III/4, MIPS R10K, Alpha 21264, HP PA 8500, IBM RS64 III
VLIW /LIW	静态	软件	静态	流出包之间 没有冲突	Trimedia, i860
EPIC	主要是 静态	主要是 软件	主要是 静态	相关性被编译 器显式地标记出 来	Itanium (IA-64)

静态多指令流出技术

- 基于静态调度的多流出技术
 - 在典型的超标量处理器中，每个时钟周期可流出1到8条指令。
 - 指令按序流出，在流出时进行冲突检测。
 - 保证在当前流出的指令序列中不存在数据冲突。

静态多指令流出技术

- 举例：一个4流出的静态调度超标量处理机
 - 在取指令阶段，流水线将从取指令部件收到1~4条指令（称为流出包）。
 - 在一个时钟周期内，这些指令有可能是全部都能流出，也可能是只有一部分能流出。
 - 流出部件检测结构冲突或者数据冲突。一般分两阶段实现：
 - ① 进行流出包内的冲突检测，选出初步判定可以流出的指令。
 - ② 检测所选出的指令与正在执行的指令是否有冲突。

静态多指令流出技术

- MIPS处理机是怎样实现超标量的呢？
 - 假设：每个时钟周期流出两条指令：1条整型指令+1条浮点指令。其中，把load指令、store指令、分支指令归类为整数型指令。
 - 要求：同时取两条指令（64位），译码两条指令（64位）；

静态多指令流出技术

- 解答：
 - 对指令的处理步骤如下：
 - 从Cache中取两条指令；
 - 确定那几条指令可以流出（0~2条指令）；
 - 把它们发送到相应的功能部件；
 - 双流出超标量流水线中指令的执行过程：
 - 假设：所有的浮点指令都是加法指令，其执行时间为两个时钟周期；
 - 为简单，下图总把整数指令放在浮点指令的前面；

静态多指令流出技术

指令类型	流水线工作情况							
整数指令	IF	ID	EX	MEM	WB			
浮点指令	IF	ID	EX	EX	MEM	WB		
整数指令		IF	ID	EX	MEM	WB		
浮点指令		IF	ID	EX	EX	MEM	WB	
整数指令			IF	ID	EX	MEM	WB	
浮点指令			IF	ID	EX	EX	MEM	WB
整数指令				IF	ID	EX	MEM	WB
浮点指令				IF	ID	EX	EX	MEM

静态多指令流出技术

- 采用“1条整数型指令+1条浮点指令”并行流出的方式，需要增加的硬件很少。
 - 需要增加冲突检测的硬件机制；
- 浮点load或浮点store指令将使用整数部件，还会增加对浮点寄存器的访问冲突。
 - 增设一个浮点寄存器的读/写端口；
- 由于流水线中的指令多了一倍，定向路径也要增加。

静态多指令流出技术

- 限制超标量流水线的性能发挥的障碍。
 - load指令
 - load后续3条指令都不能使用其结果，否则就会引起停顿；
 - 分支延迟
 - 如果分支指令是流出包中的第一条指令，则其延迟是3条指令；
 - 如果分支指令是流出包中的第二条指令，其延迟就是2条指令；

动态多指令流出技术

- 基于动态调度的多流出技术
 - 扩展Tomasulo算法：支持两路超标量
 - 每个时钟周期流出两条指令；
 - 一条是整数指令，另一条是浮点指令。
- 采用一种比较简单的方法：
 - 指令按顺序流向保留站。
 - 将整数所用的表结构与浮点用的表结构分离开，分别进行处理。
 - 这样就可以同时地流出一条浮点指令和一条整数指令到各自的保留站。

动态多指令流出技术

- 有两种不同的方法可以实现多流出。关键在于：
对保留站的分配和对流水线控制表格的修改；
 - ① 在半个时钟周期里完成流出步骤，这样一个时钟周期就能处理两条指令；
 - ② 设置一次能同时处理两条指令的逻辑电路；
- 现代的流出4条或4条以上指令的超标量处理机经常是两种方法都采用。

动态多指令流出技术

例4.4 对于采用了Tomasulo算法和多流出技术的MIPS流水线，考虑以下简单循环的执行。该程序把F2中的标量加到一个向量的每个元素上。

Loop: L.D	F0, 0 (R1)	// 取一个数组元素放入F0
ADD.D	F4, F0, F2	// 加上在F2中的标量
S.D	F4, 0 (R1)	// 存结果
DADDIU	R1, R1, #-8	// 将指针减少8（每个数据占8个字节）
BNE	R1, R2, Loop	// 若R1不等于R2，表示尚未结束，转移到Loop继续

动态多指令流出技术

- 现做以下假设：
 - 每个时钟周期能流出一条整数指令和一条浮点指令，即使它们相关也是如此。
 - 有一个整数部件，用于整数ALU运算和地址计算，并且对于每一种浮点操作类型都有一个独立的流水化了的浮点功能部件。
 - 指令流出和写结果各占用1个时钟周期。
 - 具有动态分支预测部件和1个独立的计算分支条件的功能部件。
 - 分支指令单独流出，没有采用延迟分支，但分支预测是完美的。分支指令完成前，其后续指令只能被取出和流出，但不能执行。
 - 产生结果的延迟为：整数运算1个周期，load指令2个周期，浮点加法运算3个周期。
- 请列出该程序前面3遍循环中各条指令的流出、开始执行和将结果写到CDB上的时间。

解：执行时，该循环将动态展开后的执行过程如下：

遍数	指 令	流出	执行	访存	写CDB	说明
1	L. D F0, 0 (R1)	1	2	3	4	流出第一条指令
1	ADD. D F4, F0, F2	1	5		8	等待L. D的结果
1	S. D F4, 0 (R1)	2	3	9		等待ADD. D的结果
1	DADDIU R1, R1, #-8	2	4		5	等待ALU
1	BNE R1, R2, Loop	3	6			等待DADDIU的结果
2	L. D F0, 0 (R1)	4	7	8	9	等待BNE完成
2	ADD. D F4, F0, F2	4	10		13	等待L. D的结果
2	S. D F4, 0 (R1)	5	8	14		等待ADD. D的结果
2	DADDIU R1, R1, #-8	5	9		10	等待ALU
2	BNE R1, R2, Loop	6	11			等待DADDIU的结果
3	L. D F0, 0 (R1)	7	12	13	14	等待BNE完成
3	ADD. D F4, F0, F2	7	15		18	等待L. D的结果
3	S. D F4, 0 (R1)	8	13	19		等待ADD. D的结果
3	DADDIU R1, R1, #-8	8	14		15	等待ALU
3	BNE R1, R2, Loop	9	16			等待DADDIU的结果

动态多指令流出技术

- 从图中可以看出：
 - 程序基本可以达到3拍流出5条指令
 - $IPC = 5/3 = 1.67$ 条/拍
 - 虽然指令的流出率比较高，但是执行效率并不是很高。
 - 16拍共执行15条指令，
 - 平均指令执行速度为 $15/16 = 0.94$ 条/拍。
 - 原因是浮点运算少，ALU部件成了瓶颈。
 - 可增加一个加法器，把ALU功能和地址运算功能分开。

动态多指令流出技术

- 上述双流出动态调度流水线的性能受限于以下3个因素：
 - 整数部件和浮点部件的工作负载不平衡，没有充分发挥出浮点部件的作用。
 - 应该设法减少循环中整数型指令的数量。
 - 每个循环迭代中的控制开销太大。
 - 5条指令中有2条指令是辅助指令。
 - 应该设法减少或消除这些指令。
 - 控制相关使得处理机必须等到分支指令的结果出来后才能开始下一条L.D指令的执行。

超长指令字技术VLIW/EPIC

- 把能并行执行的多条指令组装成一条很长的指令；
 - 100多位到几百位
- 设置多个功能部件；
- 指令字被分割成一些字段，每个字段称为一个**操作槽**，直接独立地控制一个功能部件；
- 在VLIW处理机中，所有的处理和指令安排都是由编译器完成的；

超长指令字技术VLIW/EPIC

例4.5 假设VLIW处理机每个时钟周期可同时流出5条指令：两条访存指令、两条浮点操作指令和一条整数指令或分支指令。对于例4.4中的循环展开后的代码，给出它在该VLIW中的代码序列。不考虑分支指令的延迟槽。

- **解答：**代码序列如下图所示。
 - 运行时间为8个时钟周期。
 - 每遍循环平均1.6个时钟周期。
 - 8个时钟周期内流出了17条指令，每个时钟周期2.1条。
 - 8个时钟周期共有操作槽 $8 \times 5 = 40$ 个，有效槽的比例为42.5%。

超长指令字技术VLIW/EPIC

访存指令1	访存指令2	浮点指令1	浮点指令2	整数/转移指令
L. D F0, 0(R1)	L. D F6, -8(R1)			
L. D F10, -16(R1)	L. D F14, -24(R1)			
L. D F18, -32(R1)		ADD. D F4, F0, F2	ADD. DF8, F6, F2	
		ADD. DF12, F10, F2	ADD. DF16, F14, F2	
		ADD. DF20, F18, F2		
S. D F4, 0(R1)	S. D F8, -8(R1)			
S. D F12, -16(R1)	S. D F16, - 24(R1)			DADDIUR1, R1, #-40
S. D F20, 8(R1)				BNE R1, R2, Loop

超长指令字技术VLIW/EPIC

- VLIW存在的一些问题
 - 程序代码长度增加了
 - 提高并行性而进行的大量的循环展开；
 - 指令字中的操作槽并非总能填满；
 - 解决：采用指令共享立即数字段的方法，或者采用指令压缩存储、调入Cache或译码时展开的方法。
 - 采用了锁步机制
 - 任何一个操作部件出现停顿时，整个处理机都要停顿。
 - 机器代码的不兼容性