**实验三——集成逻辑门电路的功能及参数测试实验**

课程名称： 逻辑与计算机设计基础实验 实验类型： 综合

实验项目名称： 集成逻辑门电路的功能及参数测试实验报告

学生姓名: 胡若凡 学号： 3200102312 同组学生姓名：叶之凡

实验地点： 紫金港东四509室 实验日期： 2021 年 9 月 22 日

**一、操作方法与实验步骤**

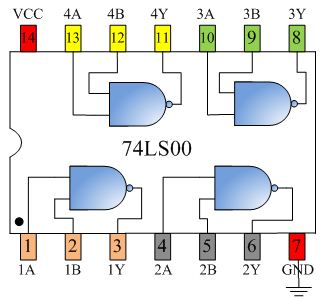
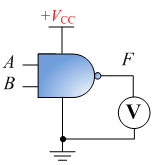
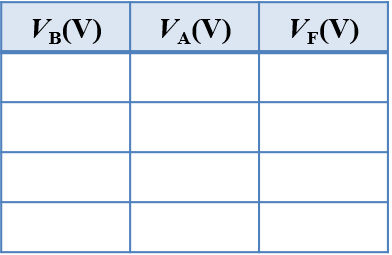
**1.1 验证 74LS00“与非”门逻辑功能**

1. 将芯片插入实验箱的 IC 插座中，注意芯片的方向

2. 按右图连接电路，VCC 接电压 5V，地端接地线

3. 高低电平通过 S14/S15/S16/S17 拨位开关产生，

4. 以真值表顺序遍历输入 A,B 所有组合，测量 A,B 及输出 F 电压并记入下表

**1.2 验证 CD4001 “或非”门逻辑功能**

1. 将芯片插入实验箱的 IC 插座中

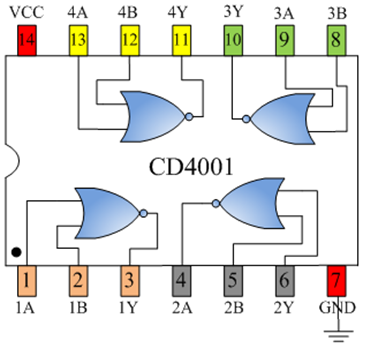
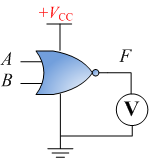
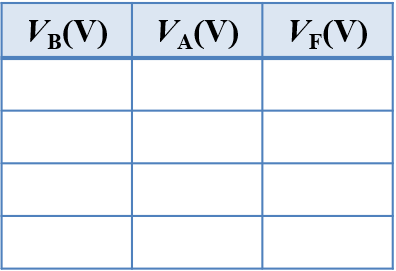
2. 按右图连接电路，VCC 接直流 5V 电压，地端接地线

3. 高低电平通过 S14/S15/S16/S17 拨位开关产生，

4. 以真值表顺序遍历输入 A,B 所有组合，测量输入端 A,B 及输出端 F 电压值，记录右

表

5. 重复步骤 3~4，测量其他 3 个门的逻辑关系并判断门的好坏

**1.3 测量 74LS00 逻辑门的传输延迟时间𝒕𝒑𝒅**

1. 将芯片插入实验箱的 IC 插座，注意芯片方向

2. 按图连接电路，VCC 接 5V 电源，地端接地线

3. 将示波器接到振荡器的任何一个输入或输出端

4. 调节频率旋钮，测量 Vo 的波形，读出周期 T 并计算传输延迟时间 (30-60ns)



**1.4 测量 CD4001 逻辑门的传输延迟时间𝒕𝒑𝒅**

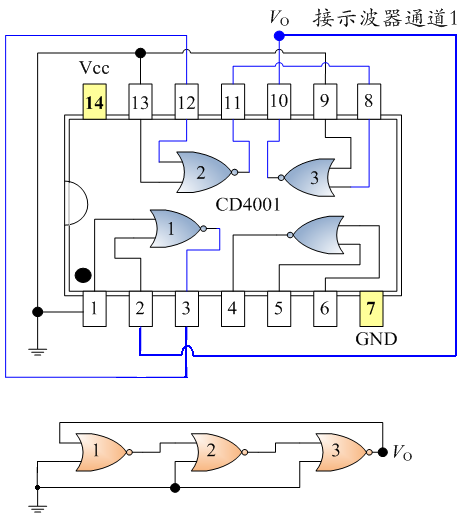
1. 将芯片插入实验箱的 IC 插座，注意芯片方向

2. 按图连接电路，VCC 接 5V 电源，地端接地线

3. 将示波器接入到振荡器的输入或输出端

4. 调节频率旋钮，测量 Vo 的波形，读出周期 T 并计算传输延迟时间

(500-1000ns)



**1.5 测量 74LS00 传输特性与开关门电平 VON 和 VOFF**

1. 将芯片插入实验箱的 IC 插座

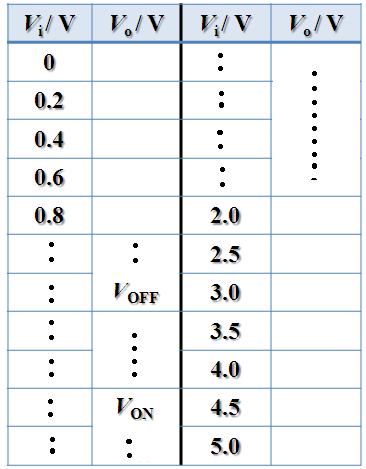
2. 按图连接电路（见下页）

3. 将直流电表分别接入 A 端和与非门的输出 2Y 端

4. 从 b 端往 a 端缓慢调节电位器 W，观察 Vi ,Vo 两电压表的读数，并记录数据填入表

格

5. 根据表格数据画出曲线图，并求 VON 和 VOFF

**二、实验结果与分析**

**2.1 验证 74LS00“与非”门逻辑功能**

|  |  |  |  |
| --- | --- | --- | --- |
| 𝑉𝐴(𝑉) | 𝑉B(𝑉) | 𝑉𝐹(𝑉) | 𝐹 𝐿𝑜𝑔𝑖𝑐 𝐷𝑎𝑡𝑎 |
| 0 | 0 | 4.96 | H |
| 4.96 | 0 | 4.96 | H |
| 0 | 4.96 | 4.96 | H |
| 4.96 | 4.96 | 0 | L |

|  |  |
| --- | --- |
| C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\6A1DAB288A454163EDAAC1D1FCFB7D78.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\50934A670FEB22FA346A3951FDDB2D1F.png |
| C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\6A1DAB288A454163EDAAC1D1FCFB7D78.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\B7F874464297E4E530F319EE941B1F1F.png |

由实验结果可以得出，当输入的 A,B 均为高电平时，F 输出为低电平;若 A,B 中有一个输入为低电平，F 输出为高电平，这符合与非门逻辑关系。

测量其他门的逻辑关系：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 10 | 01 | 11 |
| 1 | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\496876F7F8FF17379BC2E51A5728B175.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\04AB9AE00184E505983759F83F95E12A.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\A711E4D85D275A53431634FDCAD4DCAE.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\BCA0C9B50E3BFB6DE969E1C570ECF423.png |
| 2 | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\496876F7F8FF17379BC2E51A5728B175.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\04AB9AE00184E505983759F83F95E12A.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\A711E4D85D275A53431634FDCAD4DCAE.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\BCA0C9B50E3BFB6DE969E1C570ECF423.png |
| 3 | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\496876F7F8FF17379BC2E51A5728B175.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\04AB9AE00184E505983759F83F95E12A.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\A711E4D85D275A53431634FDCAD4DCAE.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\BCA0C9B50E3BFB6DE969E1C570ECF423.png |
| 4 | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\496876F7F8FF17379BC2E51A5728B175.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\04AB9AE00184E505983759F83F95E12A.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\A711E4D85D275A53431634FDCAD4DCAE.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\BCA0C9B50E3BFB6DE969E1C570ECF423.png |

通过上表中的组图可以看出，其余各个门也符合与非门的逻辑关系，完好无损

**2.2 验证 CD4001 “或非”门逻辑功能**

|  |  |  |  |
| --- | --- | --- | --- |
| 𝑉𝐴(𝑉) | 𝑉B(𝑉) | 𝑉𝐹(𝑉) | 𝐹 𝐿𝑜𝑔𝑖𝑐 𝐷𝑎𝑡𝑎 |
| 0 | 0 | 4.96 | H |
| 4.96 | 0 | 4.96 | H |
| 0 | 4.96 | 4.96 | H |
| 4.96 | 4.96 | 0 | L |

|  |  |  |  |
| --- | --- | --- | --- |
| 00 | 10 | 01 | 11 |
| C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\496876F7F8FF17379BC2E51A5728B175.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\04AB9AE00184E505983759F83F95E12A.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\A711E4D85D275A53431634FDCAD4DCAE.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\BCA0C9B50E3BFB6DE969E1C570ECF423.png |

当输入 A,B 均接低电平时，F 输出为高电平;其他情况 F 输出均为低电平，符合或非门逻辑

关系。

**2.3 测量 74LS00 逻辑门的传输延迟时间𝑡𝑝𝑑**

|  |  |
| --- | --- |
| 74LS00 逻辑门的传输延迟时间接线图 | 74LS00 逻辑门的传输延迟时间示波器示数 |
| C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\9D1978889ACFFF3DCC848162B91D66C8.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\D59F49F3DA789A64151FB8246F28A9D0.png |

从示波器中可以读出周期 𝑇 = 𝑛𝑠

从而计算得到传输延时 𝑡𝑝𝑑 = /6 = 18.67𝑛𝑠

**2.4 测量 CD4001 逻辑门的传输延迟时间𝑡𝑝/span>**

|  |  |
| --- | --- |
| 74LS00 逻辑门的传输延迟时间接线图 | 74LS00 逻辑门的传输延迟时间示波器示数 |
| C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\EA6D7BD7D17E05290A01DADEB93D7DEE.png | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\0BC15BD88BC5E4B5FB411BB67AC16E9D.png |

从示波器中可以读出周期 𝑇 = 𝑛𝑠

从而计算得到传输延时 𝑡𝑝𝑑 = /6 = 18.67𝑛𝑠

**2.5** **测量 74LS00 传输特性与开关门电平𝑉𝑂𝑁和𝑉**

|  |  |  |  |
| --- | --- | --- | --- |
| 𝑉𝑖/𝑉 | 𝑉𝑜/𝑉 | 𝑉𝑖/𝑉 | 𝑉𝑜/𝑉 |
| 0.2 | 4.95 | 2.4 | 2.78 |
| 0.4 | 4.95 | 2.6 | 2.61 |
| 0.6 | 4.95 | 2.7 | 2.52 |
| 0.8 | 4.94 | 2.75 | 2.48 |
| 1.0 | 4.94 | 2.8 | 2.4 |
| 1.2 | 4.94 | 2.9 | 0 |
| 1.4 | 4.94 | 3 | 0 |
| 1.6 | 4.94 | 3.2 | 0 |
| 1.8 | 4.94 | 3.6 | 0 |
| 2.0 | 3.08 | 3.8 | 0 |
| 2.2 | 2.93 | 4.9 | 0 |

|  |  |
| --- | --- |
| 1 | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\091873A77C10653573BA509CF2E93127.png |
| 2.02 | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\86DBAF0E43B51AF0969EBCD90452D432.png |
| 2.66 | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\9807613BCE9BE366CA6801B2F4D12947.png |
| 2.8 | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\29877F38459FF0334F1A5EE6F79197D6.png |
| 2.9 | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\82A61BC80007A410E30FD293D03EAA5B.png |
| 3.21 | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\3ECADB93648C2EE4EE64583F79D98A23.png |
| 4.78 | C:\Users\h\Documents\Tencent Files\2811668688\Image\C2C\783AB1123DBF08DB4ABDD064D8ECA065.png |

**三、讨论、心得**

本次实验较为复杂，主要问题是在需要连接较多电路图进行验证，使得第二次接触电路连接的我一开始有点措手不及，在前两个连接成功后逐渐加快了自己的速度。但是过程中印象最深刻的其实是“测量 74LS00 传输特性与开关门电平𝑉𝑂𝑁和𝑉”这个实验，在我对V0进行调整时，在前期变化非常稳定，但是在数据增大时出现了剧烈的突变，使得我的读数变得困难，使用了多次测量取平均值的方法才得到了最后的读数。