锁存器： Latch

锁存器是电平触发；

其具有的优点：

1、面积比触发器小；

2、速度比触发器快；

其具有的缺点：

1、电平触发，非同步设计，易受走线延迟影响，易出现毛刺输出；

2、latch会使静态时序分析变得复杂；

触发器：Flip-flop

触发器是边沿触发，可存储1bit 数据，是register的基本组成单元；

其具有的优点：

1、边沿触发，同步设计，不易受毛刺影响；

2、时序分析简单；

其具有的缺点：

1、面积比latch大；

2、消耗的门电路多；

Wire不存，reg存值

因为我们只能单手使用**NAND或NOR门**来实现任何逻辑电路或门。

Gata Cost

按我的理解，就是数需要多少个输入，加上最基础的门，才能让几个基本单元构成p61

Moore：只和当前状态有关

Mearly：和状态和输入有关

异步清零，是指与 **时钟 不同步，即清**零信号有效时，无视触发脉冲，立即清零；同步是时钟触发条件满足时检测清零信号是否有效，有效则在下一个时间周期的触发条件下，执行清零。

与时钟同步异步定义不同

连接到与阵列、或阵列的信号都要**经过一个开关**，通过一定的方法改变开关的状态，从而**改变与阵列、或阵列的连接方式**，以**产生不同的与-或表达式**，这个过程称为编程。

输出电路对将要输出的信号进行处理，既能输出纯组合逻辑信号，也能输出时序逻辑信号

T的各种东西，具体看4.9