

# ESE 第二次启蒙帮助文档

## 运算放大器参数测试仪

说明： 本帮助文档包括两部分，第一部分基于 TINA-TI 仿真软件讲述运算放大器非理想因素的定义、影响和测量；第二部分讲述带有通讯接口的片外器件的选型方法（以 DDS 为例）。

## 运算放大器的非理想因素

### 简述

理想运算放大器（OP）拥有虚短虚断特性：虚断指输入电阻无限大，源电流不会流入运算放大器内部电路中；虚短指同相和反相输入端口电压完全一致。基于这两个理论假设，我们可以方便地对含有运算放大器的电路进行理论计算。在盟升杯和 ESE 第一次启蒙中关于运算放大器的部分，以及大一下半学期关于电路原理的学习中都会基于这两个假设进行运放电路的计算。

但事实并非如此，市售的运放千千万，输入阻抗既不会无限大，输入端的两个匹配的晶体管参数也不会完全一致，这就是运算放大器的非理想因素。

这里以输入偏置电流举例说明这种不完美现象的存在原因。

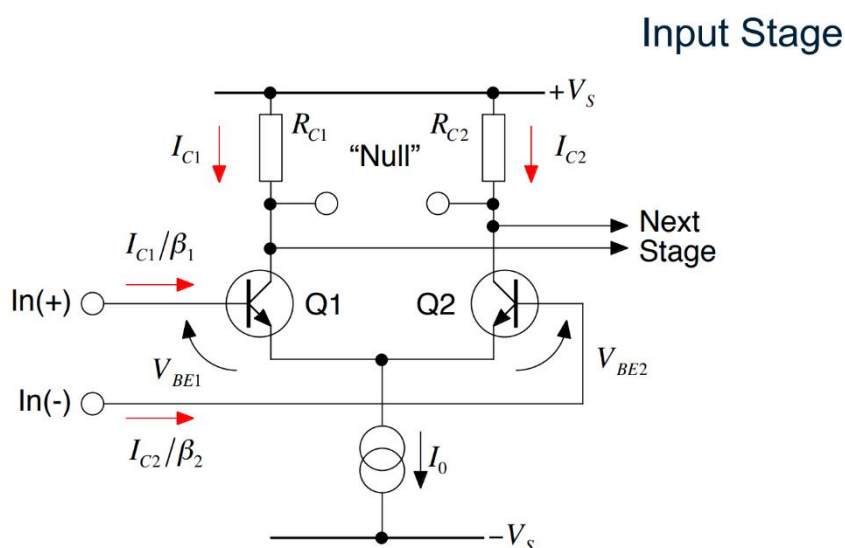


图 1 运算放大器输入级简化原理图

运算放大器由多级电路构成，包括输入差分对（输入极），放大级和输出级。图 1 是 BJT 工艺运算放大器的输入级原理概述。

Q1, Q2 是一对输入管，其基极就是同相和反相输入端。BJT 的输入阻抗在其小信号模型中

以 $r_{be}$ 建模，因此 BJT 的输入电流可以用 $I_{in} = \frac{V_{be}}{r_{be}}$ 计算。既然有输入电流，那么虚断条件就不满足，因为输入电阻并非无穷大。换做 CMOS 或 JFET 输入极，该结论依然成立。尽管 MOSFET 输入的氧化栅电阻非常大， $\sim >10^9\Omega$ ，但也并非完全绝缘，依然有 pA 甚至 nA 级的输入电流。

这就是输入偏置电流，在高输入阻抗电路中是一个要仔细考虑的误差因素。称其为非理想因素的原因是他破坏了理想运放的虚断特性。

除此之外，非理想因素还包括输入失调电压、输入失调电压漂移和输入失调电流等，噪声也是模拟信号链路设计中要考虑的因素之一。

这些参数可以统称为运算放大器的质量指标（Figure of Merit, FoM），所有的这些参数均会对放大电路造成不同程度影响，影响较小时会带来误差，严重时（如错误使用或不使用仪表放大器的偏置电流泄放路径）电路不能正常工作。本文档仅针对 ESE 第二次启蒙题目做简要介绍，更多内容请参阅：

- 《你好，放大器》 杨建国著，科学出版社
- 《Op Amps for Everyone》或《运算放大器权威指南》，人民邮电出版社

这里简要列出一些 FoM 参数，更多内容请参阅上述书籍，也可以在 TI/ADI 官网搜索。

- 1) 开环增益大小
- 2) 输入失调电压
- 3) 输入偏置电流
- 4) 输入失调电流
- 5) 噪声谱密度
- 6) 噪声值
- 7) 压摆率
- 8) 输入电压范围
- 9) 输出电压范围
- 10) 增益带宽积
- 11) 单位增益带宽
- 12) 共模抑制比
- 13) 电源抑制比

请注意，尽管如此，由于这些不理想因素通常很小，在分析电路时依然可以通过理想运放模型探讨电路的功能，在确定完电路功能后再考虑不理想因素对电路的影响，从而选择相应参数优秀的运算放大器。

# 输入失调电压的成因、影响和简易测量方法

## 输入失调电压（VOS）产生原因

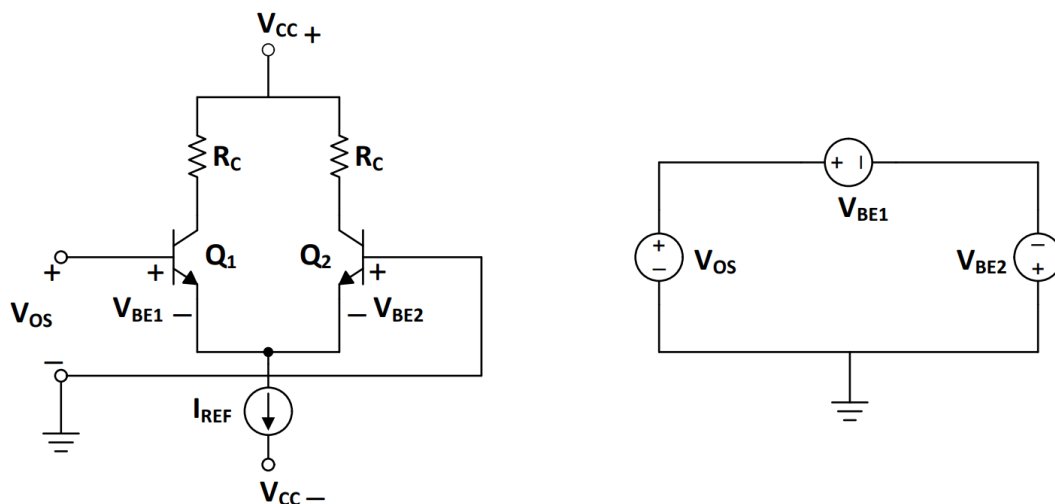


图 2 运算放大器输入级 KVL 等效模型

这里仍然以一个 BJT 运放的输入级来阐述，如图 x 所示。

当左右两条支路完全一致时， $V_{BE1} = V_{BE2}$ ，根据 KVL， $V_{OS} = 0$ 。

若 $Q_1$ 和 $Q_2$ 之间由于生产工艺的不完美出现了失配（即：晶体管  $Q_1$  和  $Q_2$  的基极宽度、发射极面积以及基极和集电极的掺杂程度产生差异，这主要由集成电路制造工艺造成），则  $V_{BE1} \neq V_{BE2}$ ， $V_{OS}$  产生[1]。

同理，若两条支路的  $R_C$ （在集成电路设计中，这个电阻通常是一个有源结构，抽象成一个大电阻）产生失配，也会导致两条支路流过的电流不相同，造成  $V_{BE}$  间的微小差异。

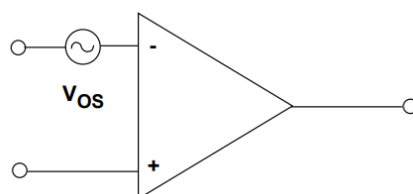


图 3 输入失调电压模型[3]

图 3 给出  $V_{OS}$  的模型， $V_{OS}$  是一个串接于输入信号源上的直流偏置。

## VOS 对电子系统的影响

要阐述  $V_{OS}$  对电子系统设计的影响，这里放一个微弱直流信号放大的例子。

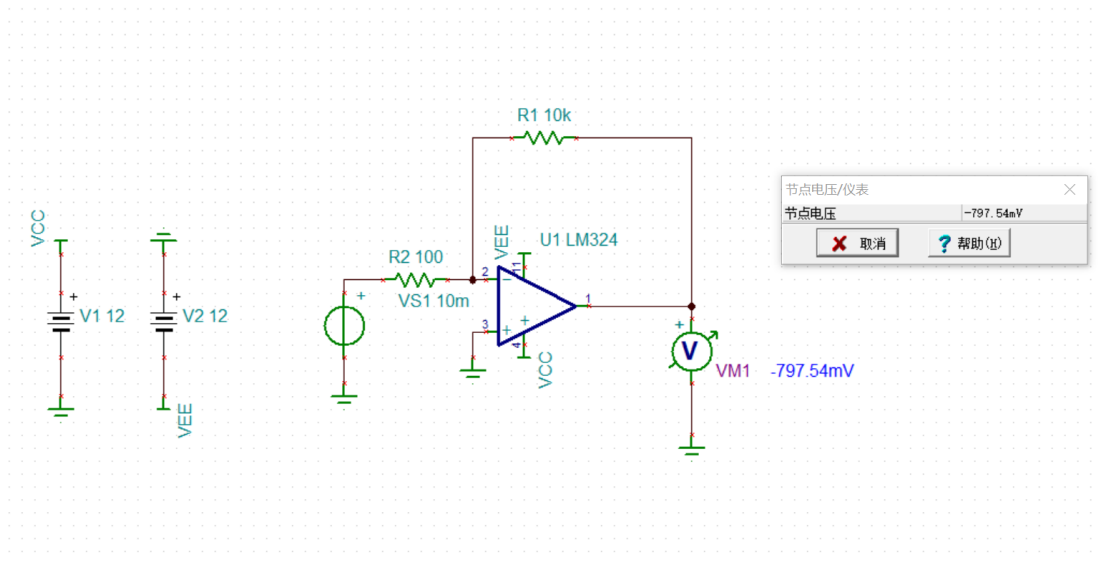


图 4 输入失调电压对小信号测量的影响，造成误差

这里试图将一个 10mv 的直流信号放大 100 倍，按照理想反相放大器模型进行计算，有：

$$V_{out} = V_{in} \times \left(-\frac{R_1}{R_2}\right) = -100V_{in} = -1V$$

这里的输出节点电压为-797.54mV，误差高达 20%。

通过将 VOS 带入反相放大器模型并对反馈回路进行 KCL 分析,发现 VOS 会被放大 101 倍。根据数据手册里的参数，失调电压典型值为 3mV，实际上的输出电压应该为：

$$V_{out} = -100V_{in} + 101V_{os} = -1V \pm 101 \times 3mV = [-1.303V, -0.697V]$$

因此，在放大小信号时，应尽量选择输入失调电压低的运放[2]。

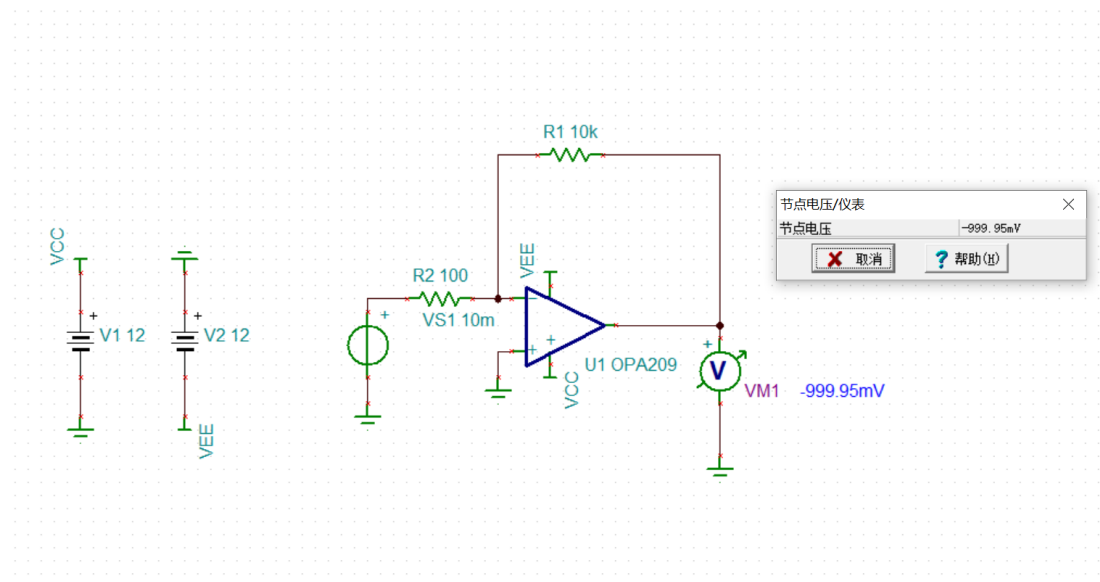


图 5 输入失调电压小的运放更难为小信号测量带来显著误差

如图 5 所示，使用 Vos 性能更好的运放时，实际结果与计算结果相差仅 0.05mV。

## VOS 的简易测量方法

使用图 6 所示电路测量  $V_{os}$ 。

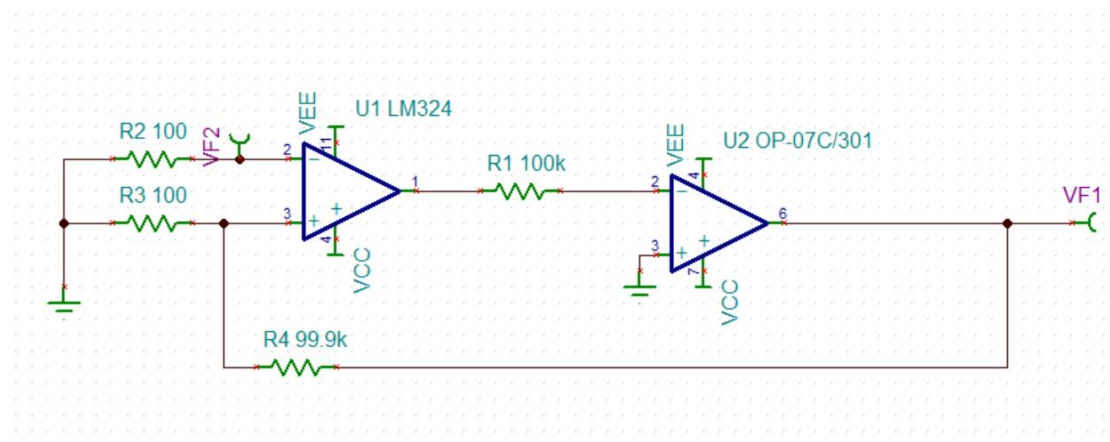


图 6 运算放大器输入失调电压测量方法

U1 为待测器件，U2 为辅助放大器，两个运放均工作在开环状态，放大倍数均为开环增益。

U2 的作用是通过同相接地提供虚拟地，根据虚短，将 U1 输出钳制在 0V 附近（实际上 U1 输出为 U2 的输入偏置电流在 R1 上的压降和 U2 的输入失调电压之和，但无所谓，这个值不会很大，可以近似认为是 0V）；U1 工作于开环状态，因此输入端上很小的电压差异就会使得 U1 输出饱和（输出 VCC 或 VEE）。为了使得 U1 输出 0V，U2 的输出通过一个 1000:1 的比例电阻分压器得到一个与  $V_{os}$  大小相等、方向相反的电压，作用于 U1 的同相输入端，刚好与 U1 反相输入端上的失调电压相抵消，此时 U1 同相和反相输入端电压没有差异，于是输出 0V。

因此，U2 的输出端电压为：

$$V_{out2} \times k = V_{os} = V_{out2} \times \frac{R_3}{R_3 + R_4}$$

其中，k 为分压电阻的比例。

因此，测量 U2 的输出，经过运算即可得到 U1 的输入失调电压。

注意：使用较大输入偏置电流的运算放大器时，R1 阻值可以减小，但应满足辅助运算放大器最大输入电流的限制。

# 输入偏置电流的影响和简易测量方法

## 输入偏置电流对电子系统的影响

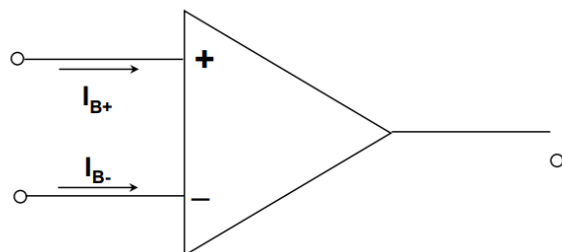


图 7 输入偏置电流模型[3]

图 7 给出了输入偏置电流的模型。

输入偏置电流的成因在简述部分已经介绍，这里不再赘述。

下面以一个例子来说明输入偏置电流对电子系统设计的影响。

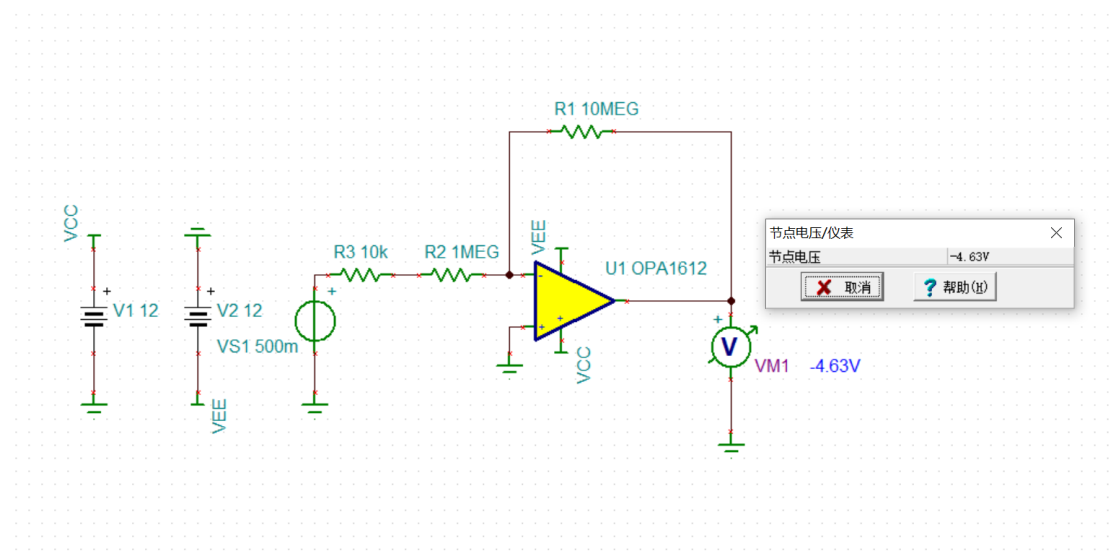


图 8 输入偏置电流对信号调理的影响

如图 8 所示，这个电路试图放大一个 500mV 的直流信号。由于某种原因，该信号源的输出阻抗较大，这里以  $R3=10k$  来对信号源的输出阻抗建模。

为了避免信号源输出阻抗（ $R3$ ）对反相放大器的反馈比例电阻（ $R2$ ）产生较大影响，使用了较大的反馈比例电阻（忽略电阻热噪声影响）。

按照理想反相比值放大器的输出式计算，应该输出-4.95V，误差大于 5%。

这是由于输入偏置电流在反馈比例电阻（ $R2$ ）上的压降导致，按数据手册中的典型值数据，这个电流在信号输入端为：

$$I_{bias} \times R_2 = 1\text{Mega} \times 60\text{nA} = 0.06\text{V}$$

经过放大后，

$$\Delta V = 0.06V \times 10 = 0.6V$$

即输入偏置电流在较大的输入电阻上的压降经过放大器放大后，会对系统输出造成影响。

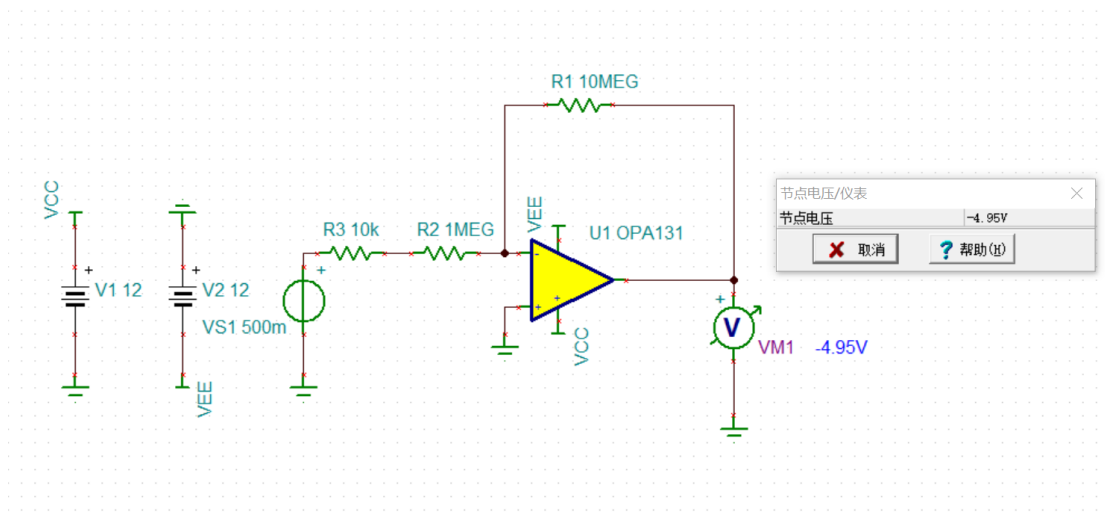


图 9 使用输入偏置电流更小的运放减小高输入阻抗时的误差  
换用较小偏置电流的运放后，输出恢复正常，和计算值-4.95V 一致。

## 输入偏置电流的测量

在电子测量中，电流信息不像电压一样可以直接经由运算放大器放大或是被 ADC 采集，因此一般让待测电流流经一个阻抗产生对应电压后进行测量。图 10 给出了一个输入偏置电流的简易测量方法。

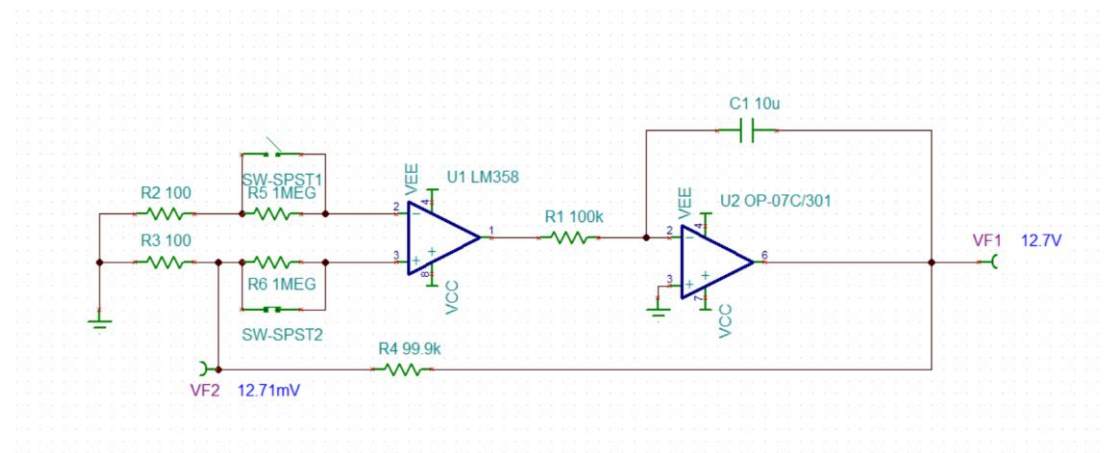


图 10 输入偏置电流的测量

断开开关侧的输入偏置电流通过  $R_5/R_6$  后变成一个和输入失调电压累计的电压量  $V_1$ ，因此辅助放大器为了维持输入虚短条件会输出  $V_1$  的 1000 倍。列出  $I_{bias}$  相关表达式为：

$$I_{bias} \times R_6 - V_{os} = V_o \times k$$

只要保证  $V_{os}$  的值远小于输入偏置电流在  $R_6/R_5$  上的压降，就能保证测试的准确性。

这里给出若  $R_6$  不够大时的后果：

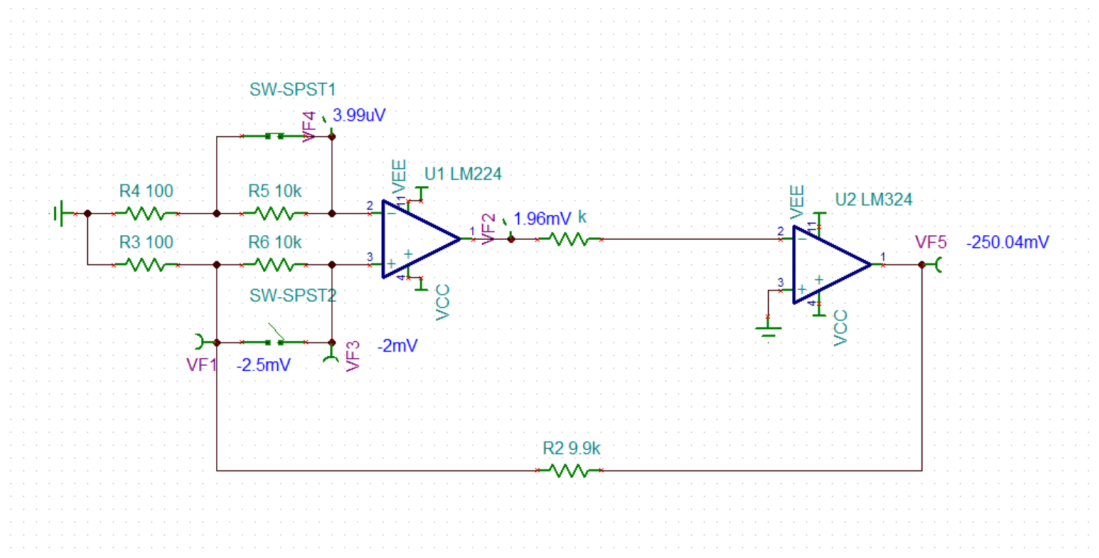


图 11 输入偏置电流的测量（R6 很小时）

测试节点的电压约等于输入失调电压，在输入失调电压未知的情况下，很难根据该结果计算输入偏置电流。

## 输入失调电流的测量

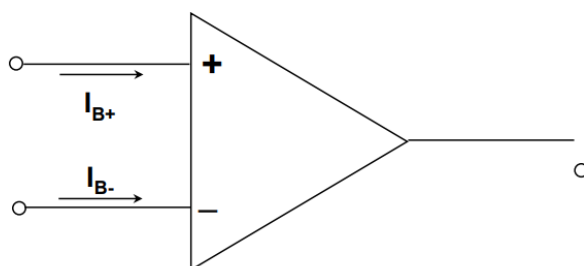


图 12 输入失调电流模型[3]

输入失调电流就是同相和反相输入端的输入偏置电流之差。测试方法不再赘述。

## 运算放大器的增益带宽积

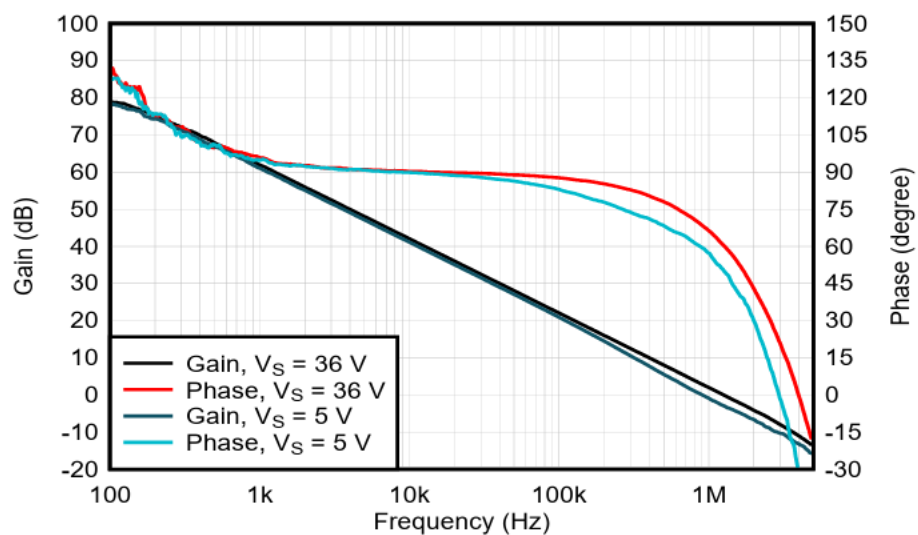
注意:本部分的额外工作包括设计并制作一个信号源,为了确保本次 ESE 启蒙的顺利完成,要求信号源能输出 10MHz 的交流信号。

### 增益带宽积的定义

增益带宽积指运算放大器开环增益以-20dB/dec 下降时，任意频率下频率和增益的乘积。下图即为 LM324 的开环幅频特性曲线图，可在数据手册中找到。任取一点进行计算，例如  $f =$

$10\text{kHz}$ ,  $\text{Gain} = 41\text{dB}$ ,  $\text{GBW} = 10\text{kHz} \times 10^{\frac{41}{20}} = 1.12\text{MHz}$ .与手册近似。





**Figure 5-5. Open-Loop Gain and Phase vs Frequency**

图 13 LM324 的开环幅频特性曲线

引入增益带宽积这一概念是因为市售的运算放大器并不能处理任意频率的信号，例如 LM358 可以将 100mVpp, 10kHz 的信号放大 10 倍，但却不能正确地将 100mVpp, 100kHz 的信号放大 10 倍（绿色输入，红色输出），如下图所示。

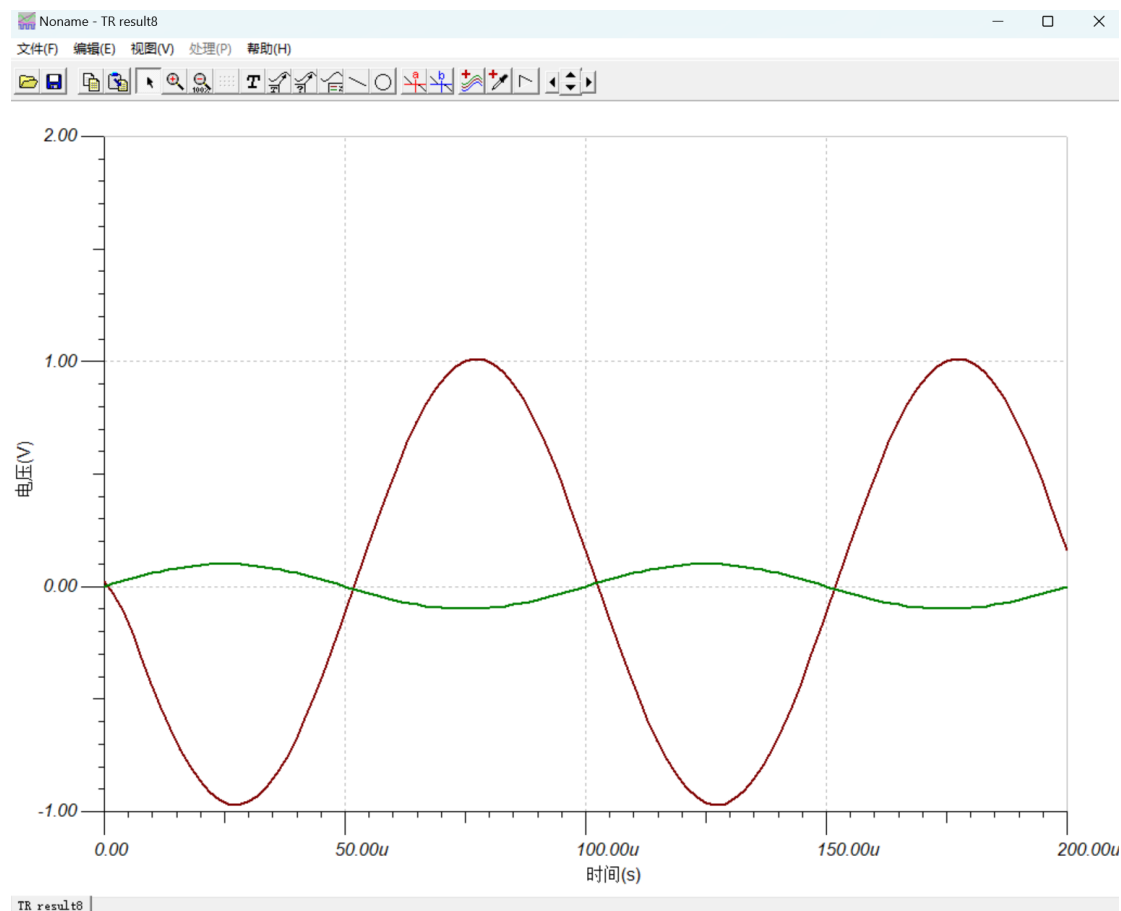


图 14 LM358 放大 100mV/10kHz 信号，Gain=10

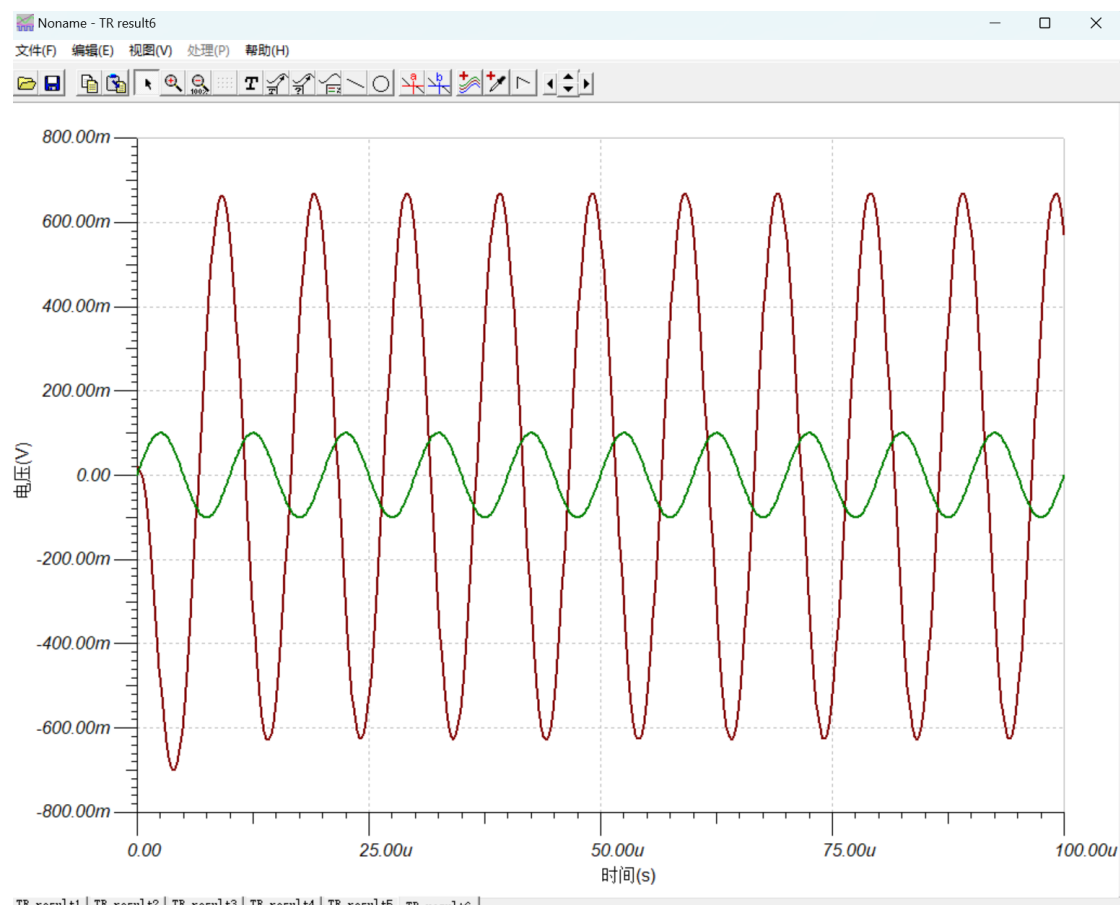


图 15 LM358 放大 100mV/100kHz 信号，Gain<10

为了确保所选的运算放大器能处理感兴趣频率的信号，一定要保证信号在设计电路中的增益带宽积小于运放的增益带宽积。

可即便选择了满足 GBW 要求的运放，电路也不一定能得到想要的效果，例如上图，放大倍数没有达到 10 倍。实际上，受电源电压和运放压摆率（Slew Rate）等因素影响，运算放大器往往不能顶着 GBW 限制运行，因此在实际电路设计中，也需要参考闭环状态下运放的幅频特性曲线，一般在运放手册中也会给出，例如下图是 LM324 的闭环幅频特性曲线。

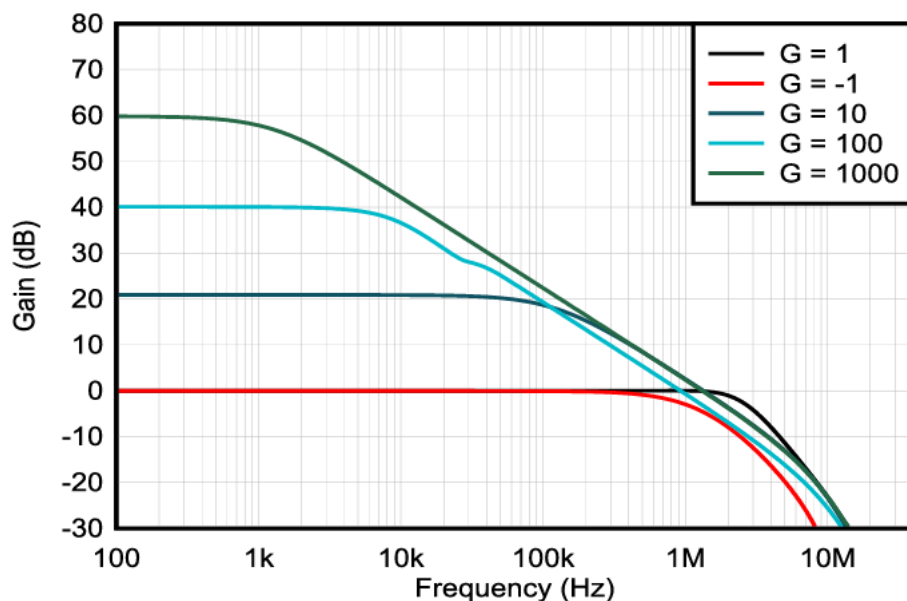


Figure 5-6. Closed-Loop Gain vs Frequency

图 16 LM324 闭环幅频特性曲线

按照此图确定运放对相应频率信号的放大倍数是否符合设计需要。

## 增益带宽积的测量

将运放接成跟随器，通过不断改变输入信号频率并记录输出信号和输入信号的幅值比值，测得截止频率即为增益带宽积。

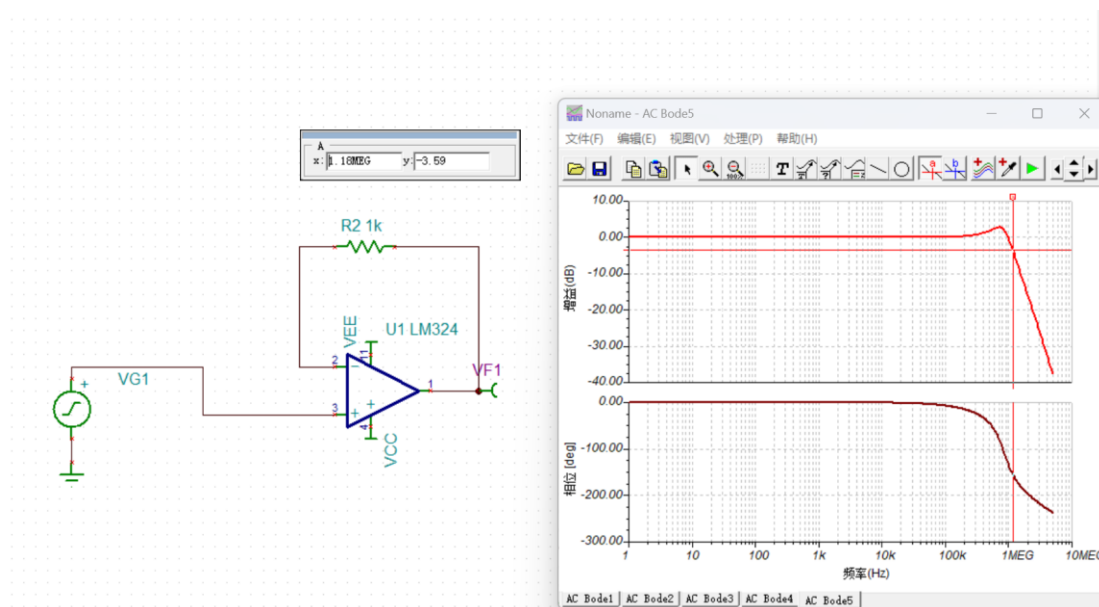


图 17 增益带宽积的测量方法

## Reference list

[1]R. Palmer and K. Li, “直流参数：输入失调电压 (V OS ).” Accessed: Feb. 06, 2024. [Online]. Available:

[https://www.ti.com.cn/cn/lit/an/zhcach5b/zhcach5b.pdf?ts=1707190235568&ref\\_url=https%253A%252F%252Fcn.bing.com%252F](https://www.ti.com.cn/cn/lit/an/zhcach5b/zhcach5b.pdf?ts=1707190235568&ref_url=https%253A%252F%252Fcn.bing.com%252F)

[2]杨建国, 你好, 放大器 初识篇. 科学出版社, 2015.

[3] “运算放大器的简易测量 | Analog Devices,” Analog.com, 2024. <https://www.analog.com/cn/resources/analog-dialogue/articles/simple-op-amp-measurements.html> (accessed Feb. 09, 2024).

# 使用片外器件：带有通讯接口的 DDS/ADC/DAC


在使用片外器件之前，应首先确定需求。

例如这次的题目要求测量一般运算放大器的增益带宽积，根据要测量的两个运算放大器的数据手册，就应该选择一个能出 10MHz 信号的信号源。




## 器件选型

数字频率合成器可以方便地生成正弦波，不需要像 DAC 那样画点，因此对通信接口速率要求不高，这次以选择 DDS 举例。

在各大半导体制造商的官网都可以在产品页面方便地找到 DDS 等器件，例如：  
<https://www.analog.com/cn/index.html>



产品 ▲ 资源 ▼ 解决方案 ▼ 关于我们 ▼ 职业 技术支持

高速逻辑和数据路径管理	•	波束成形器、移相器与矢量调制器	•
工业以太网: ADI Chronos™	•	定时IC和时钟IC	•
光通信和光学传感	•	分频器、乘法器与检波器	•
接口和隔离	•	集成式RF发射器、接收器和收发器	•
开关和多路复用器	•	可变增益放大器(VGA)	•
模数转换器	•	可调谐滤波器	•
嵌入式安全和1-Wire	•	衰减器	•
时钟与定时	•	锁相环(PLL)频率合成器和转换环路	•
视频产品	•	通信模拟前端	•
数模转换器(DAC)	•	无线传感器网络	•
线性产品	•	压控振荡器(VCO)	•
音频产品	•	 RF预失真IC	
		 正交数字上变频器(QDUC)	
		 直接数字频率合成器(DDS)	

下图中最顶上一排就是产品的参数。由于本次任务比较简单，只需要找到一款能出 DC-10MHz 的 DDS 即可。由于只需要选一个参数，根据 Description 可以直接进行大致选型，然后进入 Datasheet 页面查看选中的器件是否支持 DC-10MHz 输出。

选择参数时，并不是参数越牛越好，更好的设备往往意味着更高的经济成本和开发成本。例如，AD9833 和 AD9914 均满足生成 DC-10MHz 正弦的需求，但明显 AD9914 的复杂度高得多，因此就本题而言应该选用复杂度较低的器件。

AD9833

Data Sheet

## PIN CONFIGURATION AND FUNCTION DESCRIPTIONS

Figure 5. Pin Configuration

**!哪怕是 PCB 上只有一块 DDS 需要调试,也永远不要只预留一次投板周期(5 天左右)做开发。**

## 通信协议

为了和外围器件通信,STM32 给出 SPI/I2C/UART 等通信接口,同学们可自行学习。

### INTERFACING TO MICROPROCESSORS

The AD9833 has a standard serial interface that allows the part to interface directly with several microprocessors. The device uses an external serial clock to write the data or control information into the device. The serial clock can have a frequency of 40 MHz maximum. The serial clock can be continuous, or it can idle high or low between write operations. When data or control information is written to the AD9833, FSYNC is taken low and is held low until the 16 bits of data are written into the AD9833. The FSYNC signal frames the 16 bits of information that are loaded into the AD9833.

#### AD9833 TO 68HC11/68L11 INTERFACE

Figure 29 shows the serial interface between the AD9833 and the 68HC11/68L11 microcontroller. The microcontroller is configured as the master by setting the MSTR bit in the SPCR to 1. This setting provides a serial clock on SCK; the MOSI output drives the serial data line SDATA. Because the microcontroller does not have a dedicated frame sync pin, the FSYNC signal is derived from a port line (PC7). The setup conditions for correct operation of the interface are as follows:

- SCK idles high between write operations (CPOL = 1)
- Data is valid on the SCK falling edge (CPHA = 0)

When data is being transmitted to the AD9833, the FSYNC line is taken low (PC7). Serial data from the 68HC11/68L11 is transmitted in 8-bit bytes with only eight falling clock edges occurring in the transmit cycle. Data is transmitted MSB first. To load data into the AD9833, PC7 is held low after the first eight bits are transferred, and a second serial write operation is performed to the AD9833. Only after the second eight bits are transferred should FSYNC be taken high again.

在数据手册中会告知该器件如何与 MCU 通信,例如 AD9833 是一个 SPI 通信的器件,CPOL=1&CPHA=0,时钟最大 40MHz。在 STM32CubeMX 里配置后按照手册给出的寄存器表写所需功能的寄存器即可。