

# FAQ zur Vorlesung Architekturen und Entwurf von Rechnersystemen

Prof. Dr-Ing. A. Koch  
Jaco Hofmann, MSc.



TECHNISCHE  
UNIVERSITÄT  
DARMSTADT

Wintersemester 17/18  
FAQ

Dies ist eine Kollektion an Fragen.

## Aufgabe 1.1 Grundlagen von Bluespec System Verilog

Wie ist Bluespec System Verilog aufgebaut? Gibt es die Konzepte von Klassen und Typen?

Wie greifen Module auf (Sub-)Module zu?

Kann ein Modul auf eigene Methoden zugreifen? Warum (nicht)?

Was ist der Unterschied zwischen Methoden und Funktionen?

Was muss in einem Interface deklariert werden?

Was sind Regeln?

Was sind die Eigenschaften von Regeln?

Identifizieren Sie alle semantischen/ syntaktischen Elemente:

```
1 package HelloBluespec;  
2   module mkHelloBluespec(Empty);  
3     Reg#(UInt#(32)) flag <- mkReg(24);  
4  
5     method ActionValue#(Int#(8)) foo (int x);  
6       ...  
7     endmethod  
8   endmodule  
9 endpackage
```

Wann wird `<=`, `<-` bzw. `=` verwendet?

Kann ein Modul kein Interface haben?

Welche Vorteile und Nachteile sind mit der strikten Trennung Modul-Interface verbunden?

Für was sind “int” und “bit” Abkürzungen?

Was ist der Unterschied zwischen Wert-, Aktions- und Aktionswertmethoden?

Ergänzen Sie für die Regel und die Methode den Guard “Wenn flag kleiner als 5 ist”:

```
1 rule compute _____ ;  
2   ...  
3 endrule  
4  
5 method calc (int c) _____ ;  
6   ...  
7 endmethod
```

---

## Aufgabe 1.2 Weiterführende Elemente von Bluespec System Verilog

---

Wie erhält man von einem `numeric` type den Wert als Bits?

Was sind die Eigenschaften solcher Pipelines: starr, elastisch, dynamisch, statisch?

Was ist der Unterschied zwischen Parallelität und Nebenläufigkeit?

Wann unterscheiden sich die `CAN_FIRE` und `WILL_FIRE` Bedingungen einer Regel?

Welche Ursachen gibt es für Konflikte?

Was sind die Vorteile von Pipeline-/Bypass FIFOs?

Wie geht der Compiler vor, wenn Konflikte auftreten?

Was versteht man unter nested interfaces?

Wobei können tagged unions hilfreich sein?

Wie werden Daten in Tupel gefasst bzw. aus Tupeln extrahiert?

Was bedeutet GALS?

Wozu dienen extend und truncate?

Wozu dienen pack und unpack?

Lässt sich extend mit pack und unpack ersetzen?

Was sind Typklassen?

Wie lassen sich Nachrichten zwischen Regeln innerhalb eines Taktes austauschen? Welche Methode ist zu bevorzugen?

Identifizieren Sie alle semantischen/ syntaktischen Elemente:

```
1 function Int#(5) add (Int#(4) a, Int#(4) b);  
2   return extend(a) + extend(b);  
3 endfunction  
4  
5 method Int#(5) addOne (Int#(4) delta) = add(1, delta);
```

Was ist der Unterschied von urgency und earliness?

Was bewirken die Attribute `decending_urgency`, `execution_order` und `preempts`? Wie unterscheiden sich diese voneinander?

Was bewirken die Attribute `mutually_exclusive` und `synthesize`? Wann kann `synthesize` nicht verwendet werden?

Für welche Elemente einer Methode generiert der Compiler Ports?

Wie kann das beeinflusst werden, für was Ports generiert werden?

---

## Aufgabe 1.3 Rund um FPGA

---

Wozu sind FPGA nützlich und wann sollten FPGAs herkömmlichen Desktoprechnern vorgezogen werden?

Sortieren Sie die folgenden Ebenen nach Abstraktionsgrad: Systemebene, Logikebene, Transistorebene, Verhaltensebene, RTL-Ebene, Layoutebene.

Was sind mögliche wichtige Kriterien beim Chipentwurf?

Was ist der kritische Pfad?

Was beeinflusst in Bluespec System Verilog den kritischen Pfad?

Was versteht man unter einem SoC und was sind dessen wesentliche Teile?

Warum ist NEON so hilfreich? Wann ist NEON einer SIMD auf einem FPGA vorzuziehen?

Was bedeutet Cache-Kohärenz und warum ist dies nützlich/ schädlich?

Warum werden in der Regel keine Softcores benutzt?

---

Wozu wird die PL sonst benutzt?

Was ist AXI(4)?

Was unterscheidet ACP- von HP-Ports?

Was unterscheidet die verschiedenen AXI4-Protokolle?

Wie funktioniert ein Burst?

Was sind IP-Blöcke und wozu werden diese genutzt?

Welche Signale, außer für Ein- und Ausgabe, gibt es noch?

Sortieren Sie ASIC, Multicore CPU, DSP, SoC, microController, FPGA, Manycore CPU, GPGPU und LPCPU bzgl. Performance, NRC und Energieverbrauch. Ordnen Sie diese in die Klassen Commodity ISA, Specialized ISA und Reconfigurable Technology. Welcher Typ bleibt übrig?

An welche Grenzen stößt Moore's Law und wie lassen sie sich begründen?

Welche Bausteine befinden sich auf FPGAs?

Was versteht man unter Base Design, Logic Design und Hardware Synthesis?

Was bedeutet spaltenorientiertes Design?

Wie wird beim TPC vorgegangen, um ein serielles Programm zu verarbeiten?

Was versteht man bei TPC unter Parallel Processing Element, Thread Unit, Thread Pool und Composition?

Wie spaltet der TPC das Design auf und welche Vorteile bringt das mit sich?

Um was kümmert sich ein AXI4 Interconnect IP?

Wie funktioniert die Kommunikation über ein Memory-Mapped AXI4Lite Control Register File?