

# 中南大学考试试卷

2020 -- 2020 学年 上 学期

时间 120 分钟

计算机原理与结构 课程 32 学时 2 学分 考试形式: 开 卷

专业年级: 软件工程 18 级 总分 100 分, 占总评成绩 30 %

注: 此页不作答题纸, 请将答案写在答题纸上, 将答题结果拍照形成 pdf 或 jpeg 文件和 Visio 绘图屏幕截屏形成 pdf 或 jpeg 文件上传可视化平台。

## 一、 填空题 (本题 20 分, 每空 1 分)

1. 在 ARM 的体系结构中, 用于程序调用跳转的寄存器是( ), 用于传递子程序返回值的寄存器是( )。
2. 用 SystemVerilog 语言描述一个深度为 256, 宽度为 64 的存储器, 其描述为( )。
3. 在一个 64 位的计算机中, 采用补码表示 -10, 其对应的 16 进制数是( )。
4. 在 ARM 体系结构的计算机中, 指令寻址方式有四种类型, 分别是( )、( )、基址寻址和( )。
5. 采用 SystemVerilog 描述有限状态机, 一般分为三部分, 分别是一个时序电路描述( )和 2 个组合逻辑电路分别是( )和( )。
6. 在数字电路中, 锁存器和触发器的主要区别是: 前者是( )触发, 后者是( )触发。
7. 在时序电路中, 孔径时间是指( )和( )。
8. 有限状态机一般可分为 2 种, 其中( )有限状态机的输出只与当前状态有关, 而( )有限状态机的输出除与当前状态有关外, 还与输入有关。
9. MOS 晶体管不是完美的开关, 其中( )晶体管能很好导通低电平, 而( )晶体管导通高电平的能力很好。
10. 在布尔代数中, 变量的值只能取 0 和 1。但在实际电路中, 会出现( )和( )现象, 分别用 X 和 Z 表示。

## 二、简答题 (本题 30 分, 每小题 5 分)

1. 简要描述程序存储为何使计算机变得强大。
2. ARM 汇编程序如何实现程序调用和返回?
3. 在数字电路设计中, QuartusII 和 Modelsim 各有何作用?
4. 在 ARM 体系结构设计中哪些体现了“越小的设计越快”的原则?

5. 举例说明计算机如何进行浮点数的加法运算?
6. 简要说明如何判断一个数字电路是同步时序逻辑电路? 举例说明计算机有哪些电路是同步时序电路。

### 三、阅读题(本题 25 分)

1、阅读下面的 SystemVerilog 程序, 在五个( )处完善程序(10 分)。请画出其状态机对应的状态转换图(5 分)。

```
module FSM(input logic clk, reset,
            input logic taken, back,
            output logic predicttaken);
    logic ( A ) state, nextstate;
    parameter S0 = 5'b00001;
    parameter S1 = 5'b00010;
    parameter S2 = 5'b00100;
    parameter S3 = 5'b01000;
    parameter S4 = 5'b10000;
    always_ff @(posedge clk, posedge reset)
        if (reset) state <= S2;
        ( B ) state <= nextstate;
    always_comb
        case (state)
            S0: if (taken) nextstate = S1;
                else nextstate = S0;
            S1: if (taken) nextstate = S2;
                else nextstate = S0;
            S2: if (taken) nextstate = S3;
                else nextstate = S1;
            S3: if (taken) nextstate = S4;
                else nextstate = S2;
            S4: if (taken) nextstate = S4;
                else nextstate = S3;
            ( C ): nextstate = S2;
            ( D )
        ( E ) predicttaken = (state == S4) || (state == S3) || (state == S2 && back);
endmodule
```

2、某 ARM 汇编程序如下, 试用文字描述此程序的功能。(10 分)

```
start
    mov r0,#9
    mov r1,#15
    mov r5,#9
    bl func
stop
    b stop
```

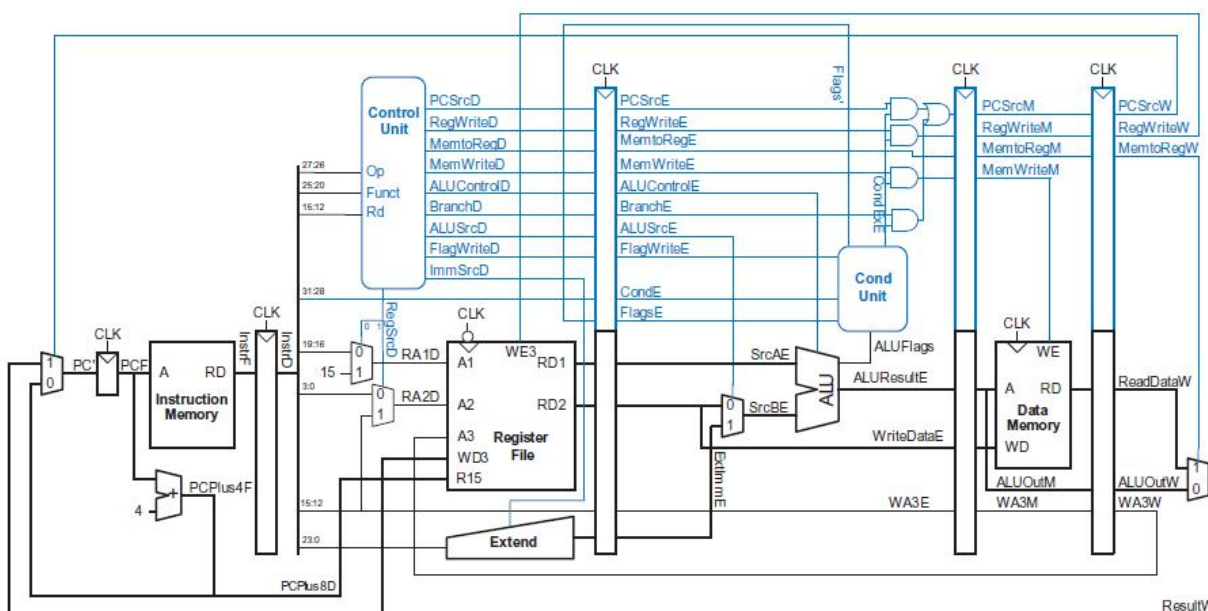
```

func
    mov r5,#1
loop
    cmp r0,r1
    beq stop1
    subgt r0,r0,r1
    sublt r1,r1,r0
    b loop
stop1
    bx lr
end

```

#### 四、设计题(本题 25 分)

1. (10 分) 某单周期 ARM 处理器现有设计如下, 请画出该处理器实现 MOV r1,#42 的数据通路。



2. (15 分) 试用 SystemVerilog 语言实现十六位比较器, 并写出其测试代码, 用 ModelSim 进行仿真。其中:

输入: a 和 b, 分别为 16 位;

输出: equ(1 表示 a 和 b 相等, 0 表示 a 和 b 不相等), dir(0 表示 a 大于 b, 1 表示 a 小于等于 b)。

代码写在答题纸上, 仿真波形截屏放在文件中。