

1. Instruction size: 3 bytes, byte addressable, Integer: 8bit twos complement representation $R1 = 70$, $R2 = 80$, $M[70] = 70$, $M[71] = 71$, $M[72] = 72$

300: MOV R2, #70 ; $R2 \leq 70$ (immediate addressing)

303: SUB R2, @R1 ; $R2 \leq R2 - M[R1]$ (register indirect addressing)

306: JZ \$-9 ; branch if zero (branch to $-9@PC$, relative addressing)

1) After executing MOV and SUB instructions, what value is stored in register R2? Show the calculation of SUB.

MOV R2, #70을 수행하면 R2에 70이라는 값이 들어간다. SUB R2, @R1을 수행하면 R2의 값인 70과 @R1인 $M[R1]$ 값을 빼서 R2에 저장한다. R1은 70이기 때문에 $M[R1] = M[70] = 70$ 이 되고 두 수를 SUB하면 0이 R2에 저장된다.

2) Show the values of flags (C, Z, S, OV) after SUB instruction.

70은 2진수로 01000110이다. 70끼리 빼려면 우선 $70 + (-70)$ 형태가 되어야 한다. -70의 2진수는 10111010이다. 두 수를 더하면 00000000로, 0이라는 것을 알 수 있다. Carry가 발생했고 2의 보수 범위인 -128~127안에 포함되므로 오버플로우는 발생하지 않았다.

연산 결과는 0이므로 C: 1, Z: 1, S: 0, OV: 0이다.

3) What is the address of the instruction executed after JZ instruction?

JZ는 0인 경우에 branch한다. SUB의 결과가 0이기 때문에 다음 실행할 instruction의 주소인 309에서 -9를 하게 된 300이다.

2. A pipelined processor has a clock rate of 1GHz and executes a program with ten million instructions. The pipeline has five stages and instructions are issued at a rate of one per clock.

1) What is the speedup of this processor for this program compared to a non-pipelined processor.

$N = 1,000,000$, $k = 5$, $t = 1G$

Non-pipelined processor = $T1 = 5 \times 1,000,000 \times (1/10^9)$

Pipelined processor = $T2 = (5 + 1,000,000 - 1) \times (1/10^9)$

Speedup = $T1/T2 = (n \times k)/(k + n - 1) = 1,000,000 \times 5 / (5 + 1,000,000 - 1) = \text{약} 5$

2) What is the MIPS rate for the pipelined and non-pipelined processor.

$MIPS = I_c / T \times 10^6$

Non-pipelined processor: $10^6 / 5 \times 10^6 \times (1/10^9) \times 10^6 = 10^3/5 = 200$

pipelined processor: $10^6 / (5 + 10^6 - 1) * (1/10^9) * 10^6 = 10^9 / (4 + 10^6) = \text{약 } 1000$

3) List three pipeline hazards and briefly explain how these hazards affect the performance.

Resource hazard는 자원의 충돌에 의해 발생한다

Data hazard는 명령어가 수행해야할 데이터가 준비가 안됐을 때 발생한다.

Control hazard는 실행 순서가 순차적이 아니었을 때 발생한다.

파이프 라인에 어떤 조건들이 연속적인 실행을 수행할 수 없게 만든다면 파이프 라인의 수행은 멈춘다

3. Choose all items which are more related with RISC compared to CISC.

① μ -programmed control unit ② various instruction size ③ simple addressing mode ④ x86 processor ⑤ ARM processor ⑥ arithmetic combined with load/store ⑦ large number of registers ⑧ small number of op codes ⑨ control memory

1번, 2번, 4번, 6번, 9번은 CISC와 관련된 item들이다.

4. Choose all the features of an SMP.

① There are 2 or more similar processors of comparable capability.

② All processors can perform the same functions.

③ Each processor is controlled by each operating system.

④ Memory access time depends on the location of each processor.

⑤ All processors share the same main memory and I/O facilities

3번은 각각의 operating system이 아닌 1개의 operating system에서 각각의 프로세스가 컨트롤된다.

4번은 메모리 접근 시간은 프로세서에 관계없이 거의 동일하다

5. Show the size of each storage to store the followings, and show their binary representation. 1) character '1', 2) string "1", 3) integer 1, and 4) real number(single precision) 1.0.

Character 1은 1byte이고 아스키 코드로 표현하면 49이므로 00110001이다

String 1은 맨 뒤에 null값이 들어가므로 2byte이고 아스키 코드로 표현하면 49이므로 00110001이다

Integer 1은 4byte이므로 00000001이다.

Real num 1은 4byte이므로 $1.0 * 2^0 = 0\ 01111111\ 000000000000000000000000$