



第七届  
全国大学生集成电路创新创业大赛  
校内选拔赛

选    题： 题目三 基于 FPGA 的可控图像显示系统

姓    名： 翟志涵

学    院： 信息学院

班    级： 通信 2102

学    号： 0122109361224

联系方式： 2283547767

# 目录

一、设计简介 .....	1
1.1 总体介绍 .....	1
1.2 系统总体流程 .....	1
二、设计方案 .....	1
2.1 系统整体硬件资源 .....	1
2.2 OV5640 控制模块 .....	2
2.3 时钟生成模块 .....	3
2.4 VGA 驱动模块 .....	3
2.5 HDMI 控制模块 .....	3
2.6 SDRAM 读写控制模块 .....	4
2.7 串口接收模块 .....	4
三、系统布线和资源消耗 .....	5
3.1 RTL 视图 .....	5
3.2 系统资源消耗 .....	5
四、系统测试 .....	7
五、总结分析 .....	7

# 一、设计简介

## 1.1 总体介绍

本系统是基于 FPGA 的可控图像显示系统，可对视频源进行部分读取与显示。

硬件平台为野火 EP4CE10F17C8 征途 Pro FPGA 开发板，其硬件资源丰富。针对该 FPGA 构建的可控图像显示系统，主要包括视频源读取、时钟分频倍频、SDRAM 控制、视频显示、串口接收、SD 卡存储等模块。

利用搭建完成的可控视频显示系统，后续可设计丰富的软件应用，包括但不限于人脸识别、边缘检测、色彩提取等。

## 1.2 系统总体流程

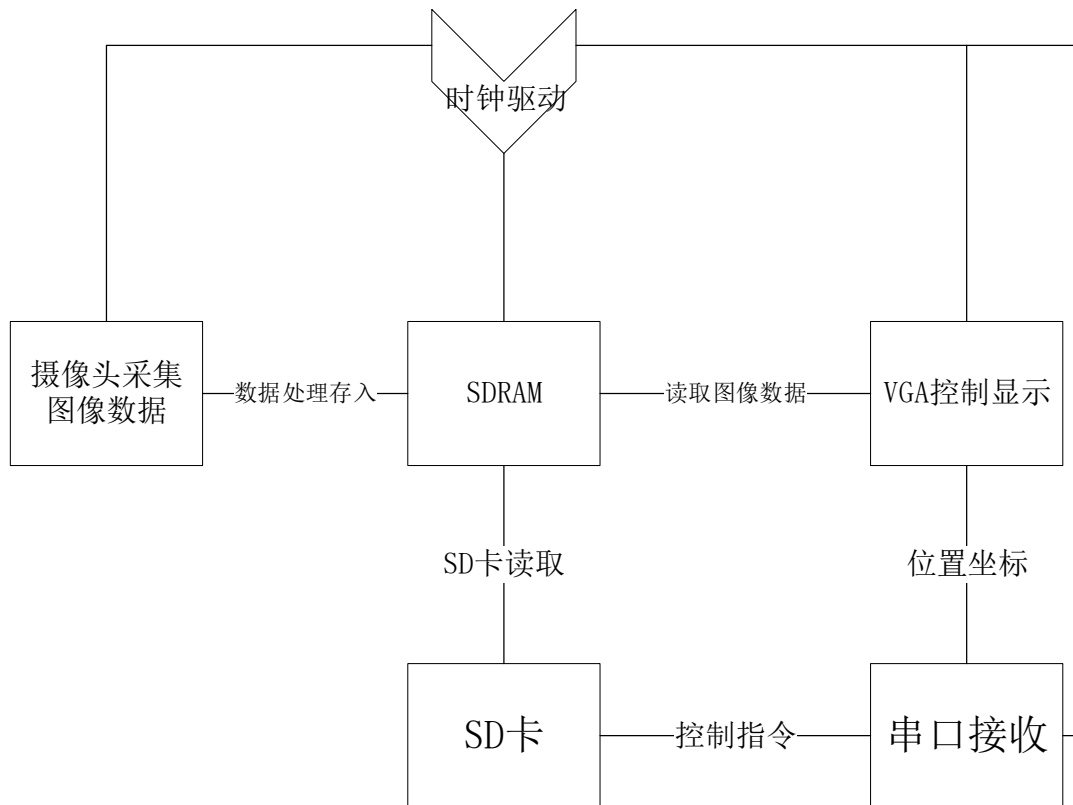


图 1 系统流程图

# 二、设计方案

## 2.1 系统整体硬件资源

本系统基于 FPGA 片上硬件资源设计，硬件主要包括：

- (1) OV5640 驱动电路
- (2) HDMI 驱动电路
- (3) RS232 接受电路

- (4) SD 卡驱动电路
- (5) SDRAM 驱动电路

## 2.2 OV5640 控制模块

结合 OV5640 功能框图及 SCCB 时序、相关寄存器可生成 OV5640 总模块。

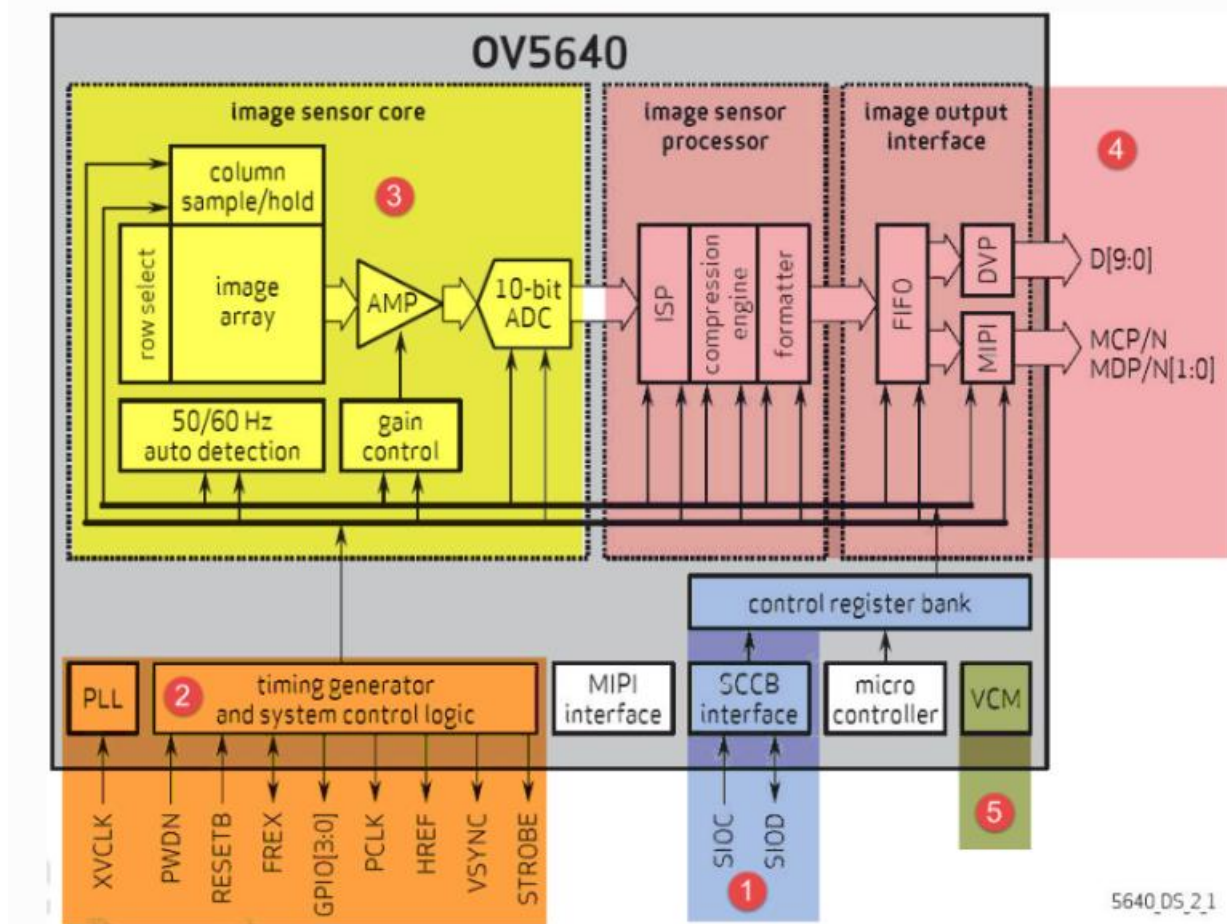


图 2 OV5640 功能框图

其包含 IIC 驱动模块、OV5640 寄存器配置模块、OV5640 图像采集模块

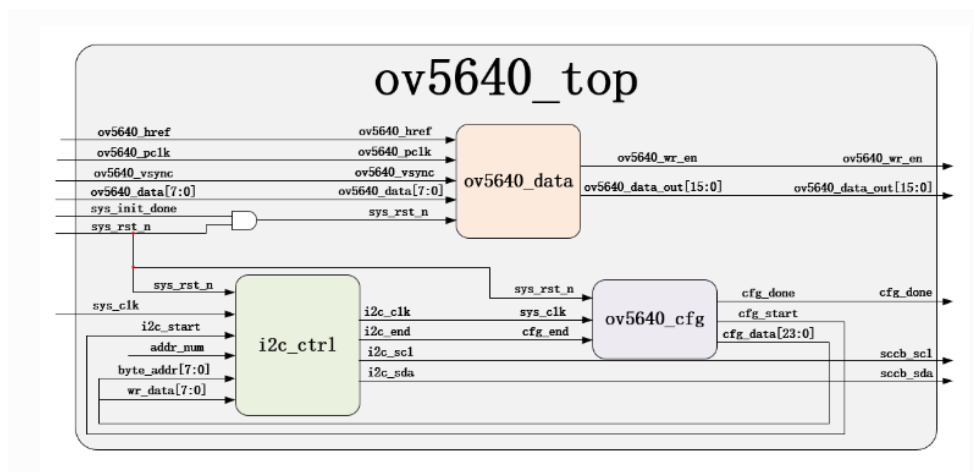


图 3 OV5640 顶层模块

## 2.3 时钟生成模块

利用 50MHz 结合 IP 核对其进行分频和倍频，得到 25MHz 和 100MHz 的时钟。

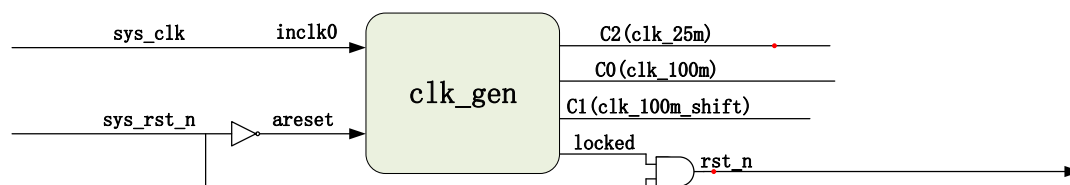


图 4 时钟生成模块

## 2.4 VGA 驱动模块

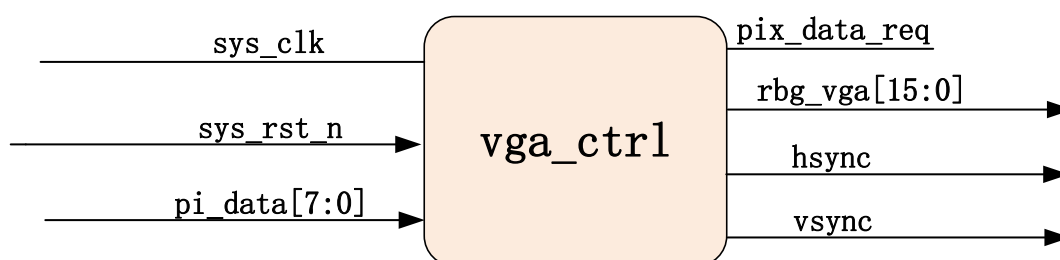


图 5 VGA 驱动模块

结合 VGA 时序，在时钟的驱动下，利用输入的图像像素点色彩信息，输出 RGB 色彩信息和行扫描信号时序和场扫描信号时序。

## 2.5 HDMI 控制模块

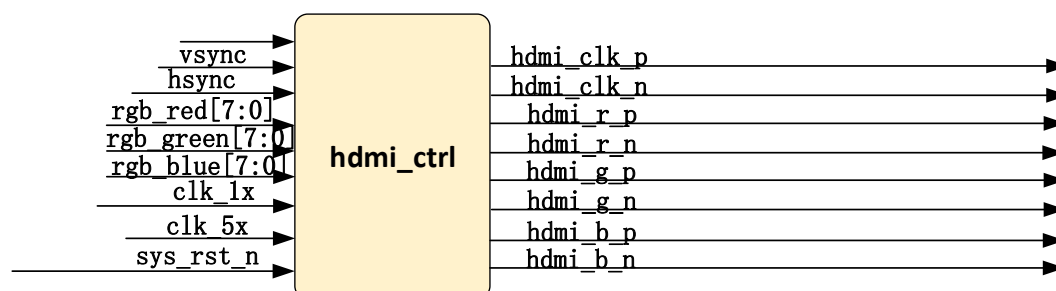


图 6 HDMI 控制模块

利用 VGA 输出的 RGB 色彩信息和行扫描信号、场扫描信号，对输入的 VGA 图像信息进行编码、并行串行转换、单端信号转差分信号、单沿采样转双沿采样，实现 HDMI 输出。

2.6 SDRAM 读写控制模块

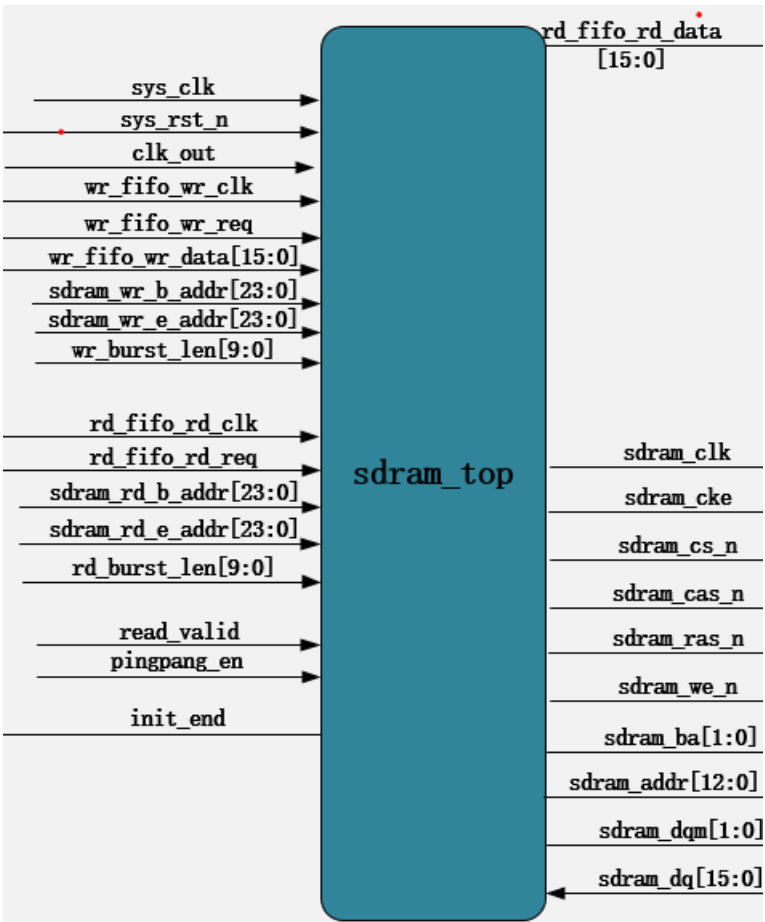


图 7 SDRAM 控制模块

在这里使用的 SDRAM 型号为 W9825G6KH，存储容量为 256 Mbit(32MByte)，地址位宽 13 位，数据位宽 16 位，并针对其管口和时序要求，研究了其各种操作命令，如：无操作命令、配置模式寄存器命令、预充电命令、刷新命令、激活命令、写命令和读命令。

2.7 串口接收模块

在这里选用的 RS232 收发器芯片为 MAX3232CSE，这里我们将接受到的串行数据转为并行数据，并增添一位标志信号表示数据可以读取。

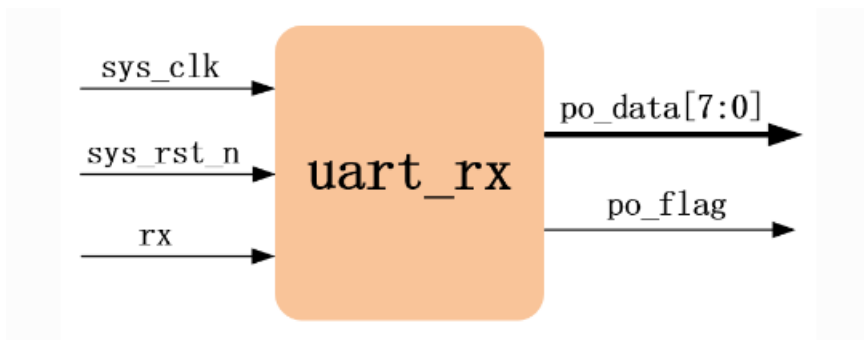


图 8 串口接收模块

## 三、系统布线和资源消耗

### 3.1 RTL 视图

布线后系统各模块连线图如下：

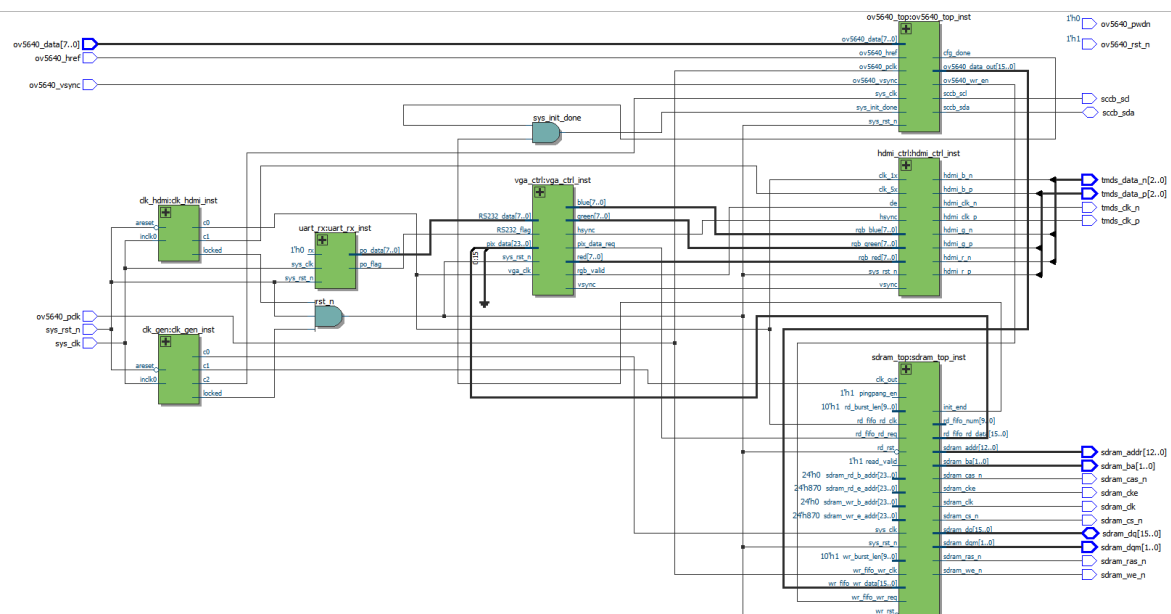


图 9 系统 RTL 视图

### 3.2 系统资源消耗

所消耗的逻辑单元及其他片上硬件资源如下：

Flow Summary	
Flow Status	Successful - Mon Feb 27 21:13:40 2023
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Full Version
Revision Name	ov5640_hdmi_1280x720
Top-level Entity Name	ov5640_hdmi_1280x720
Family	Cyclone IV E
Device	EP4CE10F17C8
Timing Models	Final
Total logic elements	1,567 / 10,320 ( 15 % )
Total combinational functions	1,470 / 10,320 ( 14 % )
Dedicated logic registers	644 / 10,320 ( 6 % )
Total registers	660
Total pins	64 / 180 ( 36 % )
Total virtual pins	0
Total memory bits	32,768 / 423,936 ( 8 % )
Embedded Multiplier 9-bit elements	0 / 46 ( 0 % )
Total PLLs	2 / 2 ( 100 % )

图 10 系统所使用资源占比

我们可以看到资源利用合理，可利用剩余资源继续扩展项目。



## 四、系统测试



## 五、总结分析

经过数天的程序编写，代码移植、修改 BUG，这项可控图像显示系统成功完成。

系统完成了全部设计任务：

基于 FPGA 平台(不可辅助使用其它 MCU，可用带硬核的 FPGA)设计一个可控图像显示系统，对视频源进行部分的读取和显示。具体要求如下：

- 1.通过 MIPI/VGA/HDMI 显示;
- 2.通过串口或者其他上位机通讯方式控制视频源，输入像素坐标(x,y,w,h)，即待显示矩形的 x 坐标，y 坐标，宽度，高度后，可在显示器中显示出相应的画面;
- 3.截取一帧画面数据存储到 SD 卡中。

通过此次训练，我掌握了多种时序的应用和各类外设的应用，未来可继续拓展项目，丰富我在 FPGA 方面的经验。