选课时间段 周二第3，4，5节

座位号 17

杭州电子科技大学

实 验 报 告

课程名称 数字电路与逻辑设计实验

实验名称 数字系统综合设计

指导教师 曹菲

学生姓名 唐子辉

学生学号 19081630

学生班级 19083411

学生专业 通信工程

实验日期 2020.12.29

一、**项目概况**

（1）项目选题：可调数字钟

（2）选题目的：实现可调数字钟的一些基本功能：

①清零功能：拨动开关使时间清零

②报时功能：整点时LED灯闪烁（分钟和秒钟为0）

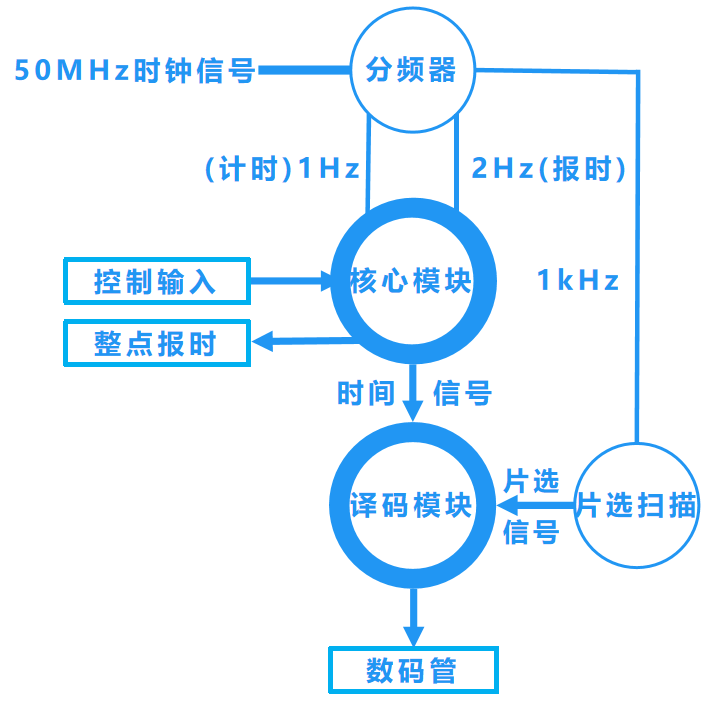
③调节时间：可以暂停调节小时分钟和秒钟的值

1. 项目构思：使用四个模块共同实现可调数字钟的功能，分别是分频器模块、高频片选信号扫描模块、核心功能模块、数码管显示模块。以上模块均用verilog语言实现。

**二、方案设计**

（1）系统简介：使用四个模块实现可调数字钟的功能。其中，分频器模块实现将50MHz系统时钟信号分频的功能，高频片选信号扫描模块实现片选信号从0到5循环变化功能，核心功能模块实现可调数字钟基本功能，数码管显示模块实现译码的功能，显示在数码管上。

（2）系统框图：



（3）各模块具体设计

①分频器：

module fenpin (clk,clk\_1HZ,clk\_2HZ,clk\_1KHZ);

input clk;

output clk\_1HZ,clk\_2HZ,clk\_1KHZ;

reg clk\_1HZ,clk\_2HZ,clk\_1KHZ;

reg[26:0] count1=0,count2=0,count4=0;

always@(posedge clk)

begin

count1<=count1+1;

if(count1<25000000)

clk\_1HZ<=1;

else if(count1<49999999)

clk\_1HZ<=0;

if(count1==49999999)

count1<=0;

count2<=count2+1;

if(count2<12500000)

clk\_2HZ<=1;

else if(count2<24999999)

clk\_2HZ<=0;

if(count2==24999999)

count2<=0;

count4<=count4+1;

if(count4<25000)

clk\_1KHZ<=1;

else if(count4<49999)

clk\_1KHZ<=0;

if(count4==49999)

count4<=0;

end

endmodule

说明：50Mhz系统时钟信号作为输入，通过上升沿的个数关系来分频，得到1Hz,2Hz和1kHz的信号，1Hz的信号用来作为数字钟的输入信号；2Hz的信号输入整点报时灯进行闪烁；1kHz的信号输入高频片选信号扫描模块，使得数码管高频率显示，视觉上产生同时亮起的效果。

②高频片选信号扫描模块：

module slect(clk\_1KHZ,selct);

input clk\_1KHZ;

output selct;

reg[3:0] selct=0;

always @(posedge clk\_1KHZ)

begin

selct=selct+1;

if (selct>5) selct<=0;

end

endmodule

说明：输入1kHz的信号，输出为从0到5高频率变化的slect信号。

③核心功能模块：

module core(clk\_1HZ,clk\_2HZ,S1,S2,S3,S4,S5,S6,S7,S8,k1,

hour\_out,min\_out,sec\_out,led);

input clk\_1HZ,clk\_2HZ,S1,S2,S3,S4,S5,S6,S7,S8,k1;

output reg led;

reg [6:0] hour=11,min=59,sec=40;

output reg[6:0] hour\_out,min\_out,sec\_out;

reg[6:0]count=0;

always @(posedge clk\_1HZ)

begin

if(S1==1)

begin

sec<=0;

min<=0;

hour<=0;

end

else

begin

if(S2==1) count<=count+1;

if(count%2==0)

begin

if(sec<59) sec<=sec+1;

else

begin

sec<=0;

if(min<59) min<=min+1;

else

begin

min<=0;

if(hour<23) hour<=hour+1;

else

hour<=0;

end

end

end

else

begin

if(S3==1)

begin

if(hour<23) hour<=hour+1;

else hour<=0;end

if(S4==1)

begin

if(hour>0) hour<=hour-1;

else hour<=23;end

if(S5==1)

begin

if(min<59) min<=min+1;

else min<=0;end

if(S6==1)

begin

if(min>0) min<=min-1;

else min<=59;end

if(S7==1)

begin

if(sec<59) sec<=sec+1;

else sec<=0;end

if(S8==1)

begin

if(sec>0) sec<=sec-1;

else sec<=59;end

end

end

if(k1==1)

begin

if(hour>11)hour\_out<=hour-12;

else hour\_out<=hour;

sec\_out<=sec;

min\_out<=min;

end

else

begin

hour\_out<=hour;

sec\_out<=sec;

min\_out<=min;

end

end

always @(1)

begin

if(min==0&&sec<5)

led<=clk\_2HZ;

else

led<=0;

end

endmodule

说明：输入1Hz和2Hz的信号以及S1,S2,S3,S4,S5,S6,S7,S8,k1以及9个控制信号。1Hz的信号用来作为数字钟跳变的输入信号；2Hz的信号输入整点报时灯进行闪烁，led灯在整点后5秒以2Hz的频率进行闪烁。S1为清零开关，S1=1时有效；S2为暂停调节时间开关，S2=1时作用，按下S2后数字钟暂停并且可以调节时间，再次按下S2后恢复数字钟运作；S3到S8在S2起作用后才有效。S3与S4调节小时，S3=1时小时数加1，S4=1时小时数减1；S5与S6调节分钟，S5=1时分钟数加1，S6=1时分钟数减1；S7与S8调节秒钟，S7=1时秒钟数加1，S8=1时秒钟数减1；k1调节数字钟的显示方式，k1=1时为12小时制，k1=0时为24小时制。输出信号为控制整点报时灯的信号led，以及10进制的小时、分钟、秒钟三路信号hour\_out,min\_out,sec\_out。

④数码管显示模块：

module display(clk,hour,min,sec,selct,a,b,c,d,e,f,g,Sel0,Sel1,Sel2,Sel3,Sel4,Sel5);

input[6:0] hour,min,sec;

input[3:0] selct;

input clk;

output reg a,b,c,d,e,f,g,Sel0,Sel1,Sel2,Sel3,Sel4,Sel5;

reg [5:0]num,hour\_a,hour\_b,min\_a,min\_b,sec\_a,sec\_b;

always @(posedge clk)

begin

begin

hour\_b<=hour%10;

hour\_a<=(hour-hour\_b)/10;

min\_b<=min%10;

min\_a<=(min-min\_b)/10;

sec\_b<=sec%10;

sec\_a<=(sec-sec\_b)/10;

end

//位选

case(selct)

0:begin num<=min\_b;{Sel0,Sel1,Sel2,Sel3,Sel4,Sel5}=6'b101111;end

1:begin num<=min\_a;{Sel0,Sel1,Sel2,Sel3,Sel4,Sel5}=6'b110111;end

2:begin num<=hour\_b;{Sel0,Sel1,Sel2,Sel3,Sel4,Sel5}=6'b111011;end

3:begin num<=hour\_a;{Sel0,Sel1,Sel2,Sel3,Sel4,Sel5}=6'b111101;end

4:begin num<=sec\_b;{Sel0,Sel1,Sel2,Sel3,Sel4,Sel5}=6'b111110;end

5:begin num<=sec\_a;{Sel0,Sel1,Sel2,Sel3,Sel4,Sel5}=6'b011111;end

endcase

//段选

case(num)

0:{a,b,c,d,e,f,g}=7'b0000001;

1:{a,b,c,d,e,f,g}=7'b1001111;

2:{a,b,c,d,e,f,g}=7'b0010010;

3:{a,b,c,d,e,f,g}=7'b0000110;

4:{a,b,c,d,e,f,g}=7'b1001100;

5:{a,b,c,d,e,f,g}=7'b0100100;

6:{a,b,c,d,e,f,g}=7'b0100000;

7:{a,b,c,d,e,f,g}=7'b0001111;

8:{a,b,c,d,e,f,g}=7'b0000000;

9:{a,b,c,d,e,f,g}=7'b0000100;

default:

{a,b,c,d,e,f,g}= 7'b0000001;

endcase

end

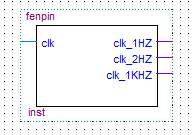
endmodule

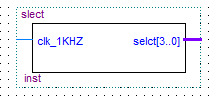
说明：输入信号有1kHz的信号，高频率信号selct轮流显示数码管，以及10进制的小时、分钟、秒钟三路信号。hour\_a和hour\_b为小时的高低位，分钟和秒钟的高低位同上。输出为{a,b,c,d,e,f,g}段选信号，{Sel0,Sel1,Sel2,Sel3,Sel4,Sel5}片选信号，只需选6片显示就行了。

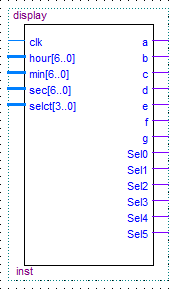
**三、设计与调试**

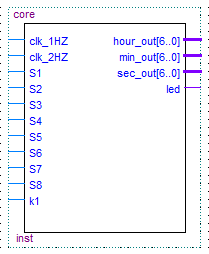
（1）设计和仿真：

①各模块设计

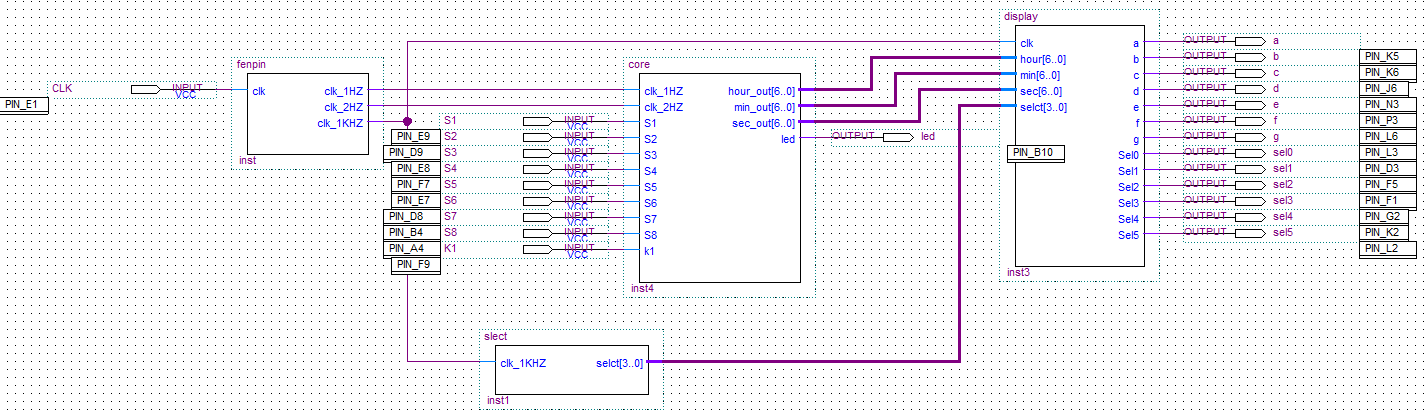






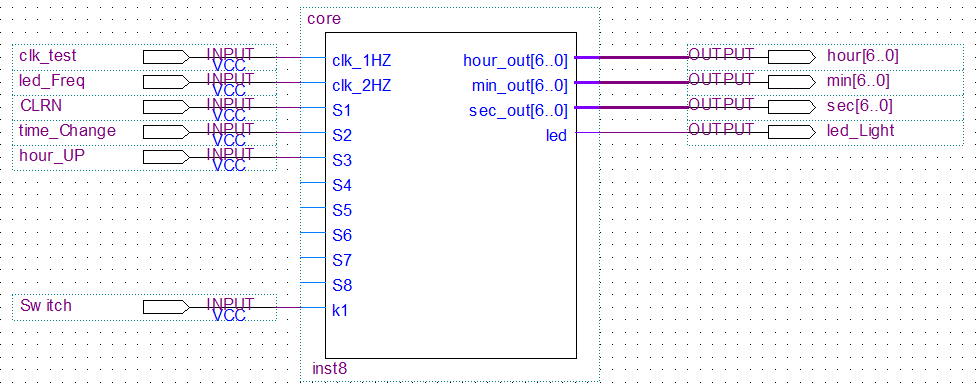


②总电路图

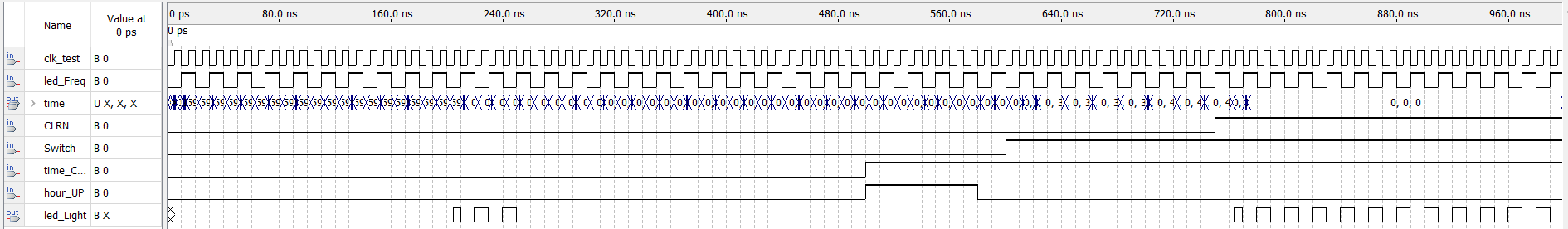


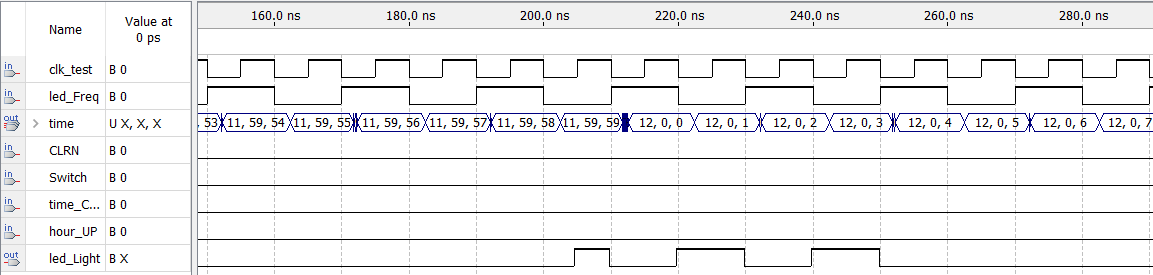
1. 下载过程中遇到的问题：对verilog语言语法不熟悉，一开始下载的时候有六片数码管亮了，但是没有正常工作和显示正确。片选信号的排序没有搞清楚。
2. 解决办法：上网搜索相关语法，改正了display模块的段选代码，使每片的数字显示正确。又调整了片选代码，使小时、分钟、秒钟显示顺序正确。还有我发现开关默认为0的，然后我就把所有开关的实现逻辑都改成了S=1，这样就可以保持初始态了。
3. **结论**
4. 仿真波形

①仿真电路(计时频率和LED频率与远程不同，为了好显示效果)

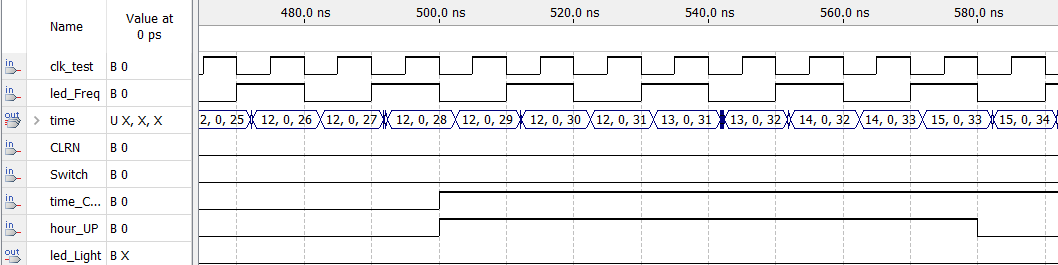
这里调整时间的功能我只接了增加小时这一个端口，其他功能都接了，见前文的功能，端口名字是功能的直译。

②仿真波形

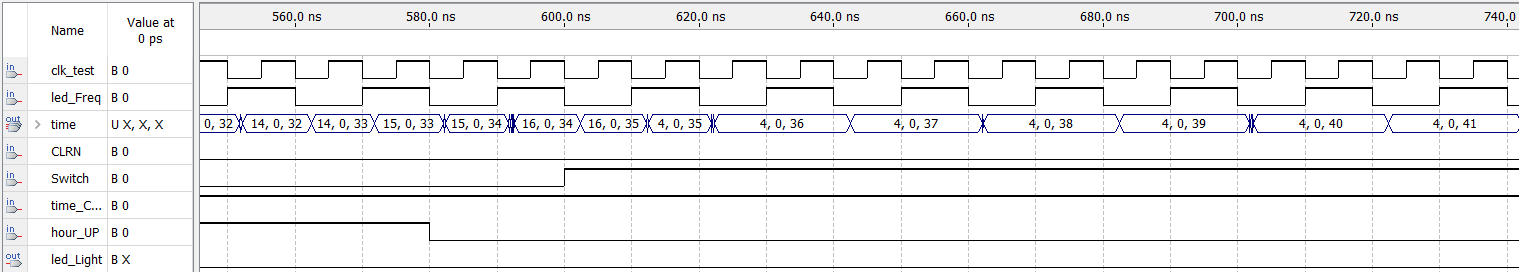
接下来可以放大看各个特值时所引起的变化：



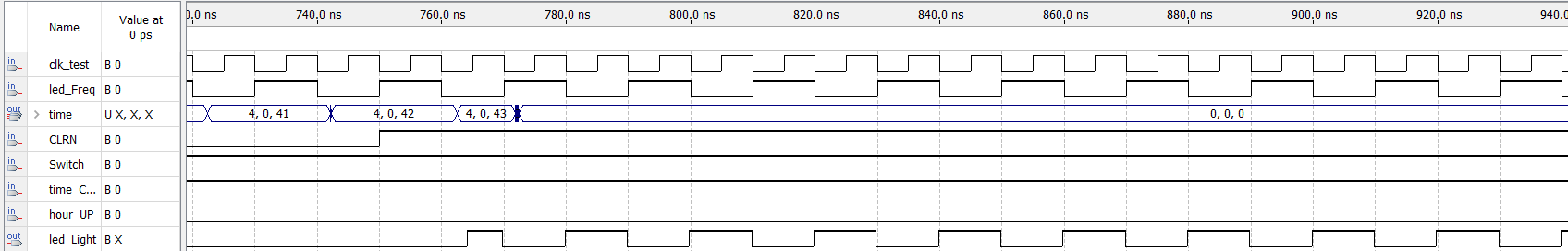
当时间到12：00：00时，开始闪烁报时（仿真时有误差，不过大致是这样的）



当time\_Change为1时，开始调整时间，hour\_UP为1时，小时数开始加一，仿真时同时会有秒数的误差。



当Swich为1时，切换12小时制，可以看到从16小时显示为4小时，仿真同样会有误差。



当CLRN为1时，时间清零，同时整点报时灯一直闪烁，仿真同样会有误差。

1. 远程实验

引脚锁定：

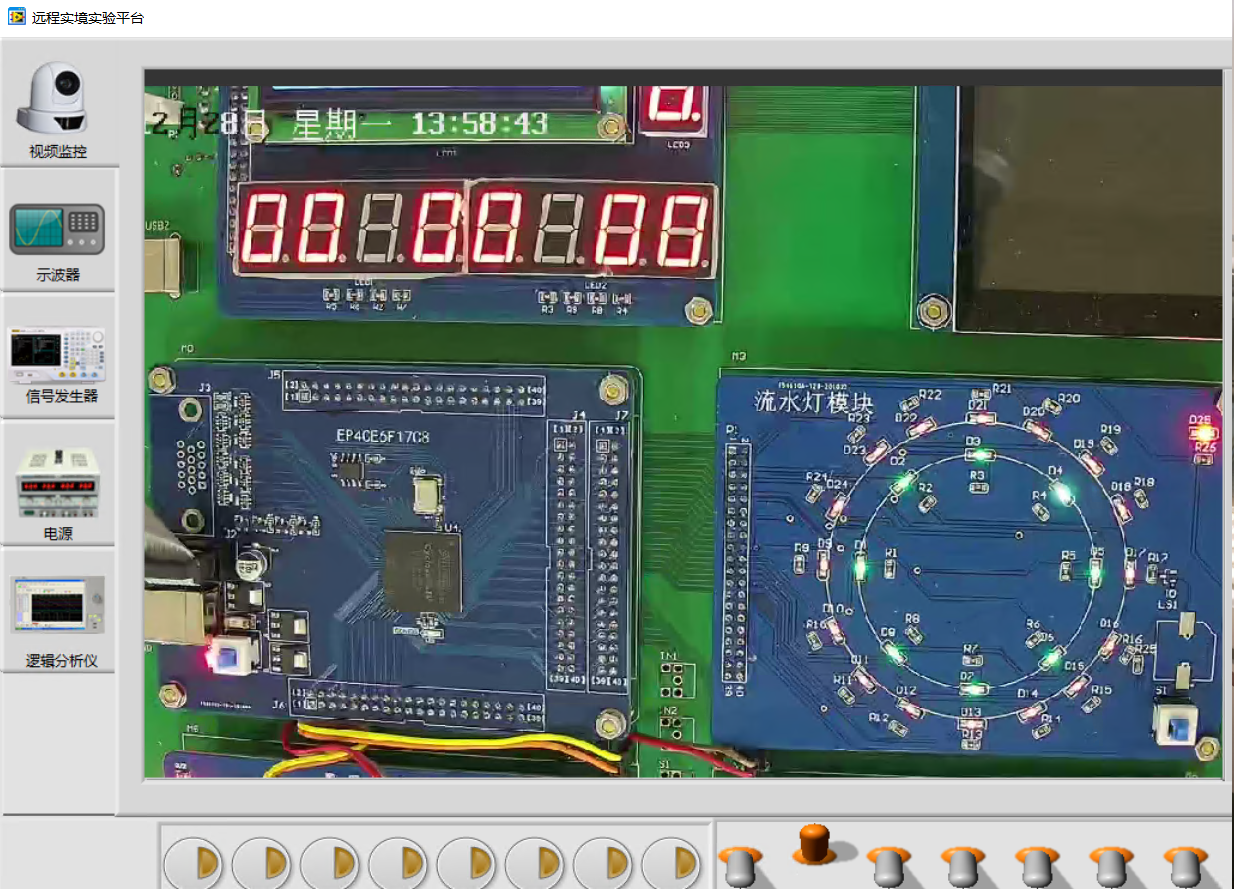
led接D4灯

K1接B0拨码开关

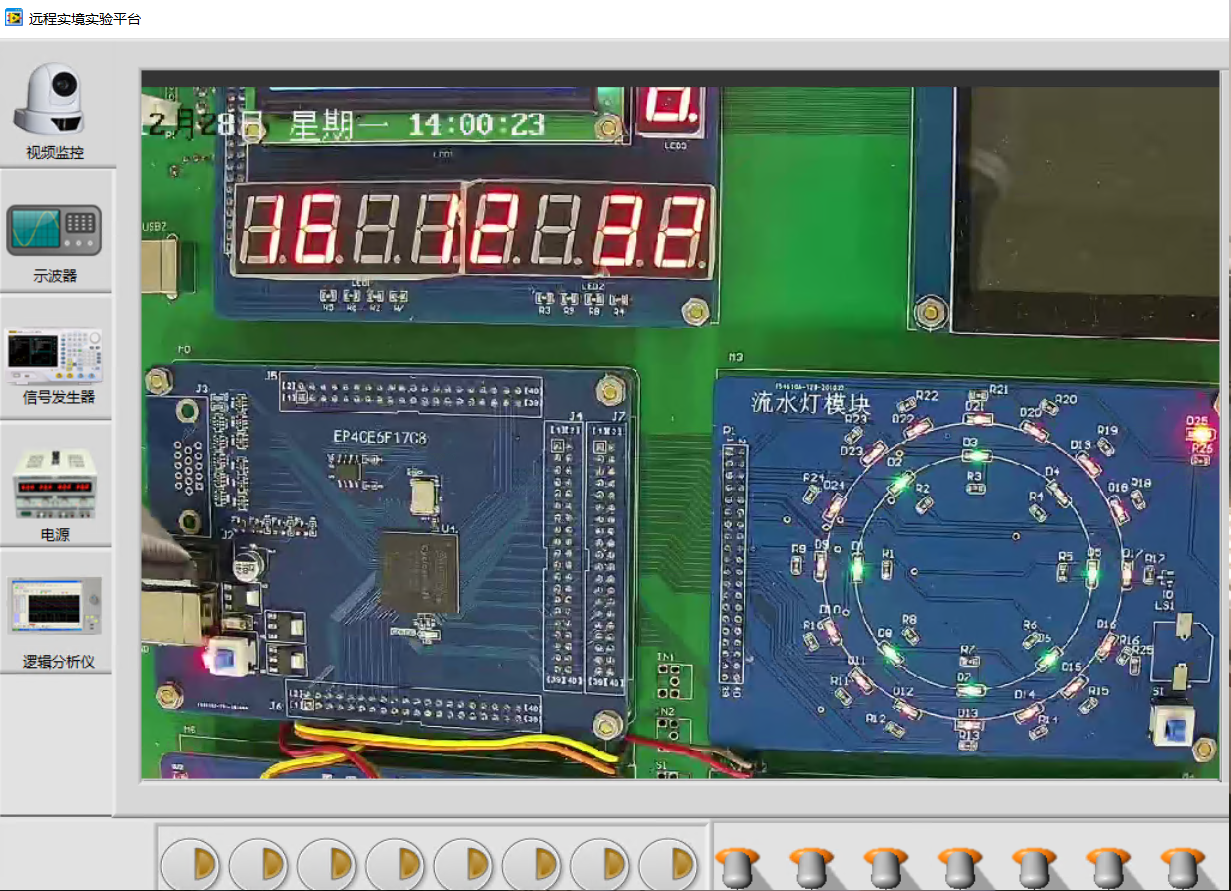
S1接B1拨码开关

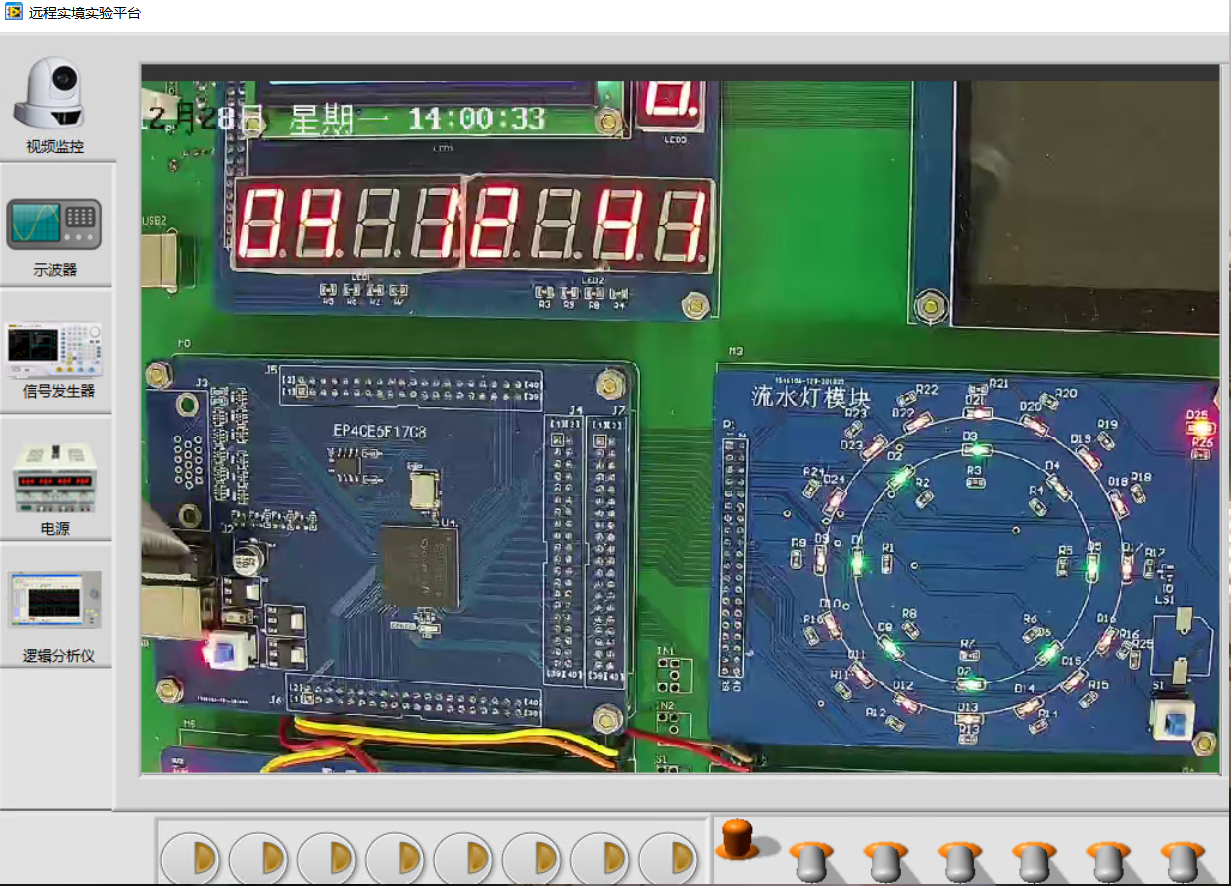
S2接A7按键开关

S3—S8接B2-B7拨码开关



上图展示了清零功能，同时D4灯闪烁





上两图展示了24小时12小时制切换功能，16时切换成了4时显示。

其它如调节时间的功能图片不好展示，这部分我通过视频一起上传了。

1. 优势与不足

优势：在于此数字钟功能较为全面，而且使用比较方便。

不足：在调整秒钟时，从00调至59时，分钟数没有变化，虽然影响不大。还有按键开关太少，导致调整时间的开关只能接到逻辑开关上，实际上接到按键开关更好控制。另外，本来想实现显示方式为11-59-40，但是第三片和第六片的数码管并没有显示‘-’,然后我就取消了这个功能。这是一个不足之处。还有按下S2调节时间时，需要在时间上升沿才能起作用，而且远程有些卡顿，会造成有时按下按键时不会起作用，要自己估算好按下时间。还有我没有设计闹钟功能，只有整点报时功能。