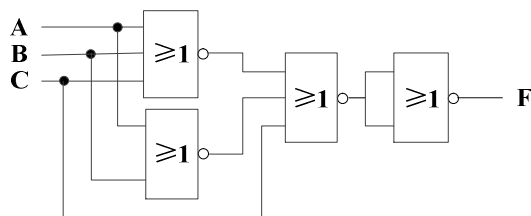


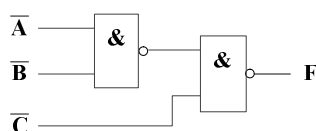
习题 4

4.6 试分析图 X4.3 所示的由或非门构成的组合逻辑电路，并改用最少的与非门实现电路的功能。

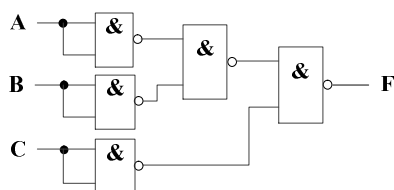


图X4.1 习题 4.6 题图

$$\text{解: } F = \overline{\overline{A+B+C} + \overline{A+B+C}} = \overline{A+B+C} + \overline{A+B+C} = \overline{A} \overline{B} + C = \overline{\overline{A} \overline{B} \cdot \overline{C}}$$



三个反变量，也可以各自通过一个与非门实现：



4.17 试设计一个 BCD 码转换电路，将一位 8421BCD 码转换为 84-2-1 码。

解：

(1) 逻辑抽象与状态编码：

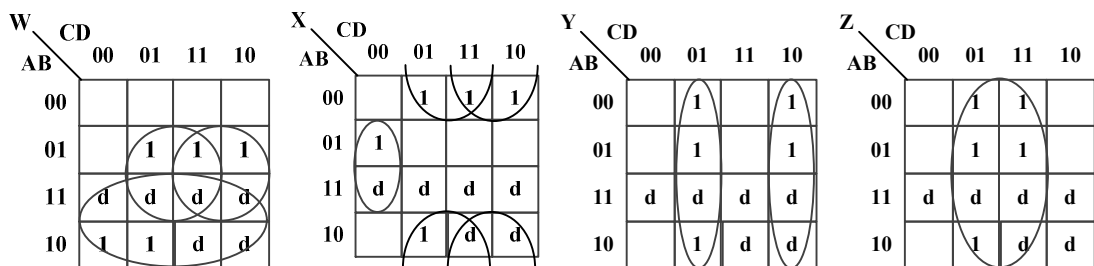
输入变量：4 位的 8421BCD 码，ABCD，A 为高位，D 为低位。

输出变量：4 位的 84-2-1 码，WXYZ，W 为高位，Z 为低位。

(2) 列真值表：对照表 1.2，可以写出真值表。

A	B	C	D	W	X	Y	Z	A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
0	0	0	1	0	1	1	1	1	0	0	1	1	1	1	1
0	0	1	0	0	1	1	0	1	0	1	0	d	d	d	d
0	0	1	1	0	1	0	1	1	0	1	1	d	d	d	d
0	1	0	0	0	1	0	0	1	1	0	0	d	d	d	d
0	1	0	1	1	0	1	1	1	1	0	1	d	d	d	d
0	1	1	0	1	0	1	0	1	1	1	0	d	d	d	d
0	1	1	1	1	0	0	1	1	1	1	1	d	d	d	d

(3) 化简逻辑函数：



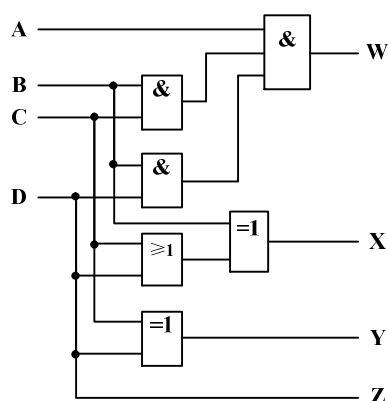
$$W = A + BC + BD$$

$$X = \overline{B}C + \overline{B}D + B\overline{C}\overline{D} = \overline{B}(C + D) + B\overline{C + D} = B \oplus (C + D)$$

$$Y = \overline{C}D + C\overline{D} = C \oplus D$$

$$Z = D$$

(4) 电路实现:



注: 化简的方式不同, 电路也不同, 答案不唯一。

4.18 用与非门设计一个素数检测器, 输入 4 位二进制编码, 当对应的数字为素数时, 输出为 1, 否则输出为 0。

解:

(1) 逻辑抽象与状态编码:

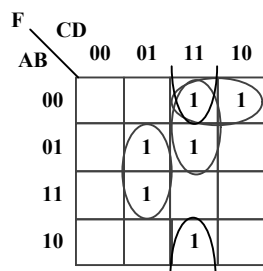
输入变量: 4 位的二进制编码, ABCD, A 为高位, D 为低位。

输出变量: F, F=1 表示输入数字为素数, F=0 表示输入数字不是素数。

(2) 列真值表: 0~15 之间的素数有 2、3、5、7、11、13。

A	B	C	D	F	A	B	C	D	F
0	0	0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0	1	0
0	0	1	0	1	1	0	1	0	0
0	0	1	1	1	1	0	1	1	1
0	1	0	0	0	1	1	0	0	0
0	1	0	1	1	1	1	0	1	1
0	1	1	0	0	1	1	1	0	0
0	1	1	1	1	1	1	1	1	0

(3) 化简逻辑函数为最简与或式: (不唯一)



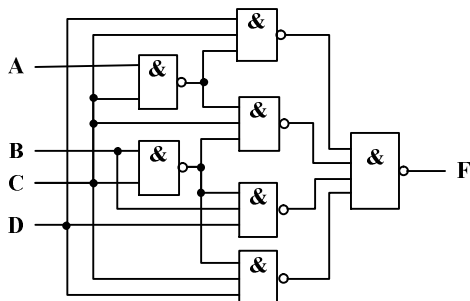
$$F = \overline{A} \overline{B} C + \overline{A} \overline{B} D + \overline{B} C D + B \overline{C} D$$

(4) 转换成与非式: (不唯一)

$$F = \overline{\overline{\overline{A} \overline{B} C} + \overline{\overline{\overline{A} \overline{B} D} + \overline{\overline{\overline{B} C D} + \overline{\overline{B \overline{C} D}}}} = \overline{\overline{A} \overline{B} C \cdot \overline{\overline{A} \overline{B} D} \cdot \overline{\overline{B} C D} \cdot \overline{\overline{B \overline{C} D}}}$$

$$= \overline{\overline{A} \overline{B} C \cdot \overline{A} \overline{C} D \cdot \overline{B} C C D \cdot \overline{B} \overline{B} C D}$$

(5) 电路实现: (不唯一)



4.19 试用或非门设计一个 8421BCD 码检测电路, 当输入的数字 $3 \leq X \leq 7$ 时, 输出为 1, 否则输出为 0。

解:

(1) 逻辑抽象与状态编码:

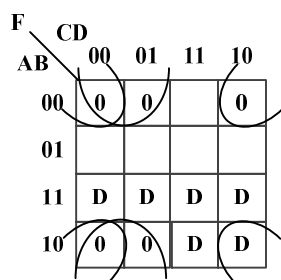
输入变量: 4 位的 8421BCD 码, ABCD, A 为高位, D 为低位。

输出变量: F, F=1 表示输入的 8421BCD 码在 3 到 7 之间, F=0 表示输入的数字大于 7 或者小于 3。

(2) 列真值表:

A	B	C	D	F	A	B	C	D	F
0	0	0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	d
0	0	1	1	1	1	0	1	1	d
0	1	0	0	1	1	1	0	0	d
0	1	0	1	1	1	1	0	1	d
0	1	1	0	1	1	1	1	0	d
0	1	1	1	1	1	1	1	1	d

(3) 化简逻辑函数为最简或与式:

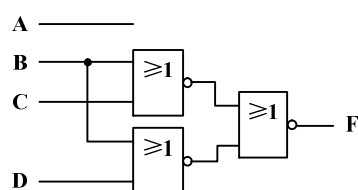


$$F = (B + C)(B + D)$$

(4) 转换成或非式:

$$F = (B + C)(B + D) = \overline{\overline{(B + C)(B + D)}} = \overline{\overline{(B + C)} + \overline{(B + D)}}$$

(5) 电路实现:



4.24 判断图 X4.6 所示的电路是否存在竞争和冒险现象。如果存在险象, 请写出发生险象的条件; 判断险象的类型, 并画出无险象产生的改进电路图。

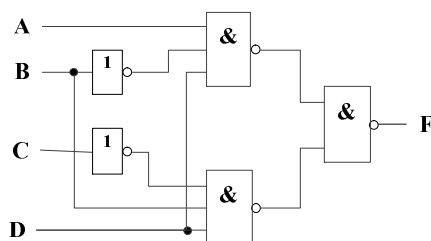


图 X4.6 习题 4.24 题图

解:

(1) 写出表达式: $F = \overline{\overline{A} \overline{B} D} \cdot \overline{\overline{B} \overline{C} D} = A \overline{B} D + B \overline{C} D$

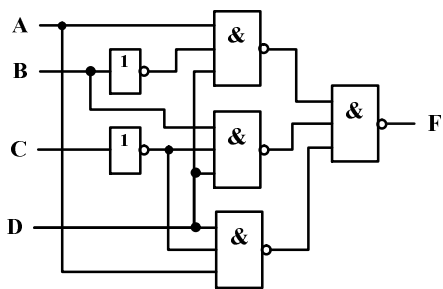
(2) 判断险象及类型:

出现有 \overline{B} 和 B , 则当 $A=D=1, C=0$ 时, $\overline{B} + B = 1$, 故会出现 1 型险象。

(3) 消除险象:

添加冗余项: $F = A \overline{B} D + B \overline{C} D + A \overline{C} D$

(4) 画出电路图:



(也可以使用选通法或者滤波电容，略)

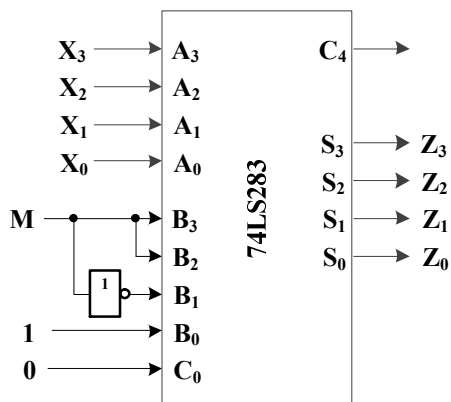
4.33 对于【例 4.20】，假设用 M 来控制转换的方向：M=0，从 8421BCD 码转换为余三码；M=1，从余三码转换为 8421BCD 码。请在图 4.46 的基础上设计新的电路。

解：按照题意：

M=0 时： $Y_3Y_2Y_1Y_0 = A_8A_4A_2A_1 + 0011$

M=1 时： $A_8A_4A_2A_1 = Y_3Y_2Y_1Y_0 + 1101$

所以：输入是一种编码，设为 $X_3X_2X_1X_0$ ；输出是另一种编码，设为 $Z_3Z_2Z_1Z_0$ ，则加数就是 $MM\bar{M}1$ 。则电路图为：



4.48 用输出高电平有效的 3:8 译码器或者 4:16 译码器实现以下函数：

$$(1) F_1(A, B, C) = A\bar{B} + B\bar{C} + \bar{A}C$$

$F_1(A, B, C) = \sum m(1, 2, 3, 4, 5, 6)$ ，用或门实现

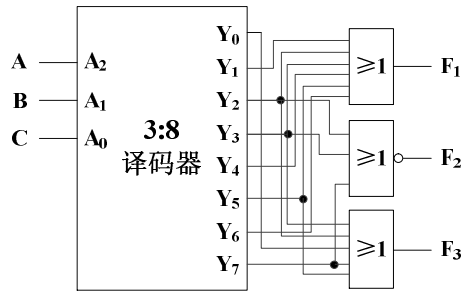
也可以用最大项之积的形式实现，即 $F_1(A, B, C) = \prod M(0, 7)$ ，用或非门实现

$$(2) F_2(A, B, C) = (A + \bar{B})(\bar{B} + \bar{C})$$

$$F_2(A, B, C) = \prod M(2, 3, 7)$$

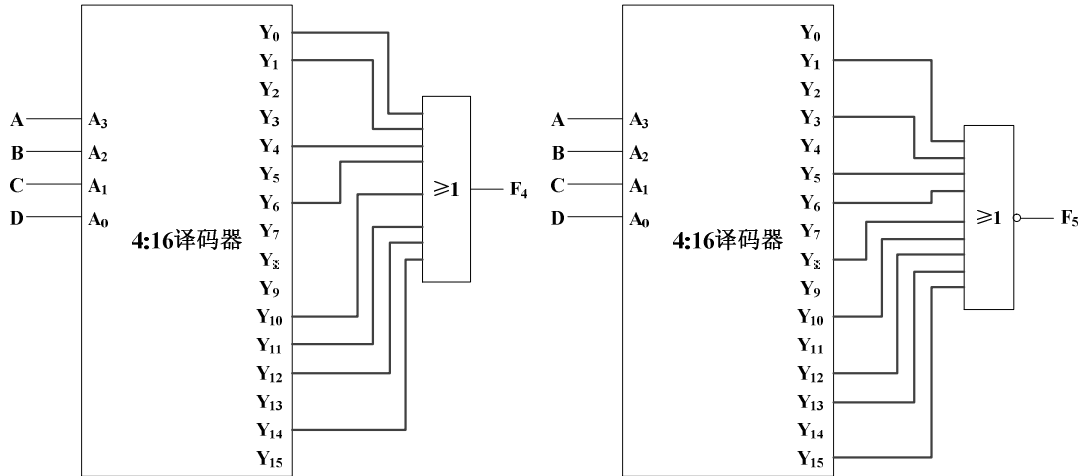
$$(3) F_3(A, B, C) = \sum m(0, 2, 3, 5, 7)$$

以上三个一起用一个输出高电平有效的 3:8 译码器实现：（分开实现也可）



$$(4) \quad F_4(A, B, C, D) = \sum m(0, 1, 4, 6, 10, 11, 12, 14)$$

$$(5) \quad F_5(A, B, C, D) = \prod M(1, 3, 5, 6, 8, 10, 12, 13, 15)$$

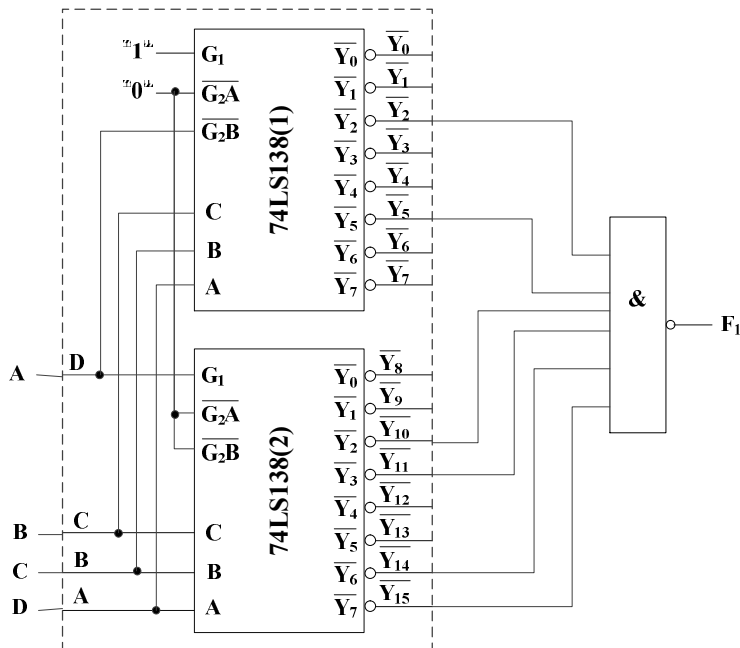


4.49 试用 74LS138 和逻辑门实现下列逻辑函数。

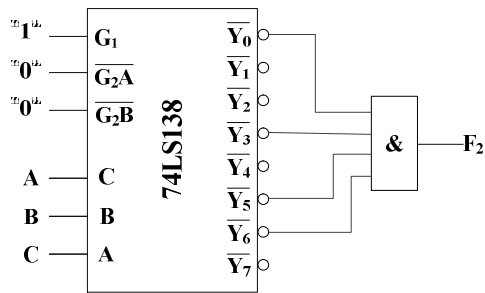
$$(1) \quad F_1(A, B, C, D) = AC + \bar{B}\bar{C}\bar{D} + \bar{A}B\bar{C}D$$

$$F_1(A, B, C, D) = \sum m(2, 5, 10, 11, 14, 15)$$

先两片级联，再通过与非门实现。（扩展的方式不唯一）

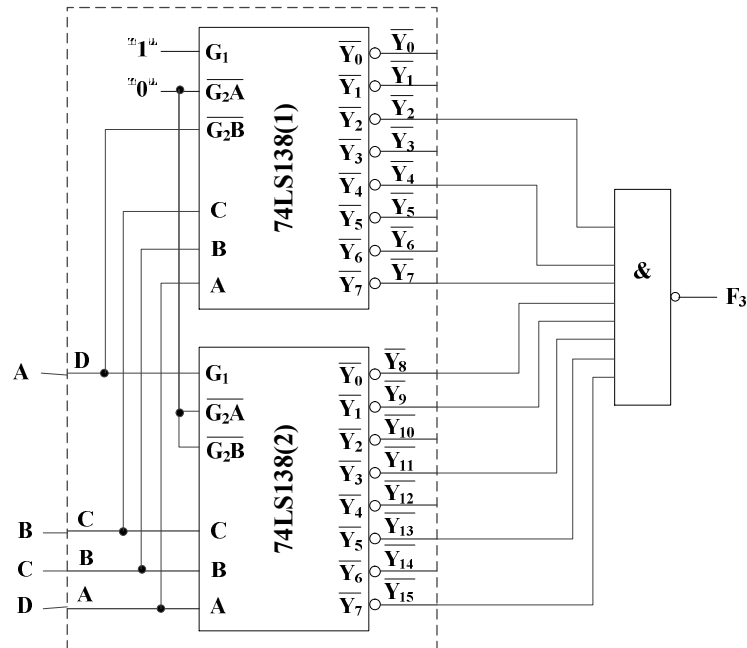


$$(2) \quad F_2(A, B, C) = \prod M(0, 3, 5, 6)$$



(3) $F_3(A, B, C, D) = \sum m(2, 4, 7, 8, 9, 11, 13, 15)$

先两片级联，再通过与非门实现。(扩展的方式不唯一)



4.54 试用一片 4 选 1 数据选择器和适当的逻辑门设计一个 4 位二进制数的偶校验位产生电路（输出要使得 4 位输入和 1 位输出的 5 位编码中，“1”的个数为偶数）。

解：

(1) 逻辑抽象与状态编码：

输入变量：4 位二进制数为 ABCD，A 为高位，D 为低位。

输出变量：F，ABCD 中有奇数个 1 时，F=1；ABCD 中有偶数个 1 时，F=0。

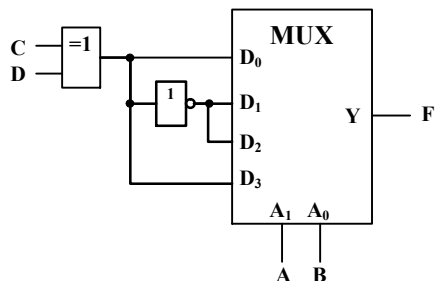
(2) 列真值表：

A	B	C	D	F	A	B	C	D	F
0	0	0	0	0	1	0	0	0	1
0	0	0	1	1	1	0	0	1	0
0	0	1	0	1	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	1	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0

(3) 将 A 和 B 当做 4 选 1 数据选择器的地址选择端 A_1 和 A_0 ，输入 D_i 就是 C 和 D 的函数。写出 D_i 的表达式：

$$D_0 = C \oplus D \quad D_1 = C \odot D \quad D_2 = C \odot D \quad D_3 = C \oplus D$$

(4) 用 4 选 1 数据选择器实现 F。



4.55 用一片 4 线-16 线译码器和适当的逻辑门实现余 3 码到 8421BCD 码的转换。

解：

(1) 逻辑抽象与状态编码：

输入变量：余三码为 $Y_3 Y_2 Y_1 Y_0$

输出变量：8421BCD 码为 $A_8 A_4 A_2 A_1$

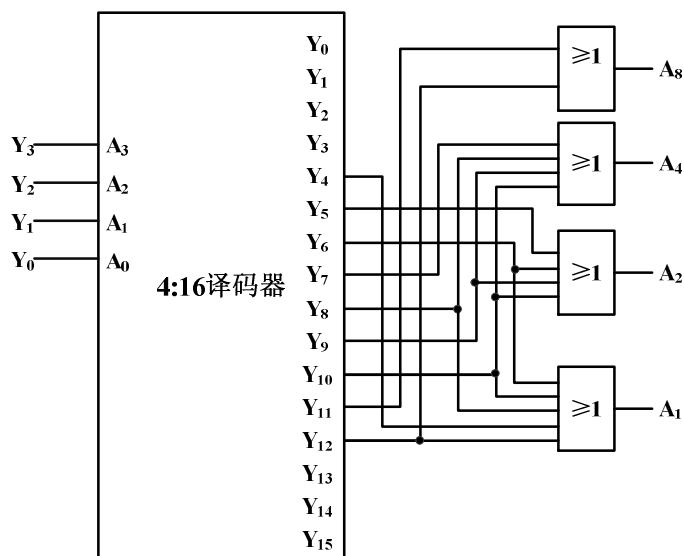
余 3 码				8421BCD 码			
Y_3	Y_2	Y_1	Y_0	A_8	A_4	A_2	A_1
0	0	0	0	d	d	d	d
0	0	0	1	d	d	d	d
0	0	1	0	d	d	d	d
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	1	0	0
1	0	0	0	0	1	0	1
1	0	0	1	0	1	1	0
1	0	1	0	0	1	1	1
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	1
1	1	0	1	d	d	d	d
1	1	1	0	d	d	d	d
1	1	1	1	d	d	d	d

(2) 若使用的 4 线-16 线译码器是高电平输出的，则写出最小项表达式：

$$A_8 = \sum m(11,12) \quad A_4 = \sum m(7,8,9,10)$$

$$A_2 = \sum m(5,6,9,10) \quad A_1 = \sum m(4,6,8,10,12)$$

(3) 4 线-16 线译码器的输出经过 4 个或门实现各函数。



(假设使用的 4 线-16 线译码器是低电平输出的, 则用或非门实现; 答案不唯一)

4.56 试分析图 X4.7 所示的电路的功能。

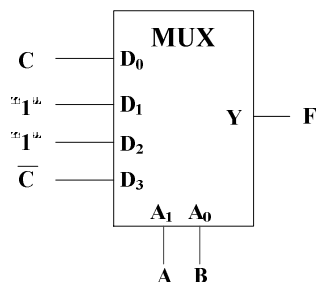


图 X4.7 习题 4.56 题图

解: 写出 F 的逻辑表达式:

$$F = \overline{A}\overline{B}C + \overline{A}B \cdot 1 + A\overline{B} \cdot 1 + AB\overline{C} = \sum m(1,2,3,4,5,6) = \overline{\sum m(0,7)} = \overline{ABC + \overline{A}\overline{B}\overline{C}}$$

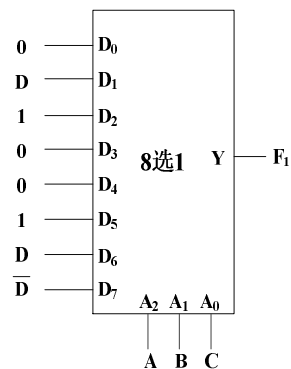
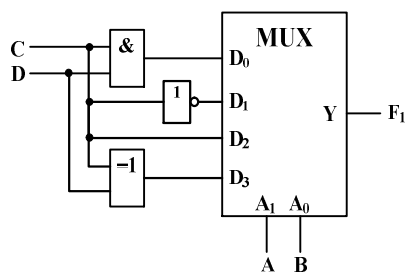
显然, 为三变量输入不一致电路。

4.57 分别用 4 选 1 和 8 选 1 数据选择器实现下列逻辑函数。

$$(1) F_1(A, B, C, D) = \sum m(3, 4, 5, 10, 11, 13, 14)$$

4 选 1:

F ₁	CD	AB				
		00	01	11	10	
	00			1		D ₀ =CD
	01	1	1			D ₁ = \overline{C}
	11		1		1	D ₂ =C⊕D
	10			1	1	D ₃ =C



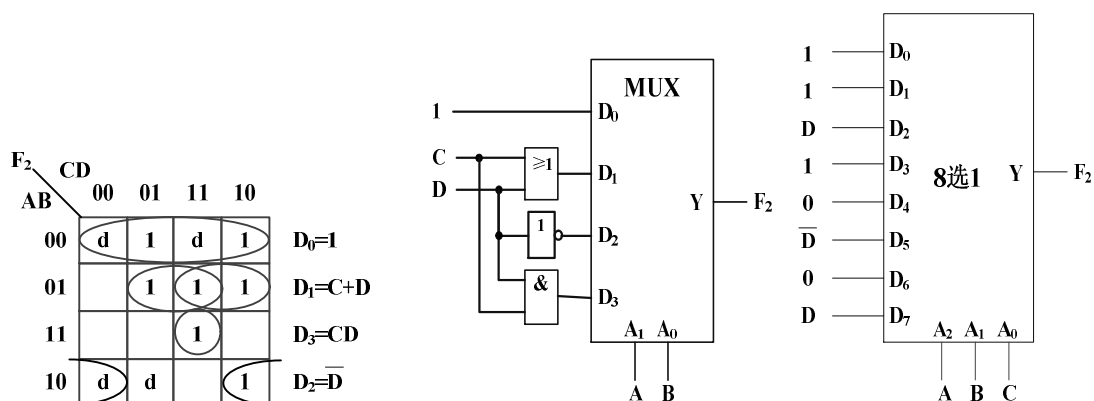
8 选 1: 真值表:

A	B	C	D	F	A	B	C	D	F
0	0	0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	1
0	0	1	1	1	1	0	1	1	1
0	1	0	0	1	1	1	0	0	0
0	1	0	1	1	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	0	1	1	1	1	0

$$D_0 = 0 \quad D_1 = D \quad D_2 = 1 \quad D_3 = 0 \quad D_4 = 0 \quad D_5 = 1 \quad D_6 = D \quad D_7 = \bar{D}$$

$$(2) \quad F_2(A, B, C, D) = \sum m(1, 2, 5, 6, 7, 10, 15) + \sum d(0, 3, 8, 9)$$

4 选 1:



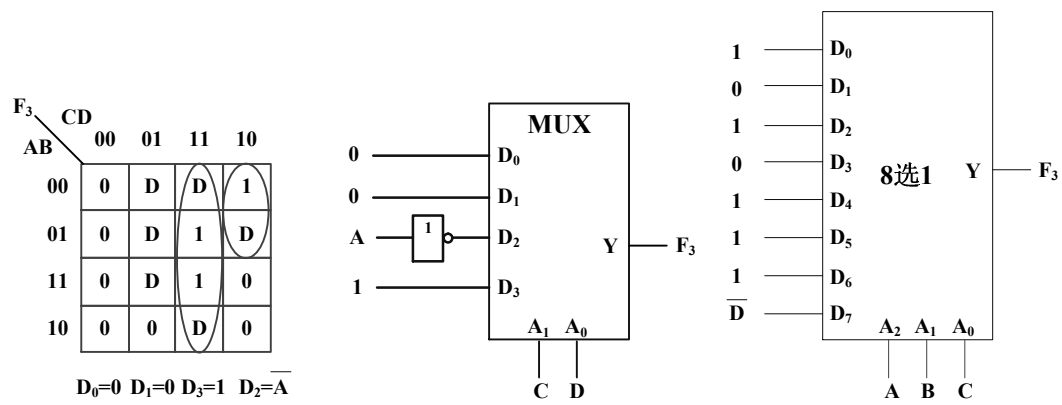
8 选 1: 真值表

A	B	C	D	F	A	B	C	D	F
0	0	0	0	d	1	0	0	0	d
0	0	0	1	1	1	0	0	1	d
0	0	1	0	1	1	0	1	0	1
0	0	1	1	d	1	0	1	1	0
0	1	0	0	0	1	1	0	0	0
0	1	0	1	1	1	1	0	1	0
0	1	1	0	1	1	1	1	0	0
0	1	1	1	1	1	1	1	1	1

$$D_0 = 1 \quad D_1 = 1 \quad D_2 = D \quad D_3 = 1 \quad D_4 = 0 \quad D_5 = \bar{D} \quad D_6 = 0 \quad D_7 = D$$

$$(3) \quad F_3(A, B, C, D) = \prod M(0, 4, 8, 9, 10, 12, 14) + \prod D(1, 3, 5, 6, 11, 13)$$

4 选 1:



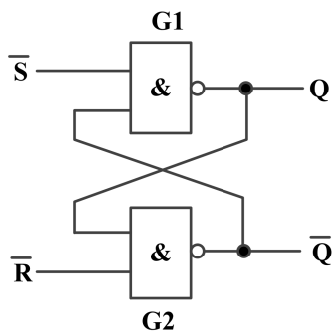
8 选 1: 真值表

A	B	C	D	F	A	B	C	D	F
0	0	0	0	1	1	0	0	0	1
0	0	0	1	d	1	0	0	1	1
0	0	1	0	0	1	0	1	0	1
0	0	1	1	d	1	0	1	1	d
0	1	0	0	1	1	1	0	0	1
0	1	0	1	d	1	1	0	1	d
0	1	1	0	d	1	1	1	0	1
0	1	1	1	0	1	1	1	1	0

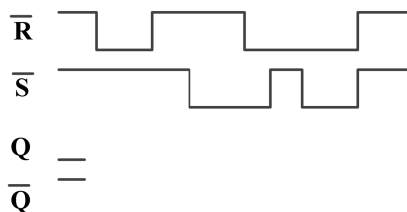
$$D_0 = 1 \quad D_1 = 0 \quad D_2 = 1 \quad D_3 = 0 \quad D_4 = 1 \quad D_5 = 1 \quad D_6 = 1 \quad D_7 = \overline{D}$$

习题 5

2. 基本 \overline{R} - \overline{S} 锁存器如图 5.44 (a) 所示, 请根据图 5.44 (b) 所示的输入波形画出 Q 和 \overline{Q} 端的波形, 假设触发器起始状态为 “0”。

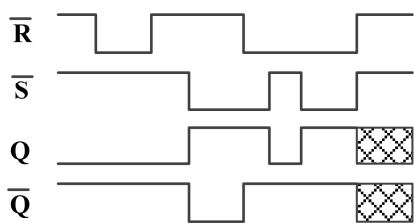


(a) 基本 \overline{R} - \overline{S} 锁存器电路

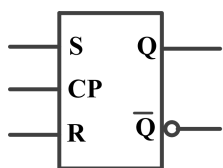


(b) 波形图

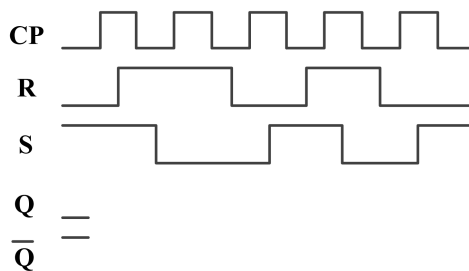
图5.1 习题 5.2 题



3. 请根据图 5.45 所示的 CP 、 R 和 S 输入波形, 画出钟控 R - S 锁存器 Q 和 \overline{Q} 端的波形, 假设触发器起始状态为 “0”。

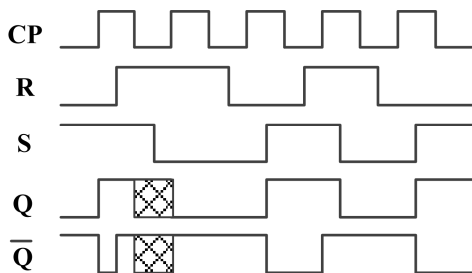


(a) 钟控 R - S 锁存器

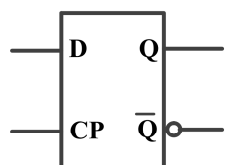


(b) 波形图

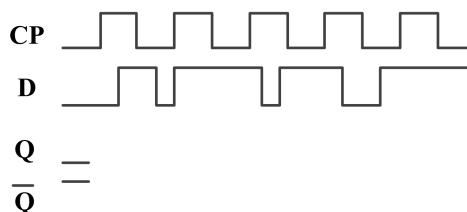
图5.2 习题 5.3 题



4. 请根据图 5.46 所示的 CP 和 D 输入波形，画出钟控 D 锁存器 Q 和 \bar{Q} 端的波形，假设触发器起始状态为 “0”。

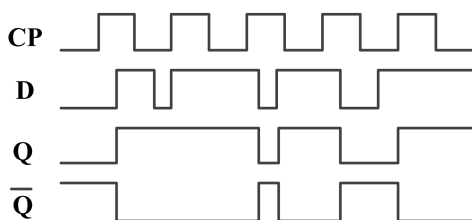


(a) 钟控 D 锁存器

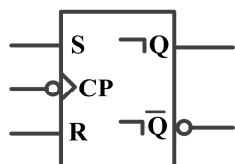


(b) 波形图

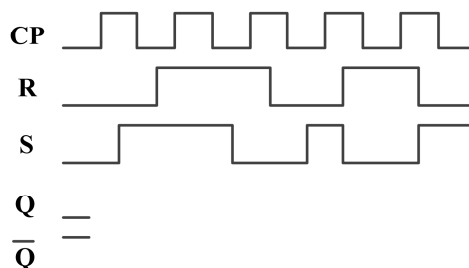
图5.3 习题 5.4 题



5. 请根据图 5.47 所示的 CP、R 和 S 输入波形，画出主从式 R-S 触发器 Q 和 \bar{Q} 端的波形，假设触发器起始状态为 “0”。

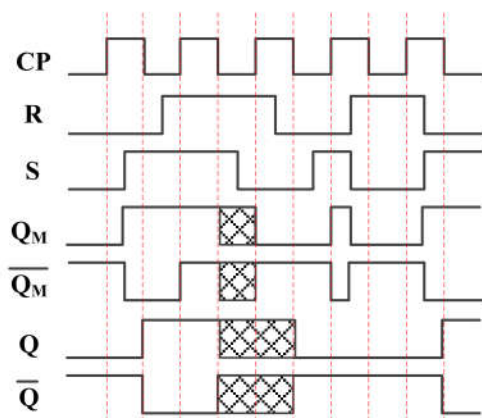


(a) 主从 R-S 触发器

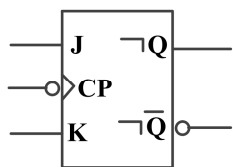


(b) 波形图

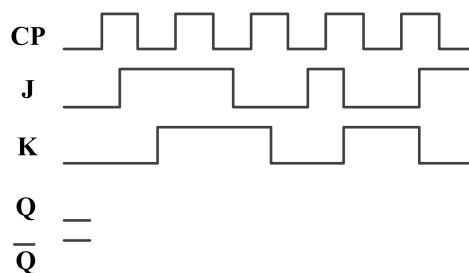
图5.4 习题 5.5 题



6. 请根据图 5.48 所示的 CP、J 和 K 的输入波形，画出主从式 J-K 触发器 Q 和 \bar{Q} 端的波形，假设触发器起始状态为 “0”。

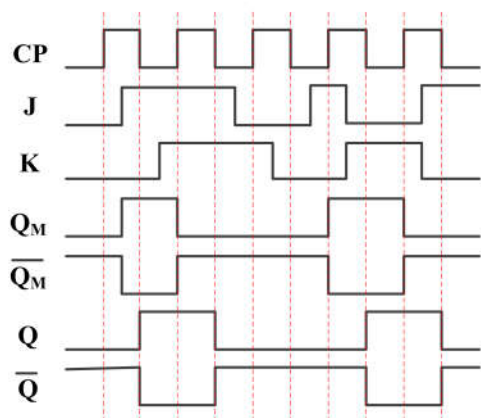


(a) 主从 J-K 触发器



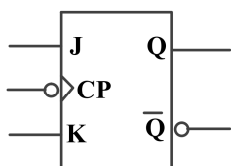
(b) 波形图

图5.5 习题 5.6 题

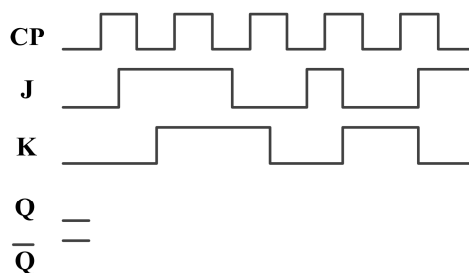


7. 图 5.49 (a) 所示为边沿 J-K 触发器，请：

- (1) 画出针对图 5.49 (b) 所示的 CP、J 和 K 输入波形下，Q 和 \bar{Q} 端的波形，假设触发器起始状态为 “0”。
- (2) 将波形与第 6 题（图 5.48）进行对比，总结主从式 J-K 触发器和边沿 J-K 触发器的不同。

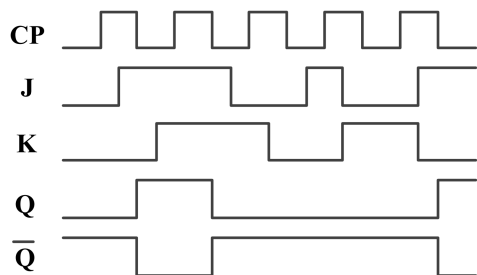


(a) 触发器



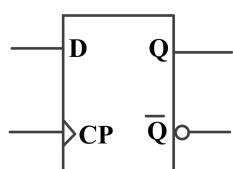
(b) 波形图

图5.6 习题 5.7 题

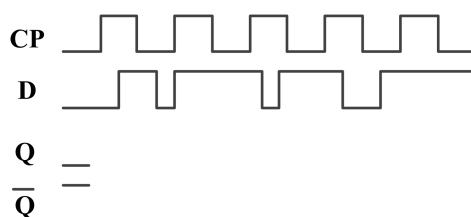


8. 图 5.50 (a) 所示为边沿 D 触发器，请：

- (1) 画出针对图 5.50 (b) 所示的 CP、D 输入波形下，Q 和 \bar{Q} 端的波形，假设触发器起始状态为“0”。
- (2) 将波形与第 4 题（图 5.46）进行对比，总结 D 锁存器和边沿 D 触发器的不同。

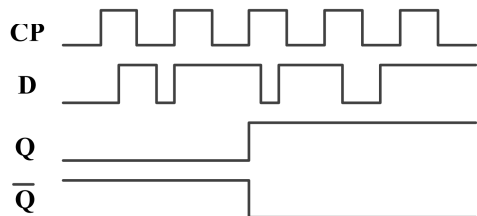


(a) 触发器

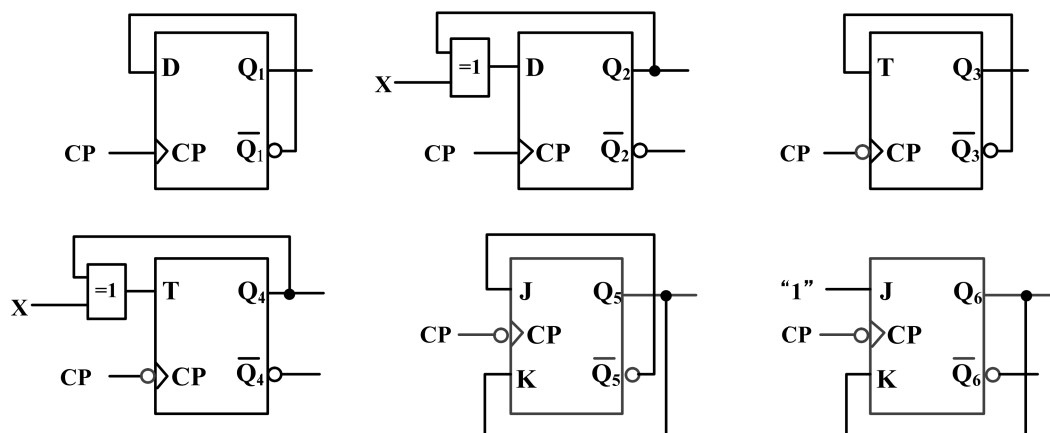


(b) 波形图

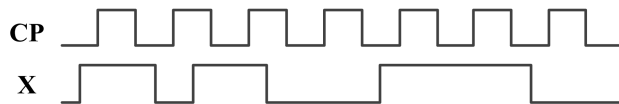
图5.7 习题 5.8 题



9. 在图 5.51 (b) 上，画出图 5.51 (a) 中各触发器的输出 Q 的波形，假设触发器起始状态为“0”。

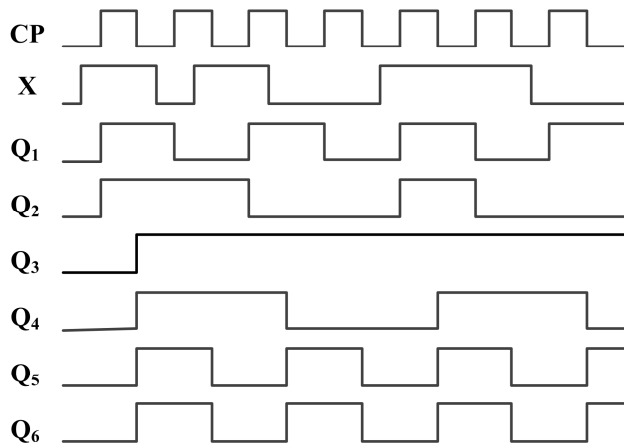


(a) 触发器



(b) 波形图

图5.8 习题 5.9 题



10. 有一个 D 锁存器和边沿 D 触发器，其波形如图 5.52 所示：

- (1) D 锁存器的波形是 Q_1 还是 Q_2 ？为什么？它是高电平有效还是低电平有效？
- (2) 边沿 D 触发器的波形是 Q_1 还是 Q_2 ？为什么？它是正边沿触发还是负边沿触发？

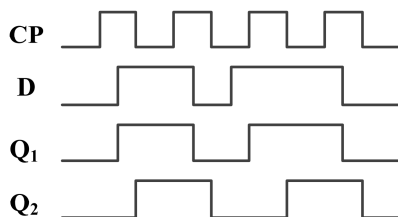
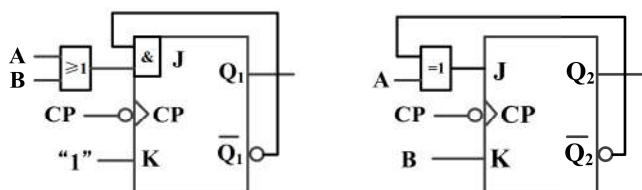


图5.9 习题 5.10 题

- (1) D 锁存器的波形是 Q_1 ，因为在 $CP=1$ 期间， Q_1 随着 D 的变化而变化；CP 是高电平有效。
- (2) 边沿 D 触发器的波形是 Q_2 ，因为 Q_2 只在 CP 跳变的边沿发生改变，它是负边沿触发。

11. 对应图 5.53 (a) 所示的 J-K 触发器电路，请：

- (1) 写出 Q_1 和 Q_2 的次态方程；
- (2) 对应图 5.53 (b) 所示的 A 和 B 输入波形，画出 Q_1 和 Q_2 的波形。假设触发器的初态为“0”。



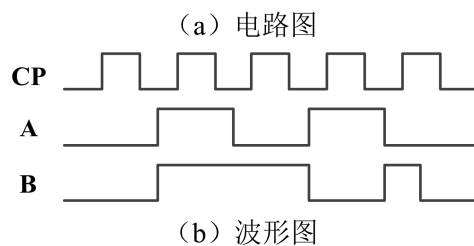


图5.10 习题 5.11 题

(1) 次态方程

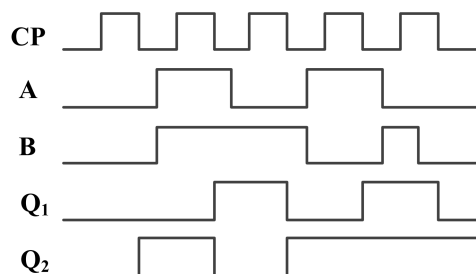
$$J_1 = (A + B)\overline{Q_1^n} \quad K_1 = 1$$

$$Q_1^{n+1} = J_1\overline{Q_1^n} + \overline{K_1}Q_1^n = (A + B)\overline{Q_1^n} \cdot \overline{Q_1^n} + 0 \cdot Q_1^n = (A + B)\overline{Q_1^n}$$

$$J_2 = (A \oplus Q_2^n) \quad K_2 = B$$

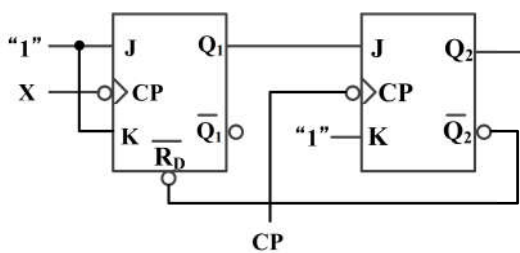
$$Q_2^{n+1} = J_2\overline{Q_2^n} + \overline{K_2}Q_2^n = (A \oplus Q_2^n)\overline{Q_2^n} + \overline{B}Q_2^n = (AQ_2^n + \overline{A}\overline{Q_2^n})\overline{Q_2^n} + \overline{B}Q_2^n = \overline{A}\overline{Q_2^n} + \overline{B}Q_2^n$$

(2) 波形

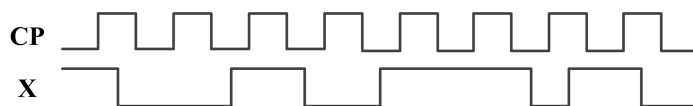


12. 图 5.54 (a) 为两个 J-K 触发器构成的电路，图 5.54 (b) 所示为输入信号 CP 和 X 的波形，请：

- (1) 画出 Q_1 和 Q_2 的输出波形。假设触发器的初态均为“0”。
- (2) 观察 X、 Q_1 和 Q_2 的波形，分析该电路可能具备的功能，以及相关的约束条件。

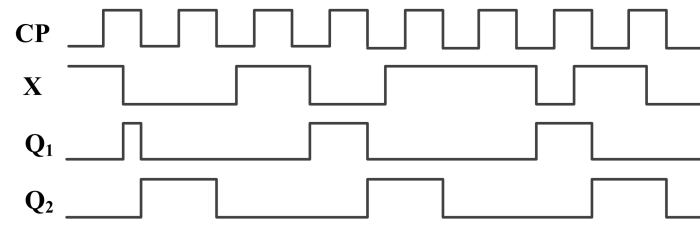


(a) 电路图



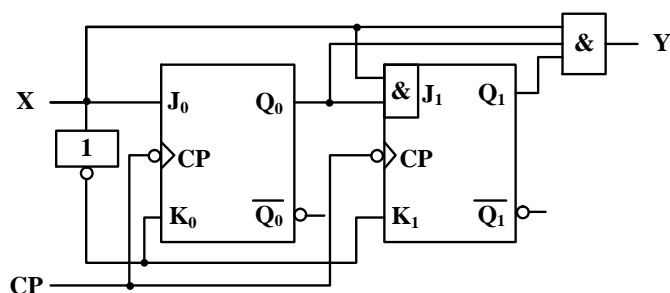
(b) 波形图

图5.11 习题 5.12 题



习题 6

6.7 试分析图 X6.2 所示同步时序逻辑电路的功能：



图X6.1 习题 6.7 电路图

解：

(1) 该电路是 Mealy 型还是 Moore 型同步时序逻辑电路？为什么？

为 Mealy 型同步时序逻辑电路，因为 Y 是 X 的函数。

(2) 写出电路的输出方程、激励方程和状态方程；

输出方程： $Y = X \cdot Q_1^n Q_0^n$

激励方程： $J_0 = X \quad K_0 = \bar{X} \quad J_1 = X \cdot Q_0^n \quad K_1 = \bar{X}$

状态方程：将激励方程代入 J-K 触发器的特性方程，得：

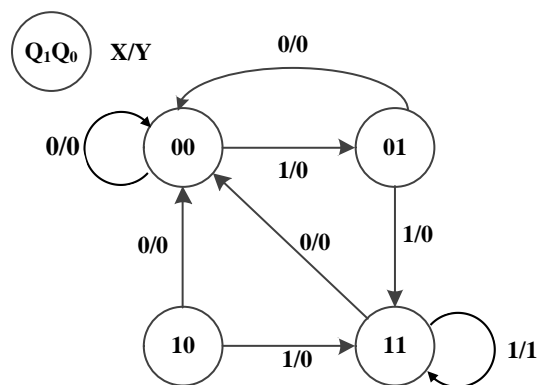
$$Q_0^{n+1} = J_0 \bar{Q}_0^n + \bar{K}_0 Q_0^n = X \bar{Q}_0^n + X Q_0^n = X$$

$$Q_1^{n+1} = J_1 \bar{Q}_1^n + \bar{K}_1 Q_1^n = X Q_0^n \bar{Q}_1^n + \bar{X} Q_1^n = X(Q_0^n + Q_1^n)$$

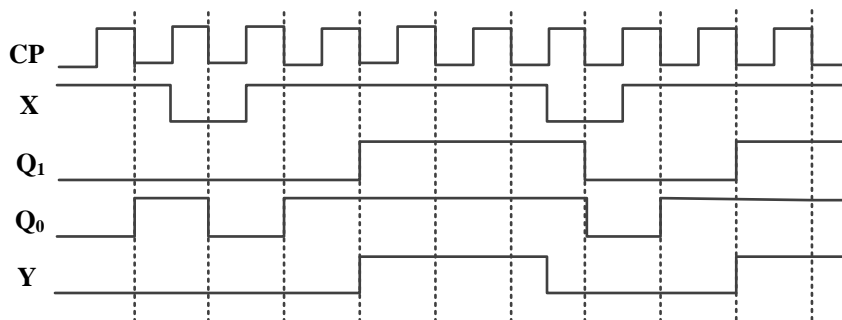
(3) 写出电路的状态转换真值表；

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	1	1	0
1	1	0	1	1	0
1	1	1	1	1	1

(4) 画出电路的状态转移图。



(5) 画出电路在初态 $Q_1Q_0=00$ 下，输入序列 $X=1011110111$ 下，输出 Y 的波形图。



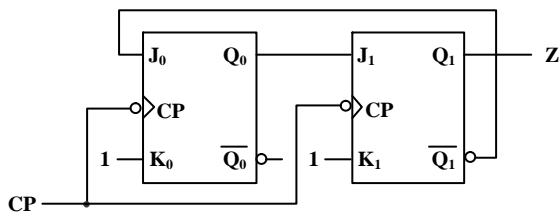
(6) 分析并说明电路的逻辑功能。

这是一个“111”序列检测器，当输入端 X 连续 3 个 CP 脉冲都输入了“1”，则输出 Y 就为 1，否则输出 Y 为 0。而且，“111”序列可重叠，即后面的“11”可重复使用。

6.8 对比习题 6.7 与【例 6.12】的电路功能，分析状态转移图，你能得到什么信息？

解：都是可重叠“111”序列检测器，但是习题 6.7 中，有效状态是 3 个，10 是无效状态；而【例 6.12】中，有效状态是 4 个。所以实现一个同样功能的电路，电路形式可以有很多种。

6.9 分析图 X6.3 所示的时序逻辑电路的逻辑功能，写出方程组，列出状态转换真值表，画出状态转移图及时序图 (Q_1Q_0 初态为 00)，说明其功能，判断电路能否自启动。



图X6.2 习题 6.9 电路图

解：(1) 方程组

输出方程: $Z = Q_1^n$

激励方程: $J_0 = \overline{Q_1^n} \quad K_0 = 1 \quad J_1 = Q_0^n \quad K_1 = 1$

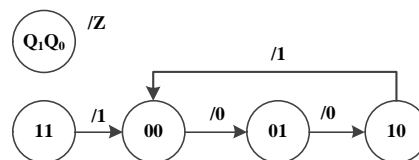
状态方程: $Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_1^n} \overline{Q_0^n} \quad Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = Q_0^n \overline{Q_1^n}$

(2) 状态转换真值表

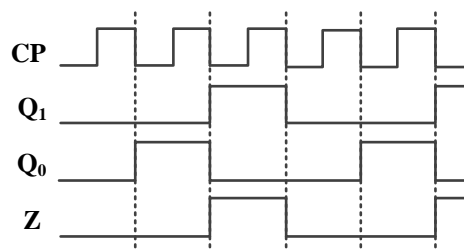
表 X6.9-1 习题 6.9 状态转换真值表

Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	0	1

(3) 状态转移图



(4) 时序图



(5) 逻辑功能: 是一个 3 进制的计数器, 计数状态循环为: 00→01→10→00, 能自启动。

6.19 一个“1101”序列检测器, 其典型输入、输出序列如下:

输入 X: 01**1101101**1001011000**110101101**0101

输出 Z: 00000100100000000000001000010000

(1) 这是可重叠“1101”序列检测器, 还是不可重叠“1101”序列检测器?

可叠加 1101”序列检测器

(2) 请进行状态定义, 并作出其状态转移图。

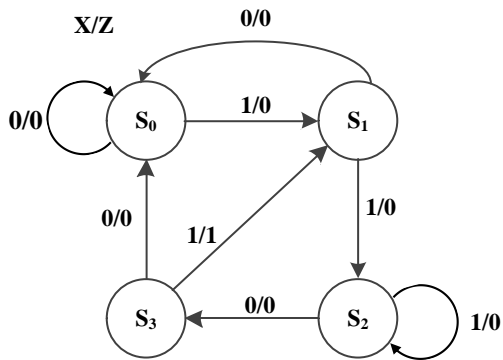
状态 S_0 : 起始状态, 没有收到有效的 1

状态 S_1 : 收到第一个有效 1 时, 电路所处的状态

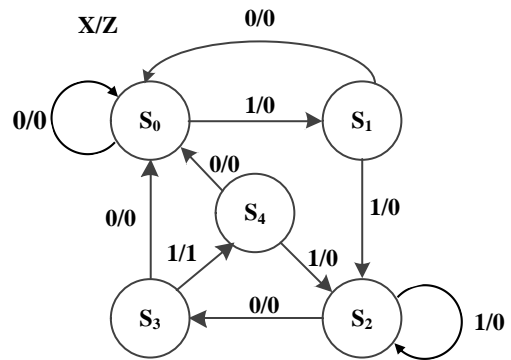
状态 S_2 : 收到连续 2 个有效 1 时, 电路所处的状态

状态 S_3 : 收到 110 时, 电路所处的状态

(状态 S_4 : 收到 1101 时, 电路所处的状态)



(a)



(b)

(3) 依据状态图列出其原始状态表。

(a)

现态	次态/输出	
	X=0	X=1
S_0	$S_0/0$	$S_1/0$
S_1	$S_0/0$	$S_2/0$
S_2	$S_3/0$	$S_2/0$
S_3	$S_0/0$	$S_1/1$

(b)

现态	次态/输出	
	X=0	X=1
S_0	$S_0/0$	$S_1/0$
S_1	$S_0/0$	$S_2/0$
S_2	$S_3/0$	$S_2/0$
S_3	$S_0/0$	$S_4/1$
S_4	$S_0/0$	$S_2/0$

6.28 用适当的方法化简 6.19 题的原始状态表, 写出最小化状态表, 并对其进行状态编码, 列出状态转换真值表。

(1) 状态化简

S_1	S_1/S_2			
S_2	S_0/S_3	S_0/S_3		
S_3	×	×	×	
S_4	S_1/S_2	✓	S_0/S_3	×
	S_0	S_1	S_2	S_3

最小化状态表

现态	次态/输出	
	X=0	X=1
A	A/0	B/0
B	A/0	C/0
C	D/0	C/0
D	A/0	B/1

最大等效类集合: $\{(S_0), (S_1, S_4), (S_2), (S_3)\}$

用 $\{A, B, C, D\}$ 来代替

(2) 状态分配:

原则 1: 相同输入时, 次态相同

A 和 B 和 D、B 和 C 应分配相邻编码

原则 2: 对于某一现态, 输入相邻时的次态

A 和 B、A 和 C、C 和 D 应分配相邻编码

原则 3: 输入输出都相同的现态

A 和 B 和 C 应分配相邻编码

原则 4: 初始状态 A 分配 0 代码

A=00

所以: A=00, B=01, C=11, D=10.

(3) 状态编码表

现态 $Q_2^n Q_1^n$	次态 $Q_2^{n+1} Q_1^{n+1}$ / 输出 Y	
	X=0	X=1
00	00/0	01/0
01	00/0	11/0
11	10/0	11/0
10	00/0	01/1

(4) 状态转换真值表

X	Q_2^n	Q_1^n	Q_2^{n+1}	Q_1^{n+1}	Y
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	1	0	0
1	0	0	0	1	0
1	0	1	1	1	0
1	1	0	0	1	1
1	1	1	1	1	0

6.42 使用 J-K 触发器继续完成题 6.19、题 6.28 的同步时序逻辑设计, 写出方程组, 检查自启动功能, 画出电路图。

(1) 求出状态方程、激励方程、输出方程

JK 触发器: $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

$Q_2^{n+1} \backslash Q_2^n Q_1^n$					
		00	01	11	10
X	0	0	0	1	0
	1	0	1	1	0

状态方程: $Q_2^{n+1} = XQ_1^n \overline{Q_2^n} + Q_1^n Q_2^n$

激励方程: $J_2 = XQ_1^n \quad K_1 = \overline{Q_1^n}$

$Q_1^{n+1} \backslash Q_2^n Q_1^n$					
		00	01	11	10
X	0	0	0	0	0
	1	1	1	1	1

状态方程: $Q_1^{n+1} = X\overline{Q_1^n} + XQ_1^n$

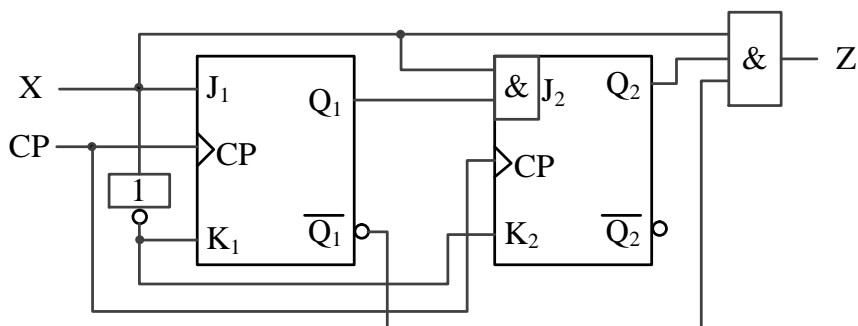
激励方程: $J_1 = X \quad K_1 = \overline{X}$

$Y \backslash Q_2^n Q_1^n$					
		00	01	11	10
X	0	0	0	0	0
	1	0	0	0	1

输出方程: $Y = XQ_2^n \overline{Q_1^n}$

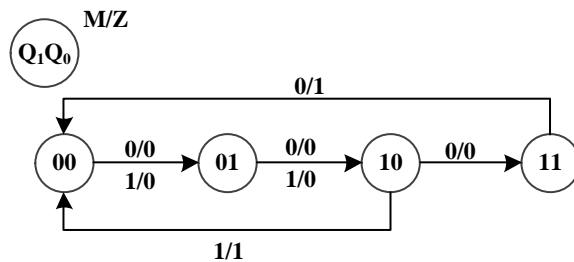
(2) 无无效状态, 能自启动

(3) 电路图:



6.49 使用触发器及逻辑门设计一个变模加法计数器: $M=1$, 为 3 进制计数器, 计数值到 10 时, $Z=1$; $M=0$ 时, 为 4 进制计数器, 计数值到 11 时, $Z=1$ 。

(1) 画出状态图:



(2) 写出状态转换真值表

M	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	0	0	1
1	1	1	d	d	d

(3) 选择 J-K 触发器，求出触发器的激励方程和输出方程：

Q_1^{n+1}

$M \backslash Q_1^n Q_0^n$	00	01	11	10
0		1		1
1		1	d	

Q_0^{n+1}

$M \backslash Q_1^n Q_0^n$	00	01	11	10
0	1			1
1	1		d	

Z

$M \backslash Q_1^n Q_0^n$	00	01	11	10
0			1	
1			d	1

状态方程 1: $Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{M} \overline{Q_0^n} Q_1^n$

激励方程 1: $J_1 = Q_0^n \quad K_1 = M + Q_0^n$

状态方程 2: $Q_0^{n+1} = \overline{Q_1^n} \overline{Q_0^n} + \overline{M} \overline{Q_0^n} = (\overline{Q_1^n} + \overline{M}) \overline{Q_0^n}$

激励方程 2: $J_0 = \overline{Q_1^n} \overline{M} \quad K_0 = 1$

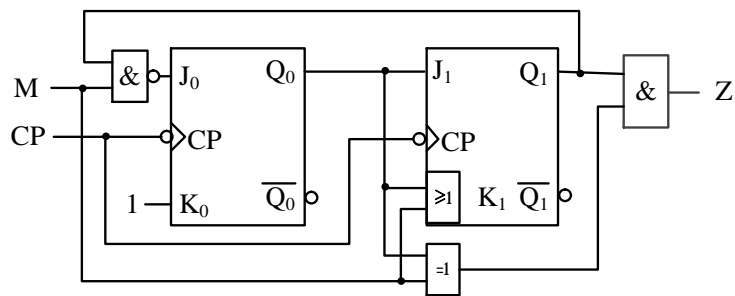
输出方程: $Z = Q_1^n Q_0^n + M Q_1^n = (Q_0^n + M) Q_1^n$

(4) 电路自启动检查：

当 $XQ_1^n Q_0^n = 111$ 时，次态为 00，电路能够自启动； $Z=1$ ，是错误输出。

更正 Z 的输出为: $Z = \overline{M} Q_1^n Q_0^n + M Q_1^n \overline{Q_0^n} = (Q_0^n \oplus M) Q_1^n$

(5) 画出电路图：



本题如果选择使用 D 触发器，则激励方程和输出方程为：

$$D_1 = Q_0^n \overline{Q_1^n} + \overline{M} \overline{Q_0^n} Q_1^n$$

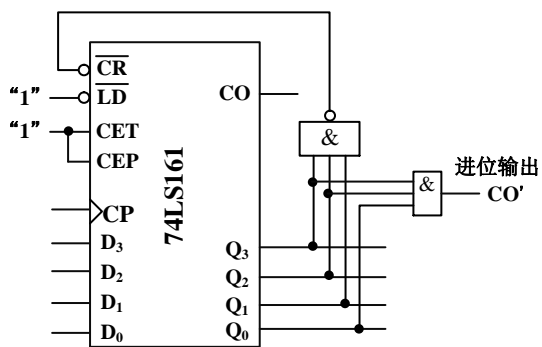
$$D_0 = \overline{Q_1^n} \overline{Q_0^n} + \overline{M} \overline{Q_0^n}$$

$$Z = (Q_0^n \oplus M) Q_1^n$$

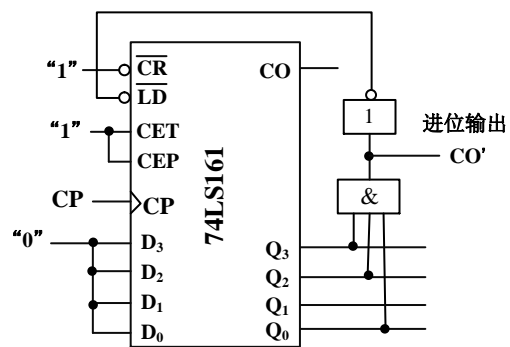
电路图略。

6.63 分别利用下列方法构成 14 进制加法计数器，画出连线图：

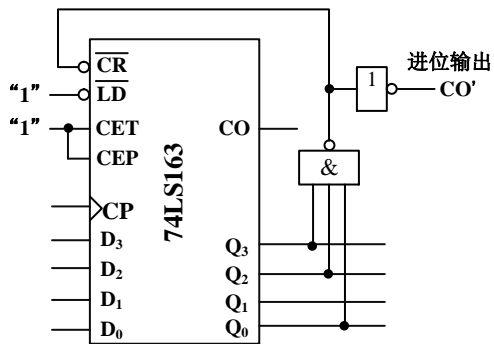
- (1) 利用 74LS161 的异步清零功能。
- (2) 利用 74LS161 的同步置数功能。
- (3) 利用 74LS163 的同步清零功能。
- (4) 利用 74LS191 的异步置数功能。



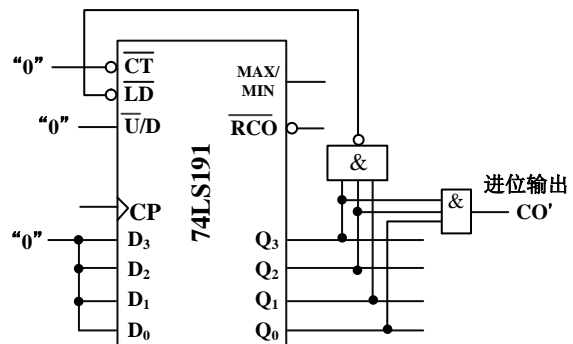
(1)



(2)



(3)



(4)