



DDR控制器测试平台使用说明 (V1.3)

Richard Zhu

richardz@efinixinc.com

功能介绍

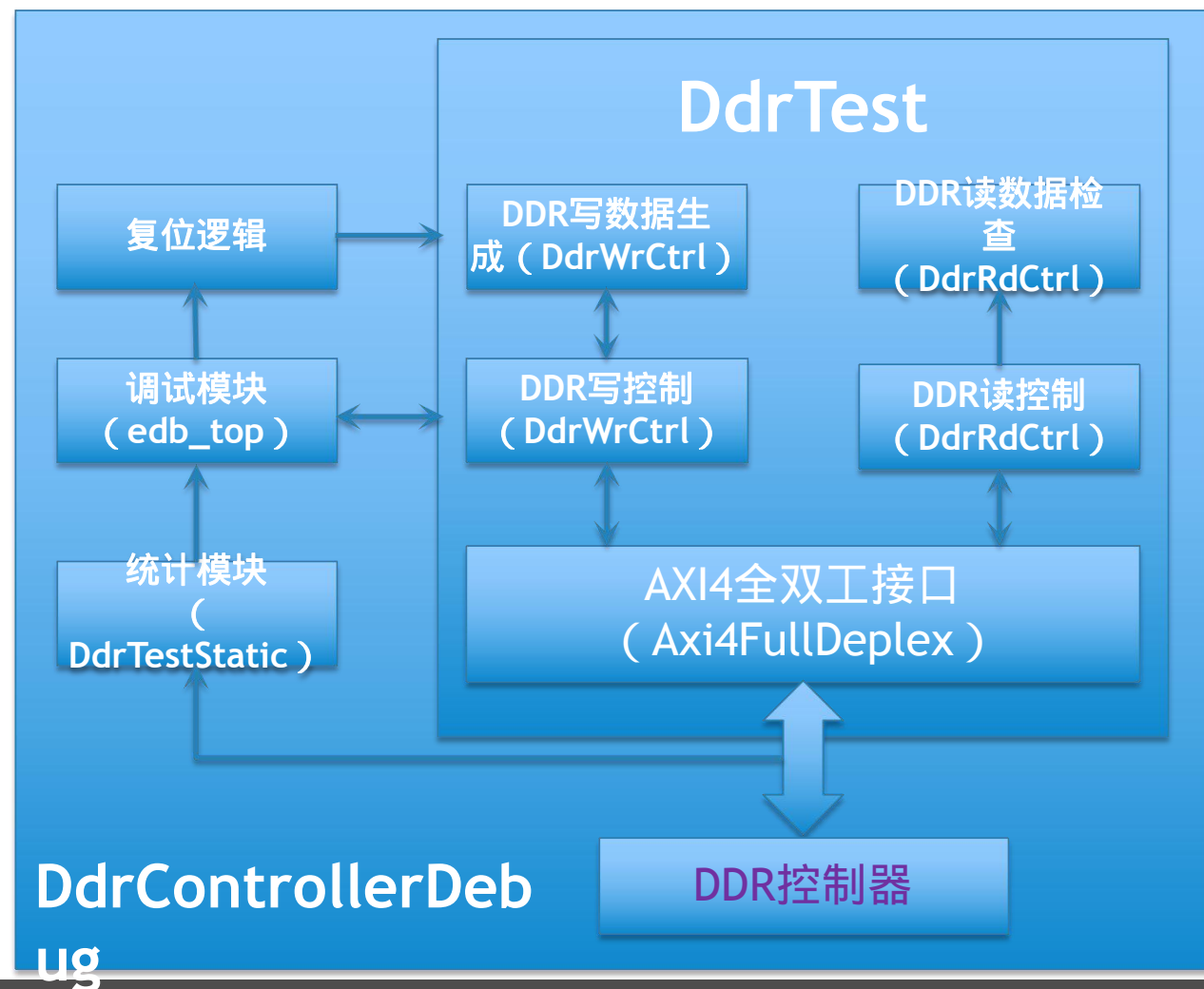
- 可选对DDR控制器的两个接口进行可配置的连续读写测试；
- 数据与地址相关，可配置正向数据、反向数据、正向/反向交替，确保数据检查客观性；
- 可配置DDR控制器的Burst长度和测试的Burst个数，也可以连续测试；
- 可配置测试的DDR控制器的起始地址和结束地址，电路对设置的测试空间循环测试；
- 对从DDR中读出的数据进行误码统计；
- 统计每次测试操作的总周期、有效操作周期、操作效率、带宽和计时；
- 统计读写周期（两次读写间隔），最大值、最小值和平均值；
- 通过指示灯直观指示状态和误码状况；
- 通过Debugger进行测试配置、控制、统计结果和状态显示、波形抓取；

文件列表

- Efinity目录
 - Efinity\DdrControllerDebug.peri.xml InterfaceDesigner设计文件
 - Efinity\DdrControllerDebug.sdc 时钟约束文件
 - Efinity\DdrControllerDebug.xml 工程文件
 - Efinity\debug_profile.json Debugger配置文件
 - Efinity\debug_top.v Debugger顶层代码
 - Efinity\ParamDefine.v 参数配置文件
- Source目录
 - Source\DdrControllerDebug.v DDR控制器调试顶层代码
 - Source\DdrData.v DDR数据生成和检查代码
 - Source\DdrTest.v DDR测试控制代码
 - Source\DdrTestStatic.v DDR测试统计代码
 - Source\ddr_reset_sequencer.v DDR复位流程代码
 - Source\Ram2Axi4.v DDR控制器Axi4控制接口代码
- Readme.txt 版本修改记录
- DDR控制器测试平台使用说明 本文档

模块框图和功能介绍

复位逻辑：产生DDR和内部逻辑的复位；
调试模块：VIO和ILA
统计模块：统计读写次数、误码并计算读写效率和带宽；
DDR写控制：把DDR写命令转换为AXI4的写操作；
DDR读控制：把DDR读命令转换为AXI4的读操作；
DDR写数据生成：按数据生成规则产生DDR的写数据；
DDR读数据检查：按数据生成规则检查DDR的读数据；
AXI4全双工接口：把DDR的半双工AXI4接口转换为全双工接口

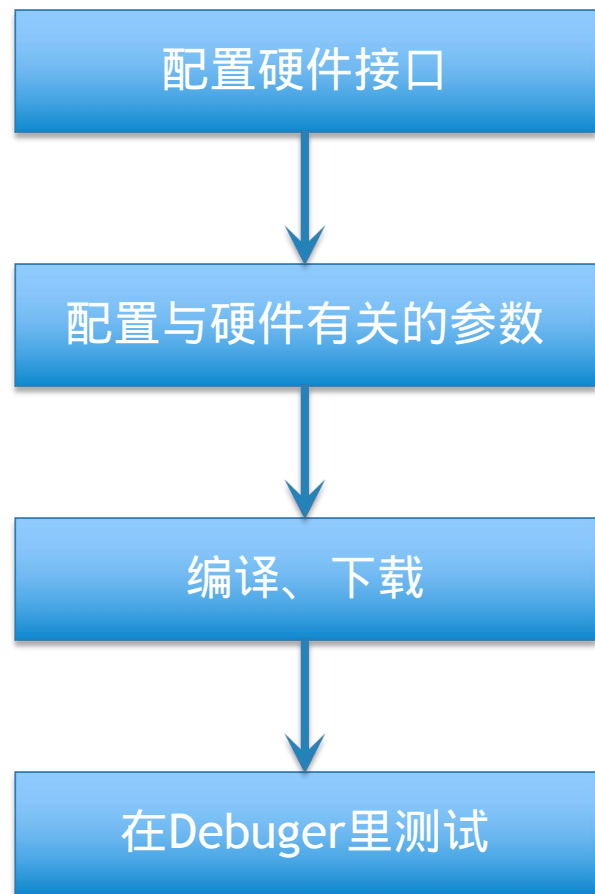


测试平台使用流程

- 打开项目，在InterfaceDesigner里配置：
 - 时钟输入管脚；
 - LED灯的管脚；管脚定义见“LED安排”
 - PLL；需要最少两个PLL，一个用于DDR，一个用于内部逻辑；
 - DDR；参数必须与硬件和DDR型号匹配
 - JTAG；用于调试；
- 修改代码中的参数
 - 通过宏定义选择要测试的DDR的接口；
 - Define Test_AXI0 通过AXI_0测试；
 - Define Test_AXI1 通过AXI_1测试；
 - 设置DDR的参数与硬件匹配：

| | |
|-------------------------|--------------|
| • DDR_CLK_PERIOD | DDR时钟频率 |
| • DDR_DATA_WIDTH | DDR数据宽度 |
| • DDR_START_ADDRESS DDR | 允许测试操作的起始地址； |
| • DDR_END_ADDRESS DDR | 允许测试操作的结束地址； |
 - 设置时钟参数与PLL输出一致：

| | |
|-------------------|-----------|
| • AXI0_CLK_PERIOD | AXI_0时钟频率 |
| • AXI1_CLK_PERIOD | AXI_1时钟频率 |
| • SYS_CLK_PERIOD | 系统时钟频率 |
 - 其它根据需要修改的参数；
- 编译，下载到目标板；代开Debugger
 - 在VIO中配置需要测试的模式，并将TestStart置1，就可以测试了；
 - 如果想捕捉波形，可以在ILA中进行抓取；



代码参数

- SYS_CLK_PERIOD 系统时钟频率,单位Hz
- DDR_CLK_PERIOD DDR时钟频率,单位Hz
- DDR_DATA_WIDTH DDR数据宽度,单位bit

- AXI0_CLK_PERIOD AXI_0时钟频率,单位Hz
- AXI0_DATA_WIDTH AXI_0数据宽度,单位bit
- AXI0_WR_ID AXI_0写ID
- AXI0_RD_ID AXI_0读ID

- AXI1_CLK_PERIOD AXI_1时钟频率,单位Hz
- AXI1_DATA_WIDTH AXI_1数据宽度,单位bit
- AXI1_WR_ID AXI_1写ID
- AXI1_RD_ID AXI_1读ID

- DDR_WRITE_FIRST DDR写优先, 仅用于awvalid和arvalid同时有效时
- RIGHT_CNT_WIDTH 数据正确计数器宽度, 缺省为27;

- DDR_START_ADDRESS DDR允许测试操作的起始地址;
- DDR_END_ADDRESS DDR允许测试操作的结束地址;

VIO界面介绍（测试控制）

DdrReset

复位DDR和测试逻辑，1有效
当该位置为1，将对以下电路进行复位：

- DDR Controller
- 测试模块
- 统计模块

TestStart

测试启动，1有效

1：上升沿时启动测试；并锁存以下参数：

- CfgTestMode 测试模式
- CfgBurstLen AXI的Burst长度（ALEN）
- CfgStartAddr DDR的测试起始地址
- CfgEndAddr DDR的测试结束地址

0：空闲状态，下降沿停止测试；

| DdrTest | | | | |
|--------------------------|--------|-------|-------|-----------------|
| Name | Type | Width | Radix | Value |
| ↑ DdrReset | Source | 1 | Bin ▾ | 0 |
| ↑ TestStart | Source | 1 | Bin ▾ | 1 |
| ↑ CfgDataMode | Source | 2 | Hex ▾ | 3 |
| ↑ CfgTestMode | Source | 2 | Hex ▾ | 3 |
| ↑ CfgBurstLen | Source | 8 | Hex ▾ | 1f |
| ↑ CfgTestLen | Source | 32 | Hex ▾ | 80000000 |
| ↑ CfgStartAddr | Source | 32 | Hex ▾ | 00000000 |
| ↑ CfgEndAddr | Source | 32 | Hex ▾ | fffffff |
| ↑ TestBusy | Probe | 1 | Bin ▾ | 1 |
| ↑ TestRight | Probe | 1 | Bin ▾ | 1 |
| ↑ TestErrCnt | Probe | 24 | Dec ▾ | 00000000 |
| ↑ Operate_Total_Cycle | Probe | 48 | Dec ▾ | 000002715146897 |
| ↑ Operate_Actual_Cycle | Probe | 48 | Dec ▾ | 000001948847724 |
| ↑ Operate_Efficiency_ppt | Probe | 10 | Dec ▾ | 0717 |
| ↑ BandWidth_Mbps | Probe | 16 | Dec ▾ | 18376 |
| ↑ Test_Time_second | Probe | 24 | Dec ▾ | 00000027 |

VIO界面介绍（测试模式配置）

CfgDataMode

测试数据模式（缺省为3）

- 0：数据为正逻辑；
- 1：数据为反向逻辑；
- 2：数据为正/反向交替，起始逻辑为正向逻辑；
- 3：数据为正/反向交替，起始逻辑为反向逻辑；

数据计算和地址相关，对于正向逻辑按以下规则计算数据的值，对于反向逻辑按以下规则计算并取反：

- 低16位数据 32位地址的高16位和低16位之和（取16位）
- 高16位数据 低16地址的bit2=1为16'haaaa; bit2=0 为16'h5555

CfgTestMode

测试模式（缺省为3）

- 0：备用；
- 1：读测试；
- 2：写测试；
- 3：读写交替测试；

DdrTest

| Name | Type | Width | Radix | Value |
|------------------------|--------|-------|-------|-----------------|
| DdrReset | Source | 1 | Bin | 0 |
| TestStart | Source | 1 | Bin | 1 |
| CfgDataMode | Source | 2 | Hex | 3 |
| CfgTestMode | Source | 2 | Hex | 3 |
| CfgBurstLen | Source | 8 | Hex | 1f |
| CfgTestLen | Source | 32 | Hex | 80000000 |
| CfgStartAddr | Source | 32 | Hex | 00000000 |
| CfgEndAddr | Source | 32 | Hex | fffffff |
| TestBusy | Probe | 1 | Bin | 1 |
| TestRight | Probe | 1 | Bin | 1 |
| TestErrCnt | Probe | 24 | Dec | 00000000 |
| Operate_Total_Cycle | Probe | 48 | Dec | 000002715146897 |
| Operate_Actual_Cycle | Probe | 48 | Dec | 000001948847724 |
| Operate_Efficiency_ppt | Probe | 10 | Dec | 0717 |
| BandWidth_Mbps | Probe | 16 | Dec | 18376 |
| Test_Time_second | Probe | 24 | Dec | 00000027 |

VIO界面介绍（测试长度配置）

CfgBurstLen

AXI4的Burst长度配置（缺省为0xF）

- 对应AXI的ALEN；
- Burst长度为该值加1；比如设置7表示Burst 8；
- 字节数大于4K，该值自动缩减为4K；对于256位总线，该值最大值为0x7F；
- 由于AXI总线的限制，4K边界的最后一个ALEN为计算所得，避免4K越界时数据出错；

CfgTestLen

测试长度配置

- 表示需要测试多少个Burst，测试完成自动停止；
- 该值为全0或全F，表示持续测试；需要通过将Test Start设为0来中止测试；

DdrTest

| Name | Type | Width | Radix | Value |
|------------------------|--------|-------|-------|-----------------|
| DdrReset | Source | 1 | Bin | 0 |
| TestStart | Source | 1 | Bin | 1 |
| CfgDataMode | Source | 2 | Hex | 3 |
| CfgTestMode | Source | 2 | Hex | 3 |
| CfgBurstLen | Source | 8 | Hex | 1f |
| CfgTestLen | Source | 32 | Hex | 80000000 |
| CfgStartAddr | Source | 32 | Hex | 00000000 |
| CfgEndAddr | Source | 32 | Hex | fffffff |
| TestBusy | Probe | 1 | Bin | 1 |
| TestRight | Probe | 1 | Bin | 1 |
| TestErrCnt | Probe | 24 | Dec | 00000000 |
| Operate_Total_Cycle | Probe | 48 | Dec | 000002715146897 |
| Operate_Actual_Cycle | Probe | 48 | Dec | 000001948847724 |
| Operate_Efficiency_ppt | Probe | 10 | Dec | 0717 |
| BandWidth_Mbps | Probe | 16 | Dec | 18376 |
| Test_Time_second | Probe | 24 | Dec | 00000027 |

VIO界面介绍（测试空间配置）

CfgStartAddr / CfgEndAddr

待测DDR的起始地址和结束地址

- 起始地址和结束地址会自动截取到256Byte的整倍数；
- 逻辑设计中有DDR_START_ADDRESS / DDR_END_ADDRESS 作为DDR允许测试的空间限制，逻辑会保证不会超出这个空间限制；对应AXI的ALEN；

DdrTest

| | Name | Type | Width | Radix | Value |
|---|------------------------|--------|-------|-------|-----------------|
| ↑ | DdrReset | Source | 1 | Bin ▾ | 0 |
| ↑ | TestStart | Source | 1 | Bin ▾ | 1 |
| ↑ | CfgDataMode | Source | 2 | Hex ▾ | 3 |
| ↑ | CfgTestMode | Source | 2 | Hex ▾ | 3 |
| ↑ | CfgBurstLen | Source | 8 | Hex ▾ | 1f |
| ↑ | CfgTestLen | Source | 32 | Hex ▾ | 80000000 |
| ↑ | CfgStartAddr | Source | 32 | Hex ▾ | 00000000 |
| ↑ | CfgEndAddr | Source | 32 | Hex ▾ | fffffff |
| ↑ | TestBusy | Probe | 1 | Bin ▾ | 1 |
| ↑ | TestRight | Probe | 1 | Bin ▾ | 1 |
| ↑ | TestErrCnt | Probe | 24 | Dec ▾ | 00000000 |
| ↑ | Operate_Total_Cycle | Probe | 48 | Dec ▾ | 000002715146897 |
| ↑ | Operate_Actual_Cycle | Probe | 48 | Dec ▾ | 000001948847724 |
| ↑ | Operate_Efficiency_ppt | Probe | 10 | Dec ▾ | 0717 |
| ↑ | BandWidth_Mbps | Probe | 16 | Dec ▾ | 18376 |
| ↑ | Test_Time_second | Probe | 24 | Dec ▾ | 00000027 |

VIO界面介绍（测试状态）

TestBusy

测试进行中，表示当前正在进行测试；

- 该状态有效在LED中对应LED[6]闪烁；

TestRight

测试数据正确；1表示连续多个数据正确；

- 连续正确数据个数通过逻辑中的RIGHT_CNT_WIDTH设置；缺省为27，表示需要连续128M次读写没有错误该位才会置1；
- 该状态有效对应LED[4]常亮

DdrTest

| | Name | Type | Width | Radix | Value |
|---|------------------------|--------|-------|-------|-----------------|
| ↑ | DdrReset | Source | 1 | Bin ▾ | 0 |
| ↑ | TestStart | Source | 1 | Bin ▾ | 1 |
| ↑ | CfgDataMode | Source | 2 | Hex ▾ | 3 |
| ↑ | CfgTestMode | Source | 2 | Hex ▾ | 3 |
| ↑ | CfgBurstLen | Source | 8 | Hex ▾ | 1f |
| ↑ | CfgTestLen | Source | 32 | Hex ▾ | 80000000 |
| ↑ | CfgStartAddr | Source | 32 | Hex ▾ | 00000000 |
| ↑ | CfgEndAddr | Source | 32 | Hex ▾ | fffffff |
| ↑ | TestBusy | Probe | 1 | Bin ▾ | 1 |
| ↑ | TestRight | Probe | 1 | Bin ▾ | 1 |
| ↑ | TestErrCnt | Probe | 24 | Dec ▾ | 00000000 |
| ↑ | Operate_Total_Cycle | Probe | 48 | Dec ▾ | 000002715146897 |
| ↑ | Operate_Actual_Cycle | Probe | 48 | Dec ▾ | 000001948847724 |
| ↑ | Operate_Efficiency_ppt | Probe | 10 | Dec ▾ | 0717 |
| ↑ | BandWidth_Mbps | Probe | 16 | Dec ▾ | 18376 |
| ↑ | Test_Time_second | Probe | 24 | Dec ▾ | 00000027 |

VIO界面介绍（统计结果）

TestErrCnt

测试错误计数器；

Operate_Total_Cycle

测试所用的总的时钟个数；

Operate_Acual_Cycle

测试中有效的时钟个数；表示读/写数据有效的时钟个数

Operate_Efficiency_ppt

DDR控制器的操作效率，单位为千分之一

BandWidth_Mbps

DDR控制器带宽，单位为Mbps

Test_Time_Second

当前测试时间，单位秒

DdrTest

| Name | Type | Width | Radix | Value |
|------------------------|--------|-------|-------|-----------------|
| DdrReset | Source | 1 | Bin | 0 |
| TestStart | Source | 1 | Bin | 1 |
| CfgDataMode | Source | 2 | Hex | 3 |
| CfgTestMode | Source | 2 | Hex | 3 |
| CfgBurstLen | Source | 8 | Hex | 1f |
| CfgTestLen | Source | 32 | Hex | 80000000 |
| CfgStartAddr | Source | 32 | Hex | 00000000 |
| CfgEndAddr | Source | 32 | Hex | ffffff |
| TestBusy | Probe | 1 | Bin | 1 |
| TestRight | Probe | 1 | Bin | 1 |
| TestErrCnt | Probe | 24 | Dec | 00000000 |
| Operate_Total_Cycle | Probe | 48 | Dec | 000002715146897 |
| Operate_Actual_Cycle | Probe | 48 | Dec | 000001948847724 |
| Operate_Efficiency_ppt | Probe | 10 | Dec | 0717 |
| BandWidth_Mbps | Probe | 16 | Dec | 18376 |
| Test_Time_second | Probe | 24 | Dec | 00000027 |

VIO界面介绍（读写周期统计）

WrPeriod_Minimum_Cycle

最小写周期，单位为时钟个数

WrPeriod_Average_Cycle

平均写周期，单位为时钟个数

WrPeriod_Maximum_Cycle

最大写周期，单位为时钟个数

RdPeriod_Minimum_Cycle

最小读周期，单位为时钟个数

RdPeriod_Average_Cycle

平均读周期，单位为时钟个数

RdPeriod_Maximum_Cycle

最大读周期，单位为时钟个数

| | | | | |
|------------------------|-------|----|-------|------|
| WrPeriod_minimun_Cycle | Probe | 10 | Dec ▾ | 1023 |
| WrPeriod_Average_Cycle | Probe | 10 | Dec ▾ | 0076 |
| WrPeriod_Maximum_Cycle | Probe | 10 | Dec ▾ | 1023 |
| RdPeriod_minimun_Cycle | Probe | 10 | Dec ▾ | 0000 |
| RdPeriod_Average_Cycle | Probe | 10 | Dec ▾ | 0532 |
| RdPeriod_Maximum_Cycle | Probe | 10 | Dec ▾ | 1023 |

ILA界面

AXI4总线信号

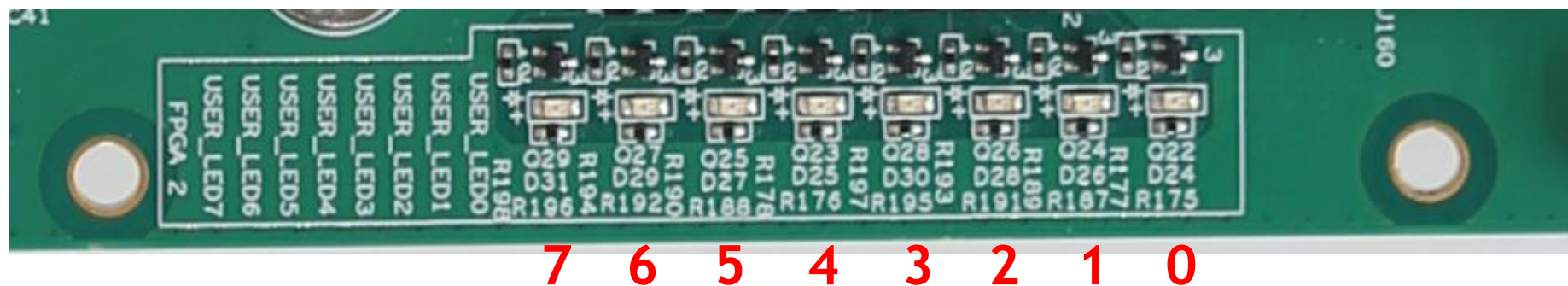
写数据信号

读数据信号



LED安排

- LED[7] 运行灯；FPGA正常工作，这个灯一直闪亮；
 - LED[6] 测试指示灯；测试过程中一直闪亮；
 - LED[5] 数据错误指示；对应ILA中的TestErr；
 - LED[4] 数据测试正确；对应VIO中的TestRight；
 - LED[3 :0] 误码计数；大于15个误码显示为全亮；
-
- 在T120F484工程板上的对应位置如下：



Issue Feedback

- Email: richardz@efinixinc.com
- subject: DDR3test github issue