**Экзамен ЦУиМП**

Оглавление

[1. Предметодье (как предисловие) 4](#__RefHeading___1)

[2 Комбинационная логика 5](#__RefHeading___2)

[2.1 Цифровые элементы (О, ТИ, АВ) 6](#__RefHeading___3)

[2.2 Арифметические операции с числами 7](#__RefHeading___4)

[2.3 Вещественные числа. Хранение вещественного числа в компьютере 8](#__RefHeading___5)

[2.4 Перевод чисел 9](#__RefHeading___6)

[2.5 Таблицы истинности и алгебраические выражения 11](#__RefHeading___7)

[2.6 Карты Карно 12](#__RefHeading___8)

[2.7 Метод Квайна 13](#__RefHeading___9)

[2.8 Базис 2И-НЕ 14](#__RefHeading___10)

[2.9 Базис 2ИЛИ-НЕ 15](#__RefHeading___11)

[2.10 Шифратор (О, ТИ, АВ) 16](#__RefHeading___12)

[2.11 Дешифратор 19](#__RefHeading___13)

[2.12 ССИ 20](#__RefHeading___14)

[2.13 Приоритетный шифратор (О?, ТИ) 21](#__RefHeading___15)

[2.14 Дешифратор матричного типа 22](#__RefHeading___16)

[2.15 Каскадное включение дешифраторов 23](#__RefHeading___17)

[2.16 Мультиплексор (О, ТИ, АВ) 24](#__RefHeading___18)

[2.17 Демультиплексор (О, ТИ, АВ) 26](#__RefHeading___19)

[2.18 Мажоритарный элемент (О?, ТИ, АВ) 27](#__RefHeading___20)

[2.19 Сумматор и полусумматор 28](#__RefHeading___21)

[2.20 Полувычитатель и вычитатель 29](#__RefHeading___22)

[2.21 Умножители. Умножитель 2х2, 3х3, 4х4 30](#__RefHeading___23)

[2.22 Компаратор (О, ТИ, АВ) 31](#__RefHeading___24)

[2.23 Последовательный сдвиговый регистр (Barrel shifter) 36](#__RefHeading___25)

[2.24 АЛУ 37](#__RefHeading___26)

[2.25 Статический сбой (static hazart) 38](#__RefHeading___27)

[2.26 Вопросы на подумать 39](#__RefHeading___28)

[2.26.1 ИСКЛ ИЛИ на 4 элементах (базис 2И-НЕ). ИСКЛ ИЛИ в базисе 2ИЛИ-НЕ 40](#__RefHeading___29)

[2.26.2 Вычитатель на сумматоре 41](#__RefHeading___30)

[2.26.3 Сложите 4-5 одноразрядных чисел. Есть восьмиразрядное число, определить количество единиц в нём 42](#__RefHeading___31)

[2.26.4 Компаратор на сумматорах. 43](#__RefHeading___32)

[2.26.5 Вариант 1 РК1 44](#__RefHeading___33)

[2.26.6 Вариант 3 РК1 45](#__RefHeading___34)

[2.26.7 Вариант 4 РК1 46](#__RefHeading___35)

[2.26.8 Вариант 7 РК1 47](#__RefHeading___36)

[3 Последовательстная логика (логика с памятью) 48](#__RefHeading___37)

[3.1 RS-триггер, статический, асинхронный, одноступенчатый 49](#__RefHeading___38)

[3.2 RS-триггер, синхронный, статический, одноступенчатый 50](#__RefHeading___39)

[3.3 D-триггер (D flip-flop), синхронный, статический, одноступенчатый 51](#__RefHeading___40)

[3.4 Динамический D-триггер, синхронный, двухступенчатый 52](#__RefHeading___41)

[3.5 T-триггер (счётный) 53](#__RefHeading___42)

[3.6 Асинхронный счётчик на D-триггерах. 54](#__RefHeading___43)

[3.7 Динамический RS-триггер 55](#__RefHeading___44)

[3.8 Вычитающий счётчик (асинхронный) 56](#__RefHeading___45)

[3.9 Реверсивный счётчик 57](#__RefHeading___46)

[3.10 Счётчик с предустановленными значениями 58](#__RefHeading___47)

[3.11 Кольцевой счётчик (синхронный) 59](#__RefHeading___48)

[3.12 Кольцевой счётчик Джонсона 60](#__RefHeading___49)

[3.13 Кольцевой счётчик (ходит только одна единица) 61](#__RefHeading___50)

[3.14 Синхронный счётчик вариант 1 62](#__RefHeading___51)

[3.15 Синхронный счётчик вариант 2 63](#__RefHeading___52)

[3.16 Регистры. Последовательно-параллельные 64](#__RefHeading___53)

[3.17 Регистры. Параллельно-последовательные 65](#__RefHeading___54)

[3.18 Регистры параллельно-параллельные 66](#__RefHeading___55)

[3.19 Регистры. Циклический регистр. Выбор направления. Предустановка значений. 67](#__RefHeading___56)

[3.20 Динамический одноступенчатый D-триггер 68](#__RefHeading___57)

[3.21 Динамический D-триггер с асинхронным сбросом, установкой 69](#__RefHeading___58)

[3.22 JK-триггер, синхронный, статический 70](#__RefHeading___59)

[3.23 Динамический JK-триггер 71](#__RefHeading___60)

[3.24 Динамический JK-триггер на D-треггерах 72](#__RefHeading___61)

[3.25 T-триггер на JK-триггере 73](#__RefHeading___62)

[3.26 Синхронный счётчик на JK-триггере 74](#__RefHeading___63)

[3.27 Сброс триггера. Асинхронные, синхронные входы. 75](#__RefHeading___64)

[3.28 Задачи на подумать. 76](#__RefHeading___65)

[3.28.1 Счётчик в базисе 2И-НЕ 77](#__RefHeading___66)

[3.28.2 Имеется кольцевой счётчик. Как загнать «1» или несколько «1» и двигать их по кругу? 78](#__RefHeading___67)

# Предметодье (как предисловие)

*Я никогда не учу своих учеников. Я только даю условия, при которых они могут сами учиться*

(Эйнштейн)

*Без примеров невозможно ни правильно учить, ни успешно учиться*

(Пацанский паблик ВК)

Целью данной методы не является создать методу ради методы, хочется искренне всё понять, а это возможно только в том случае, если сделать всё самому. Поэтому при создании вашей части методы старайтесь «научить» читателя чему-то, заставить его попробовать реализовать что-то самостоятельно, ведь только в этом случае можно проникнуться всей красотой цифровой электроники и микропроцессоров, и сделать шаг к торжеству автоматизации рутинных задач и процессов.

Обозначения и сокращения:

* О – обозначение
* ТИ – таблица истинности
* АВ – алгебраические выражения
* ВД – временная диаграмма.

# Комбинационная логика

Шо це такое и зачем вообще нужно?

## Цифровые элементы (О, ТИ, АВ)

Инвертор, 2или, 2и, XOR (разные виды представления XOR)

## Арифметические операции с числами

что такое позиционные и непозиционные коды? Прямой, обратный, доп код, перевод из одного в другой, для каких чисел какие коды существуют, умножение, сложение, вычитание бинарых чисел.

## Вещественные числа. Хранение вещественного числа в компьютере

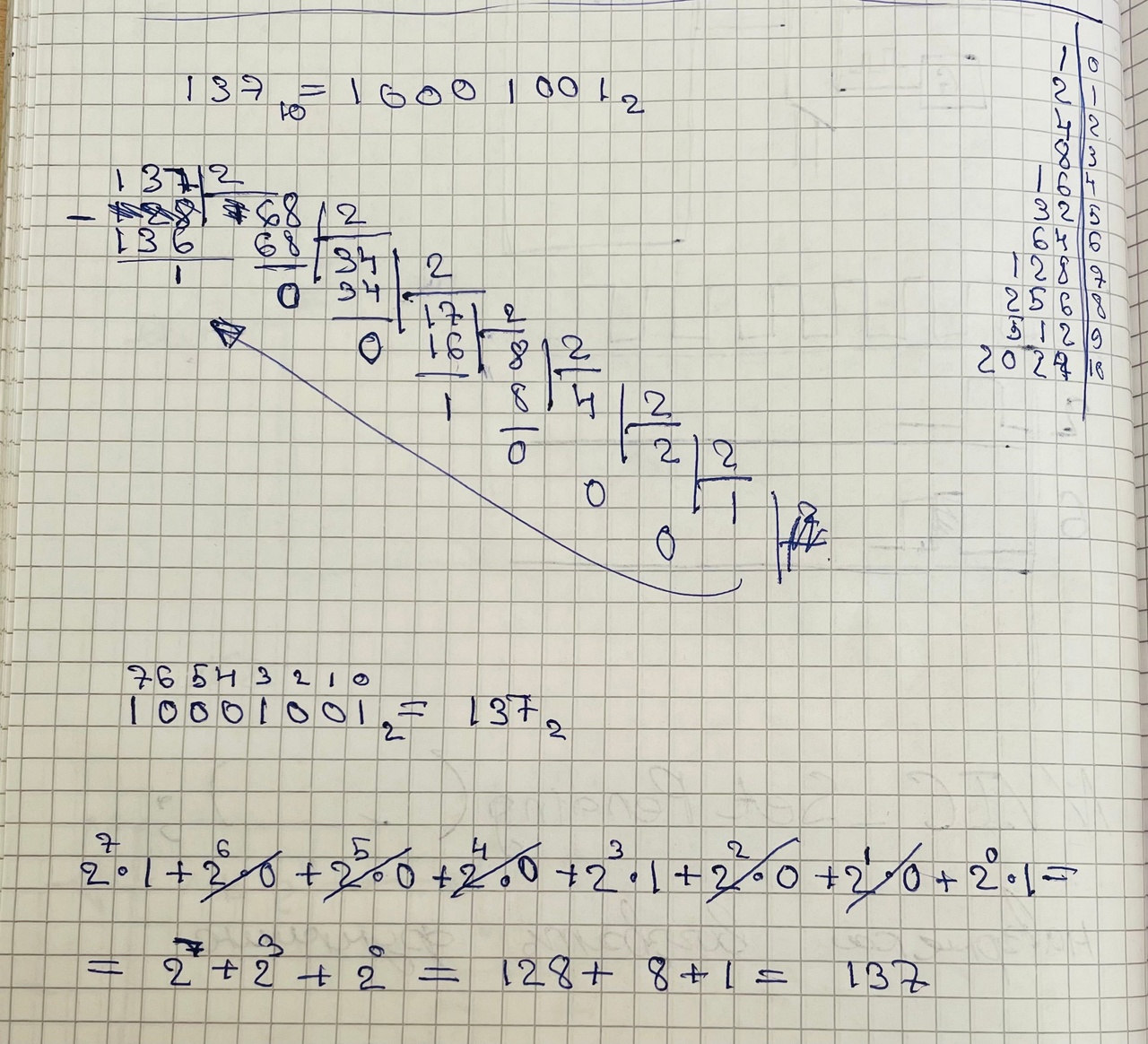
Перевод вещественных чисел в бинарную систему счисления, хранение числа в компьютере (Задано число, нужно с точностью до Х знаков перевести в двоичную систему счисления. Как узнать число двоичных чисел после запятой, которых будет достаточно для заданной точности?)

## Перевод чисел

Hex, bin, dec. Почему hex код удобен?

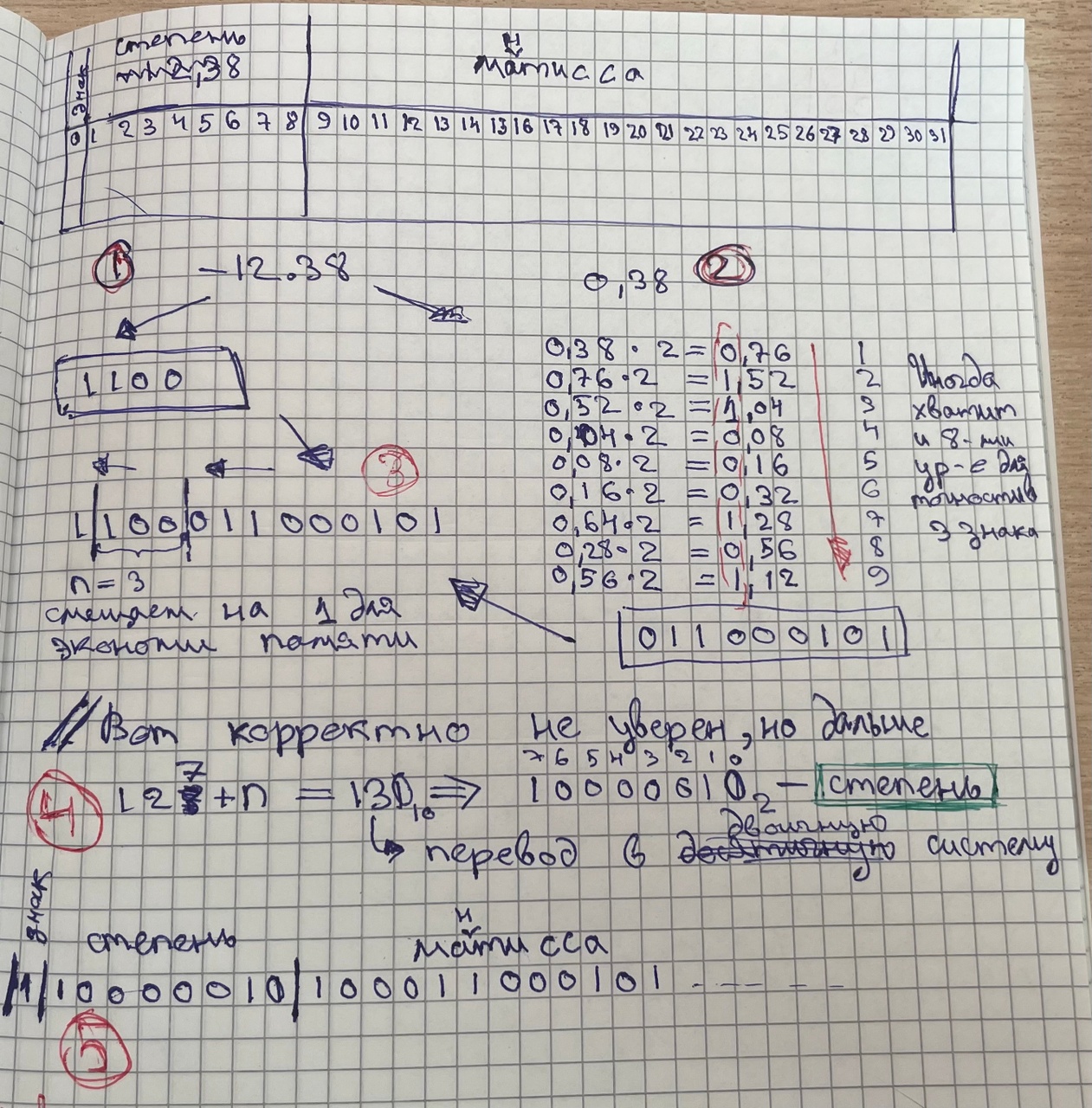
Перевод чисел в двоичную систему счисления из десятичной осуществляется делением его на 2. Деление идет пока остаток не будет равен 1 или 0. Получившееся число снова делим на 2 и так пока не останется 1.

Перевод из двоичной в десятичную систему осуществляется путем номирации двоичного числа с права налево от нуля до n. И эта нумерация будет степенями двойки, каждая двойка в степени умножается на номер i двоичного числа, если это 0, то выбывает соответственно, а потом результат складывается:



Так предствленны unsigned int в языке C.

Числа double представлены иначе, алгоритм перевода представлен ниже:



hex – 16-ричный формат числа 0x*число*

dec – 10-тичный формат числа *число*

bin – 2-ичный формат числа bin'*число*'

16-ричный формат числа удобен тем, что он представолен тетрадой(4-ойкой), это удобно при отладке, программировании.

16-ричный формат 0xFF = 1111 1111 в десятично формате, удобно смотреть и считать по битам.

## Таблицы истинности и алгебраические выражения

Что такое комбинационная схема? Что такое СКНФ и СДНФ? Принципы составления СКНФ И СДНФ по таблице истинности. Как составить таблицу истинности по алгебраическому выражению? Основные законы алгебры логики (минимизации).

## Карты Карно

Причём тут код Грэя? Перевод бинарных чисел в код Грэя и в обратную сторону. Принцип составления карт Карно для СКНФ и СДНФ. Как можно объединять 1 (0) в ячейках? Что даст диагональное расположение 1 (0)?

## Метод Квайна

Смысл метода, инструкция

## Базис 2И-НЕ

Зачем нужны базисы? Основные цифровые элементы в базисе 2И-НЕ. Перевод АВ в базис 2И-НЕ.

## Базис 2ИЛИ-НЕ

Зачем нужны базисы? Основные цифровые элементы в базисе 2ИЛИ-НЕ. Перевод АВ в базис 2ИЛИ-НЕ.

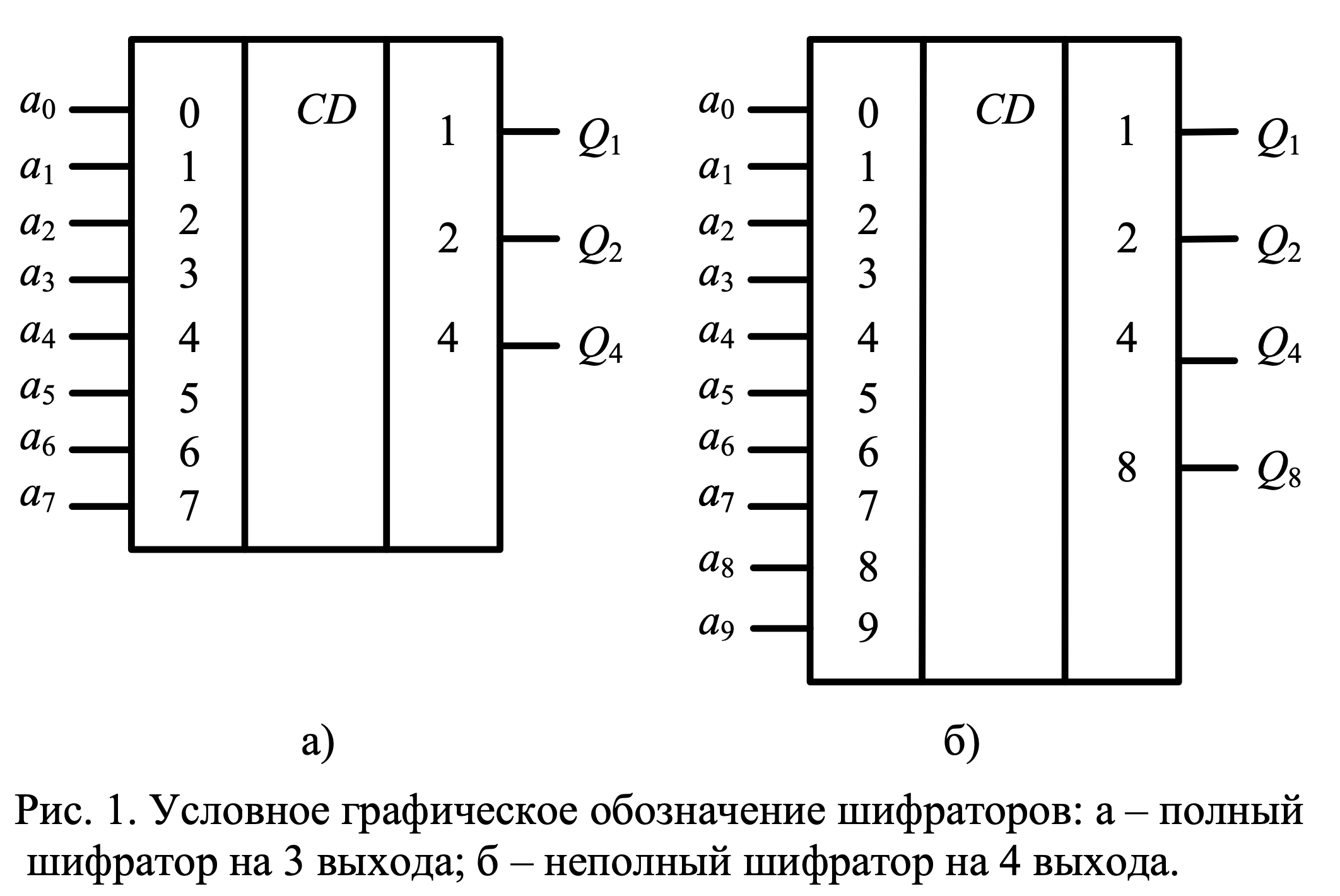
## Шифратор (О, ТИ, АВ)

Что это и зачем нужно? Можно ли использоваться комбинацию входных сигналов с несколькими 1? Обобщённая схема. Схема в базисе 2ИЛИ-НЕ, 2И-НЕ

Шифратор— это комбинационное устройство, преобразующее десятичные числа в двоичную систему счисления, причем каждому входу может быть поставлено в соответствие десятичное число, а набор выходных логических сигналов соответствует определенному двоичному коду.

Полный шифратор имеет 2n входов и n выходов.

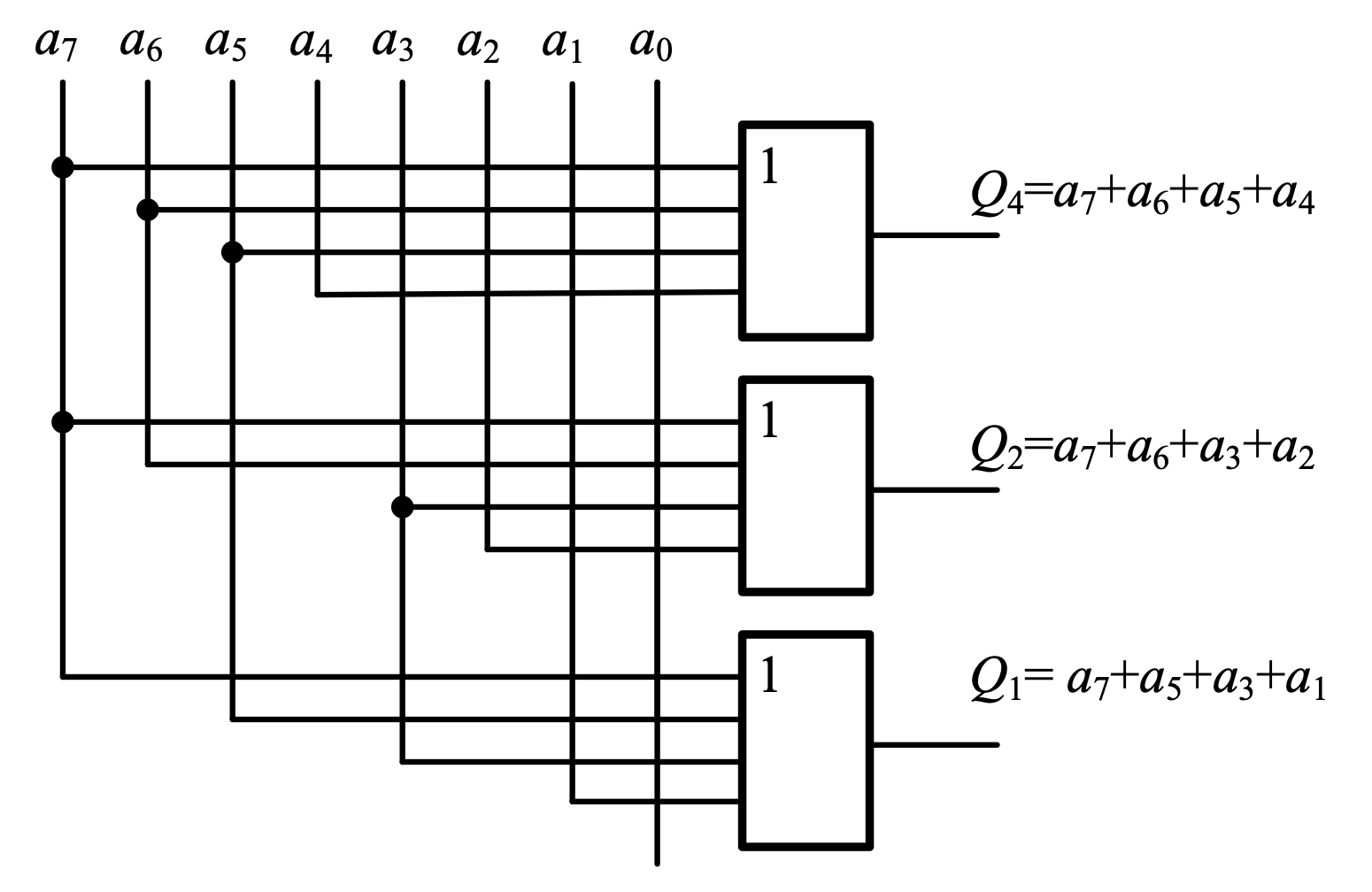
Неполный шифратор - имеющий менее 2n входов и n выходов



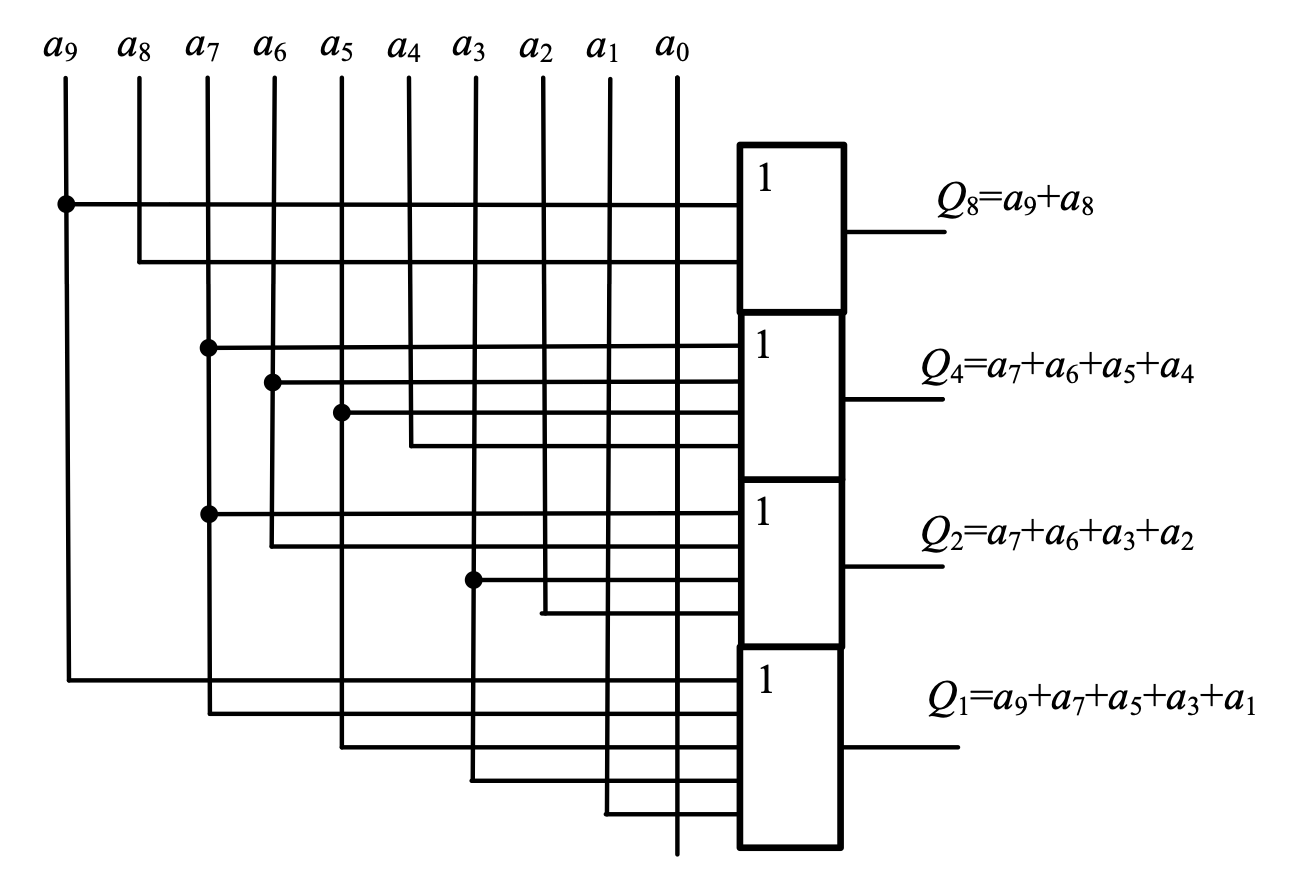
Рабочим режимом шифратора является состояние, когда активный сигнал подан только на один вход шифратора. А на всех остальных входах нули.



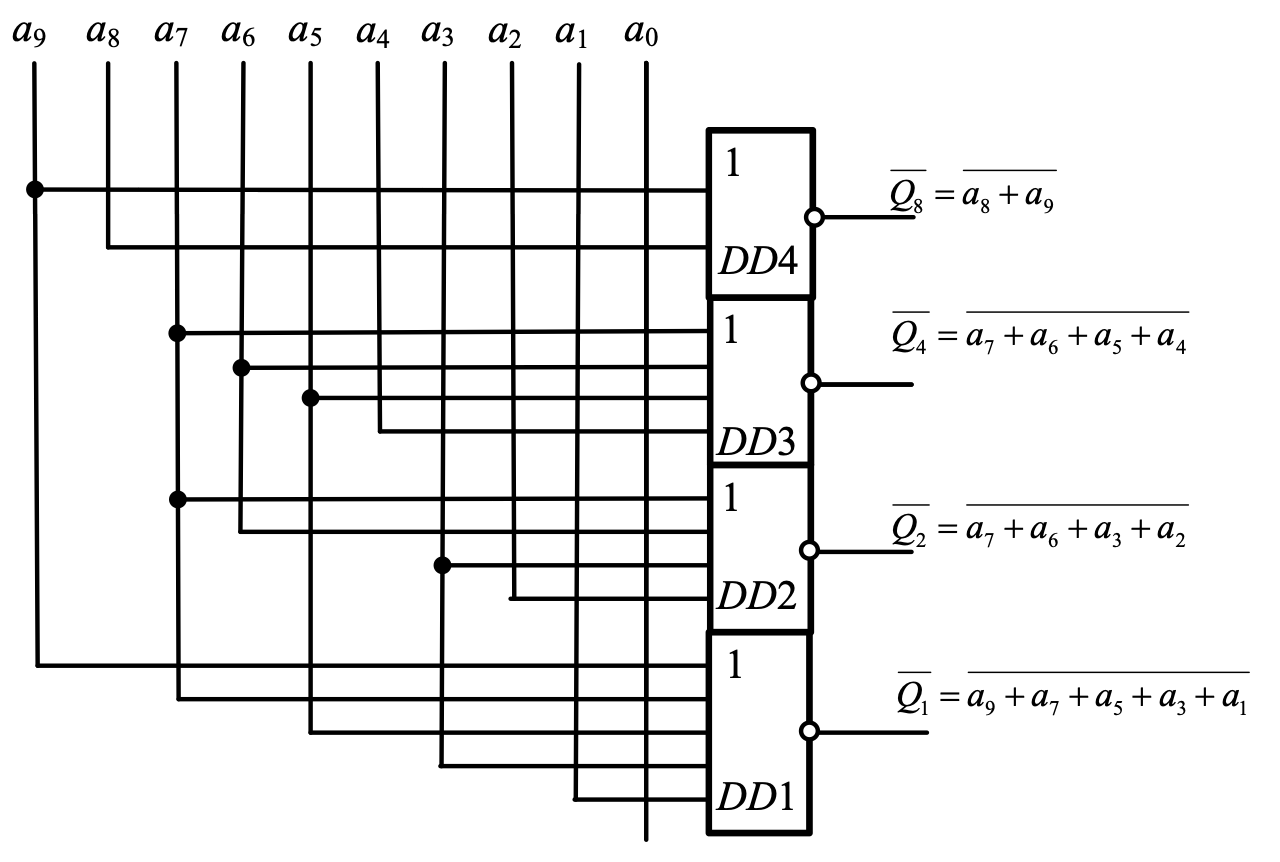
Здесь сигнал a0 на входе «0» шифратора не подается ни на один логический элемент, так как при a0=1 на выходах будет код 0002, т.е на выходах всех логических элементов ИЛИ будут логические нули.



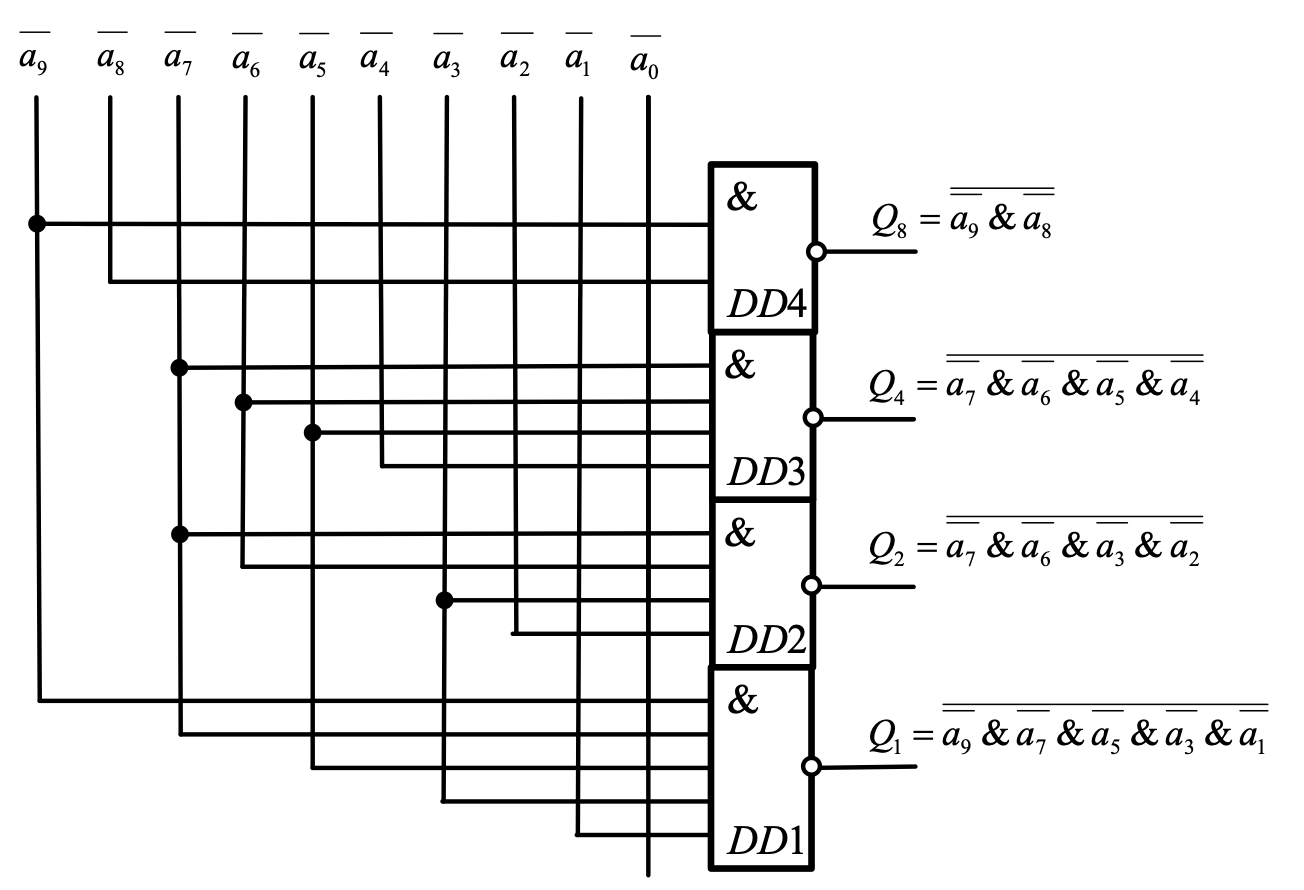




Шифратор на элементах ИЛИ-НЕ



Шифратор на элементах И-НЕ



## Дешифратор

Что это и зачем нужно. Обобщённая схема. Схема в базисе 2ИЛИ-НЕ, 2И-НЕ

## ССИ

Устройство, ТИ, Схемы с ОК и ОА. Пример составления выражения для одного индикатора, его минимизации и перевод в базис (любой), схема для индикатора.

## Приоритетный шифратор (О?, ТИ)

Схема

## Дешифратор матричного типа

Что это, зачем и схема

## Каскадное включение дешифраторов

## Мультиплексор (О, ТИ, АВ)

Что это, зачем? Обобщённая схема, схема в базисах 2И-НЕ, 2ИЛИ-НЕ

Мультиплексоры являются одними из наиболее часто используемых комбинационных схем. Они позволяют выбрать одно выходное значение из нескольких входных в зависимости от значения сигнала выбора.

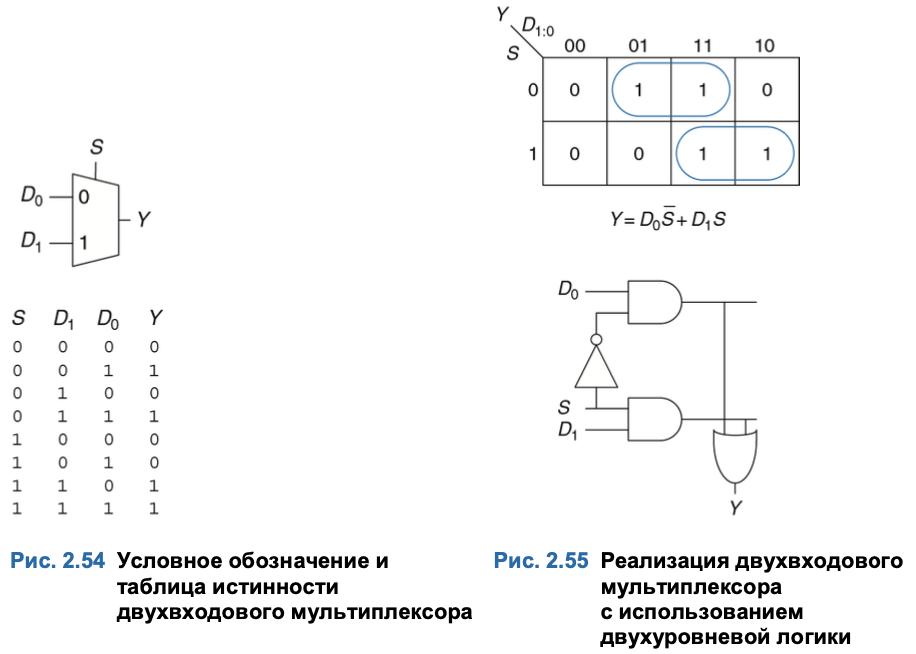
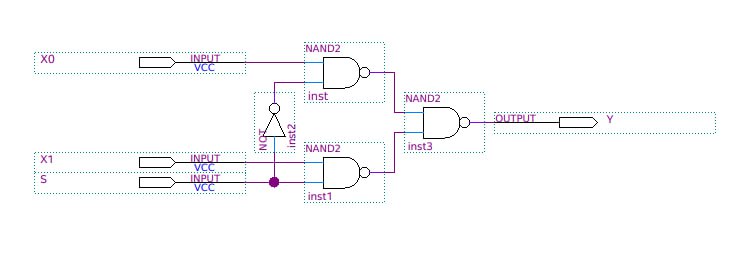




Схема мультиплекстора на 2И-НЕ



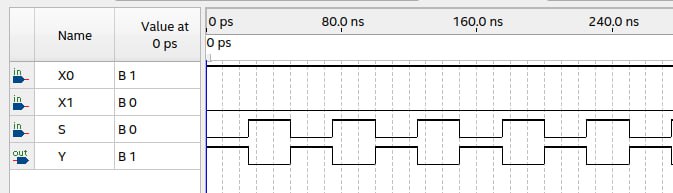
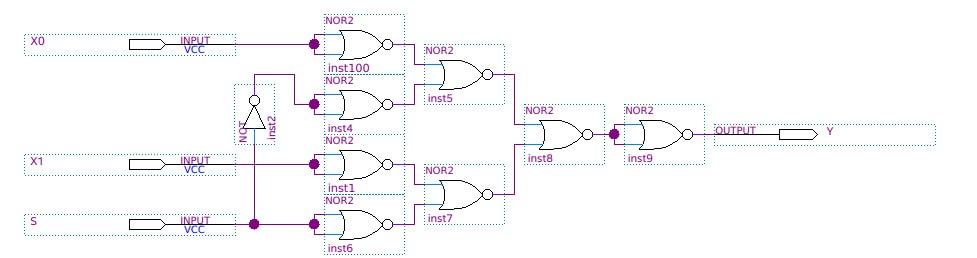
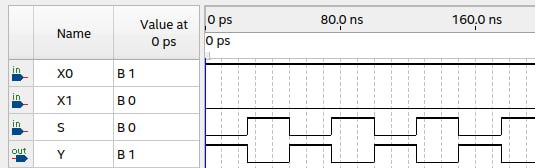


Схема мультиплекстора на 2ИЛИ-НЕ





## Демультиплексор (О, ТИ, АВ)

Что это, зачем? Обобщённая схема, схема в базисах 2И-НЕ, 2ИЛИ-НЕ

## Мажоритарный элемент (О?, ТИ, АВ)

Что это, зачем? Обобщённая схема, схема в 2И-НЕ, 2ИЛИ-НЕ.

## Сумматор и полусумматор

В чем разница (Н-р, с помощью сложения двух бинарных чисел столбиком)? О, ТИ, АВ, обобщённая схема, схема в базисах 2И-НЕ, 2ИЛИ-НЕ. Сумматор из полусумматоров? Каскадное включение сумматоров.

## Полувычитатель и вычитатель

В чем разница (Н-р, с помощью вычитания двух бинарных чисел столбиком)? О, ТИ, АВ, обобщённая схема, схема в базисах 2И-НЕ, 2ИЛИ-НЕ. Вычитатель из полувычитателей? Каскадное включение вычитателей.

## Умножители. Умножитель 2х2, 3х3, 4х4

## Компаратор (О, ТИ, АВ)

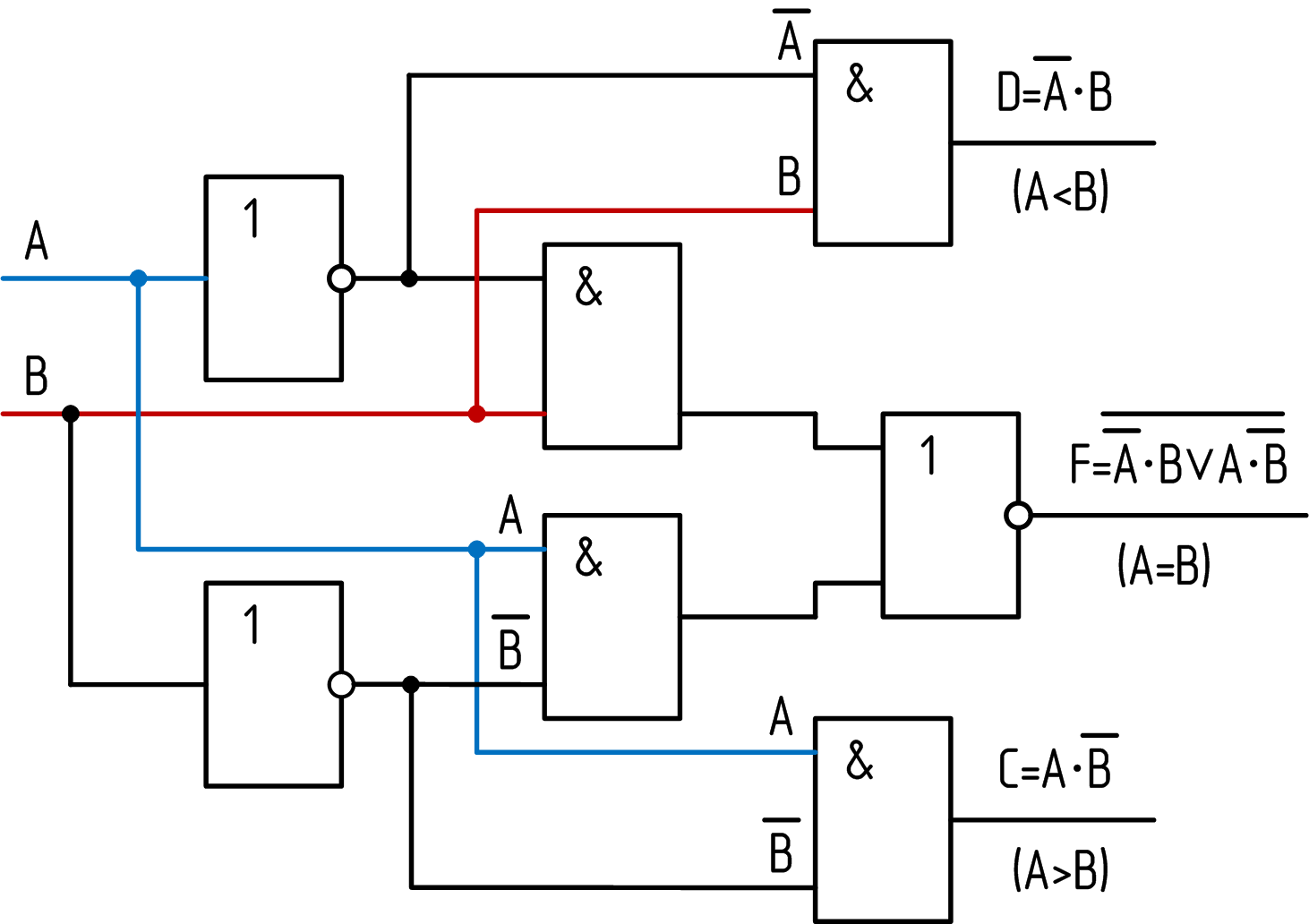
Зачем нужен, принцип работы? Последовательный компаратор. А есть параллельный (на лекциях ничего не написали, нужно почитать)?

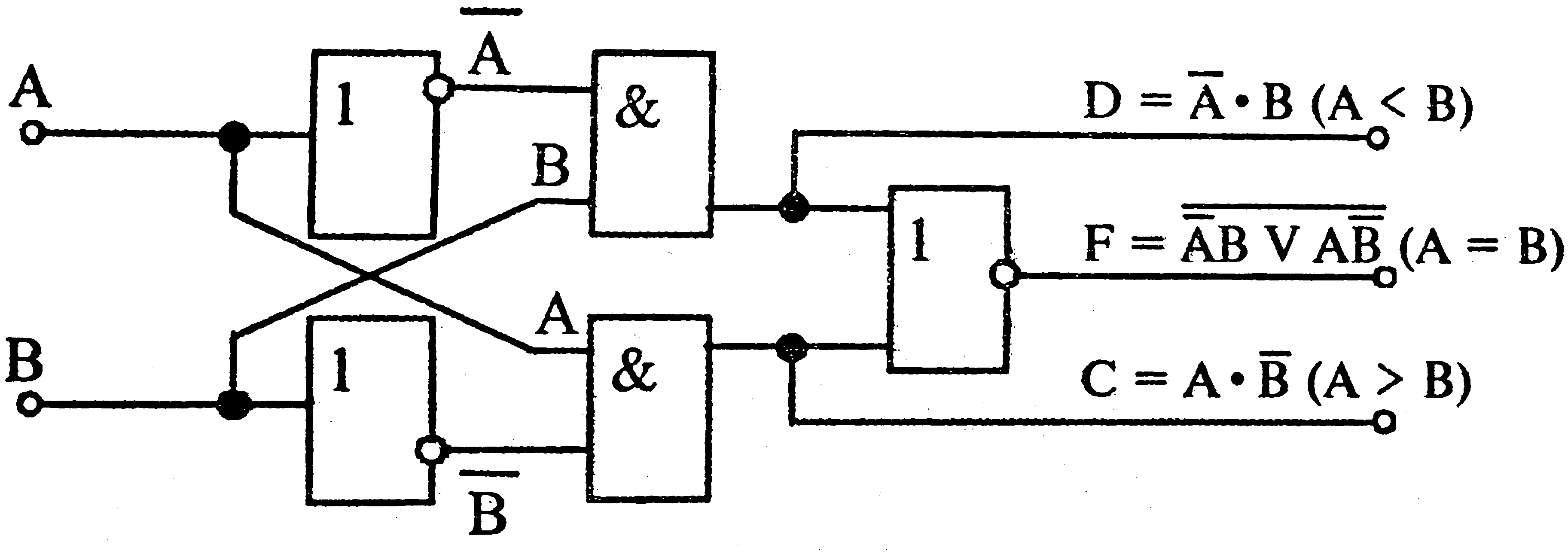
Компаратор осуществляет сравнение двух сигналов и выдает результат какие это сигналы, больше/меньше они или равны.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | A<B | A=B | A>B |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |

Когда равенство сигнал это инвертированный XOR

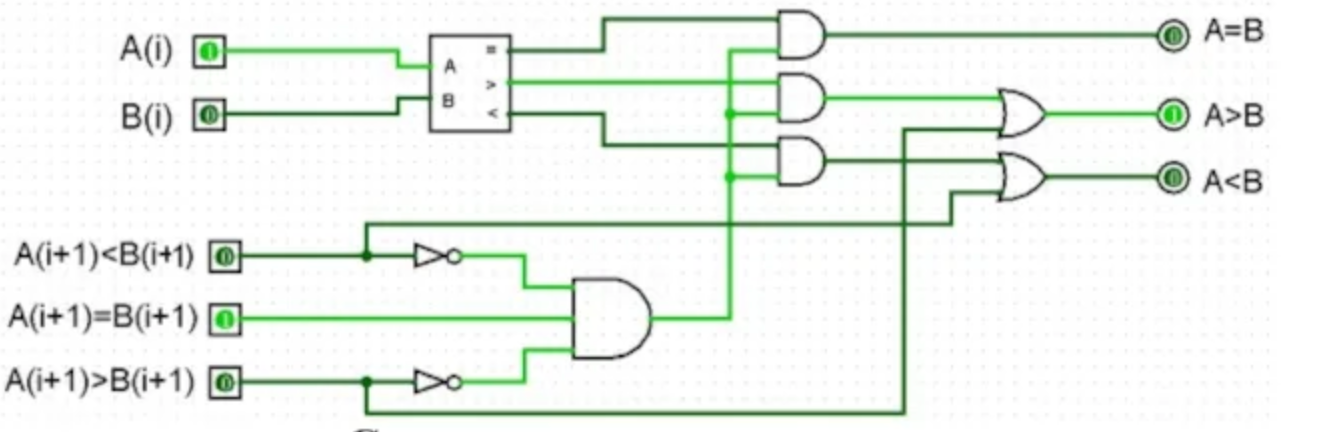
Их отличия это соответственно Y=-A\*B и Y=A\*-B.





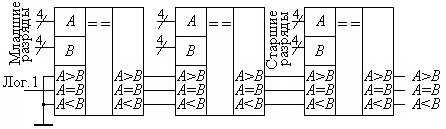
Многоразрядные компараторы строятся на базе одноразрядных. Применяют два способа построения многоразрядных компараторов. При первом способе сравнение идет последовательно разряд за разрядом. При появлении неравенства в каком-либо из разрядов, сравнение прекращается и выдается результат сравнения. Если неравенство оказывается в последнем разряде, то должна быть выполнена операция сравнения для всех разрядов. Это занимает много времени. Схема сравнения многоразрядных чисел по первому способу представлена на рис. 11.13. Более быстрый способ – сравнение во всех разрядах одновременно и анализ результатов поразрядного сравнения.

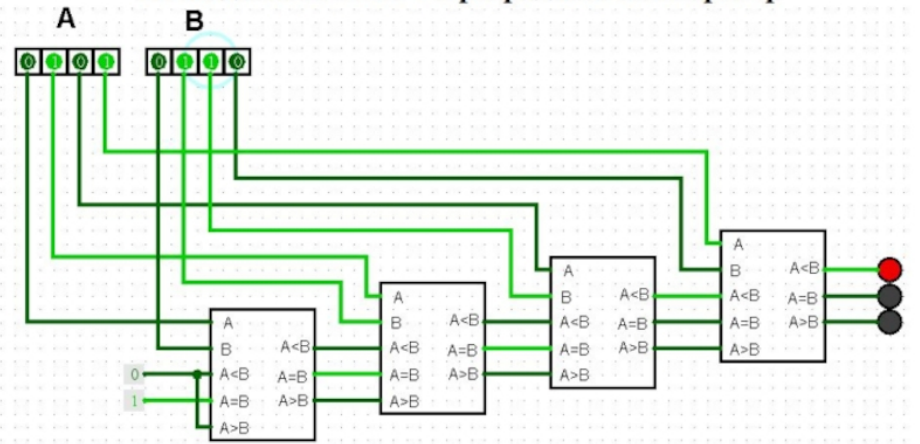
Схема компаратора для последовательного или параллельного включения:



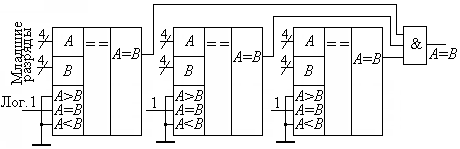
Если старшие разряды равны, то на провод с равенством подается 1, если нет 0. Принцип такой что такую схему можно последовательно или параллельно подключать.

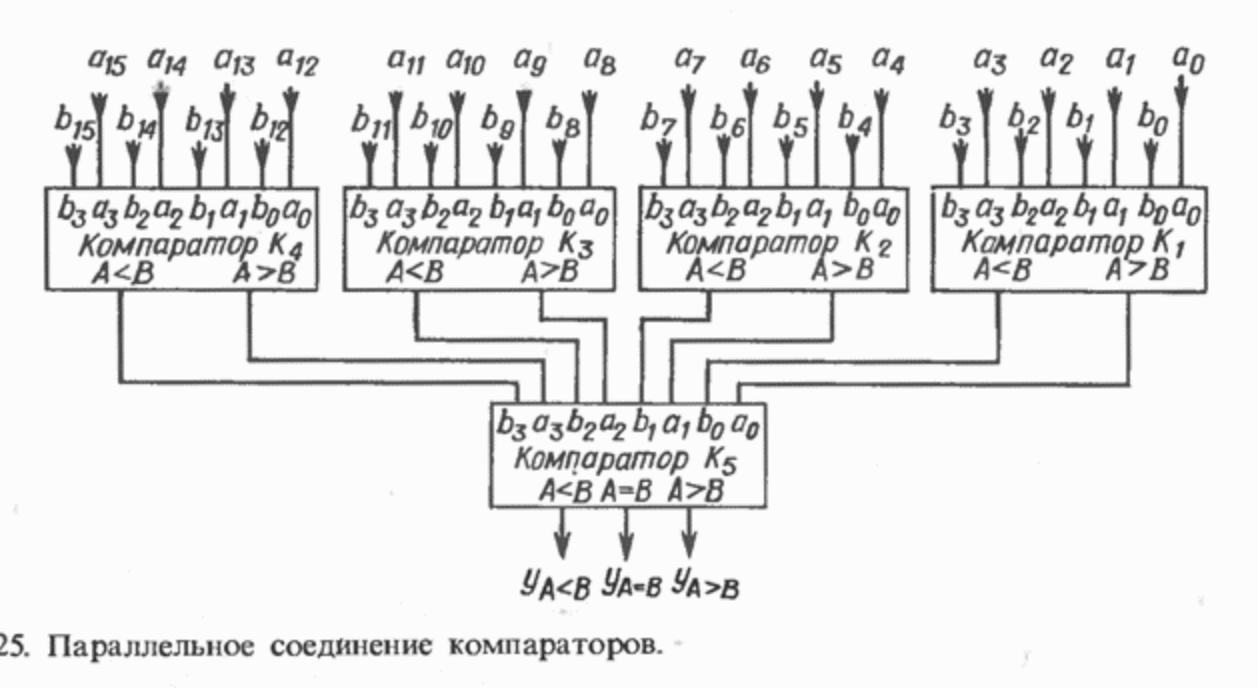
Последовательное включение, идея, что по очереди проверяются все разряды. При большом количестве будет медленной:

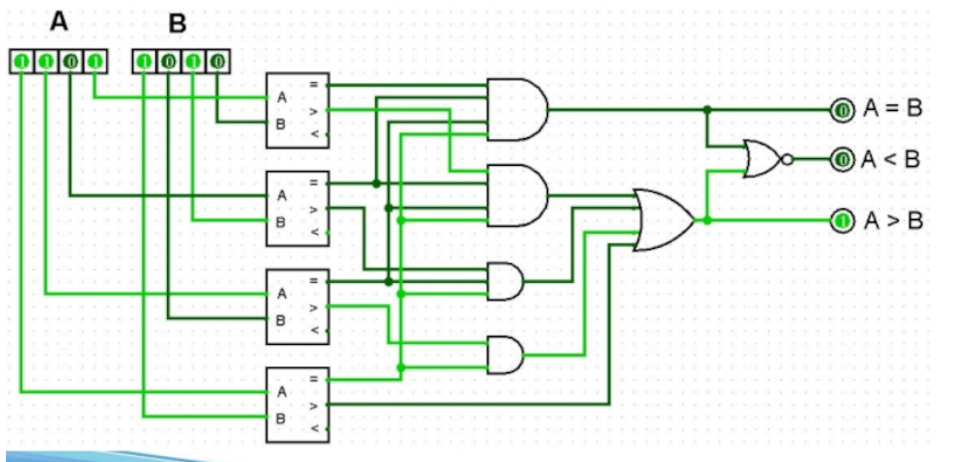




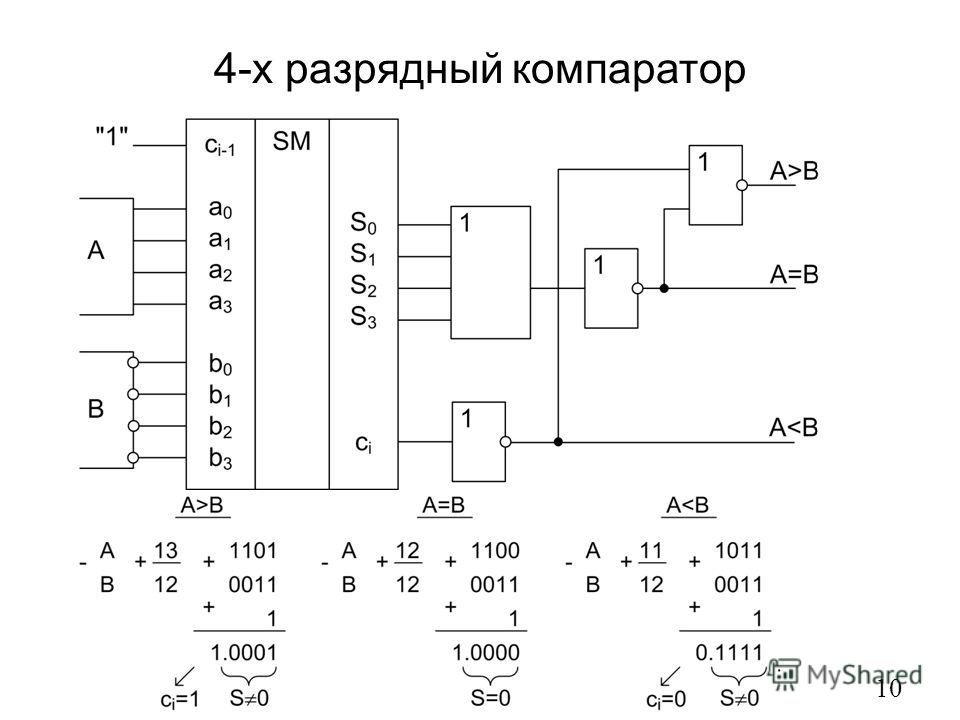
Параллельное включение, проверить в начале все линии, после чего анализировать результат:



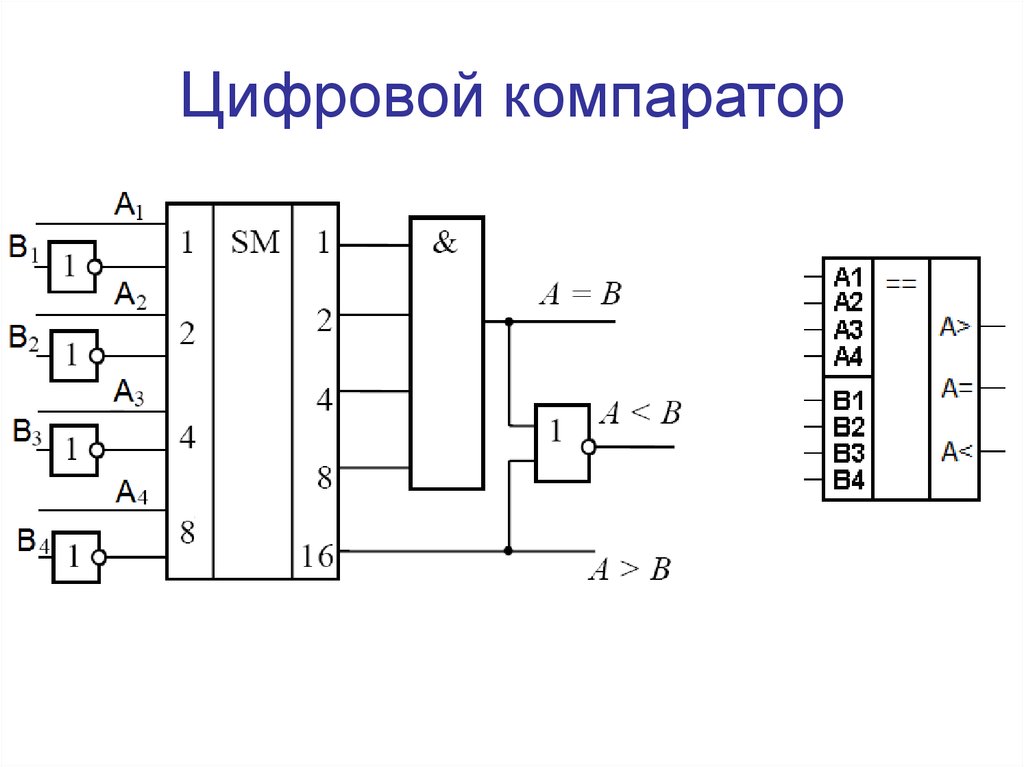




Компаратор через сумматор, может быть такой вопрос как сделать компаратор через сумматор: Из А вычитаем В, прибавляем 1, дальнейшие пояснения говорит картинка ниже:



Еще версии компаратора на сумматоре, работает так же, но на элементах И:



## Последовательный сдвиговый регистр (Barrel shifter)

## АЛУ

Написали про них мало, но возможно стоит поискать более подробную общую информацию, красиво все описать, а не как в лекции одной картинкой, в которую еле всё поместилось и ниче не понятно.

## Статический сбой (static hazart)

Пример на какой-то схеме, н-р, как в лекции, но если будут другая, то будет только +

## Вопросы на подумать

Просьба не сразу выдавать решение, а сначала написать некий алгоритм рассуждений, на основе которого можно самому попытаться построить цифровую схему.

При решении вариантов можно не делать задания, которые уже присутствовали в вопросах до этого, если только конечно вы не знаете какой-то изощрённый и отличающийся от представленного в методе ранее способа решения.

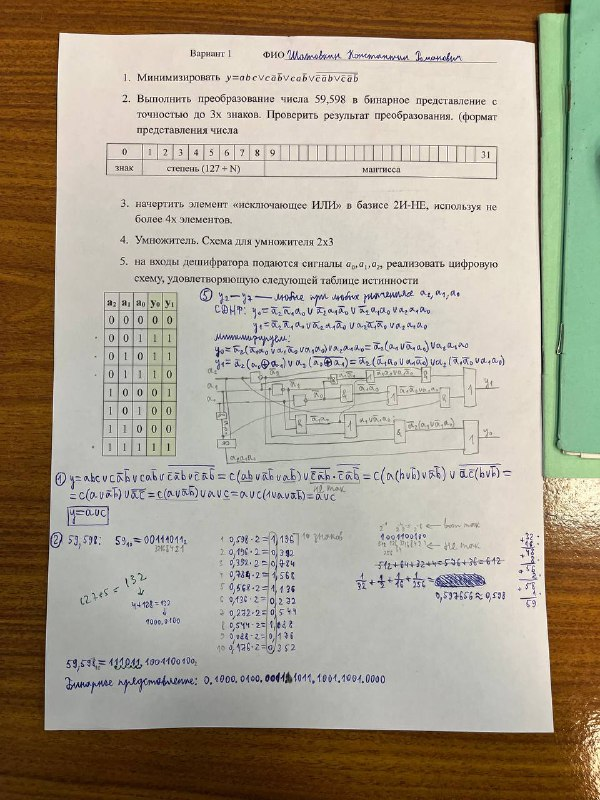
### ИСКЛ ИЛИ на 4 элементах (базис 2И-НЕ). ИСКЛ ИЛИ в базисе 2ИЛИ-НЕ

### Вычитатель на сумматоре

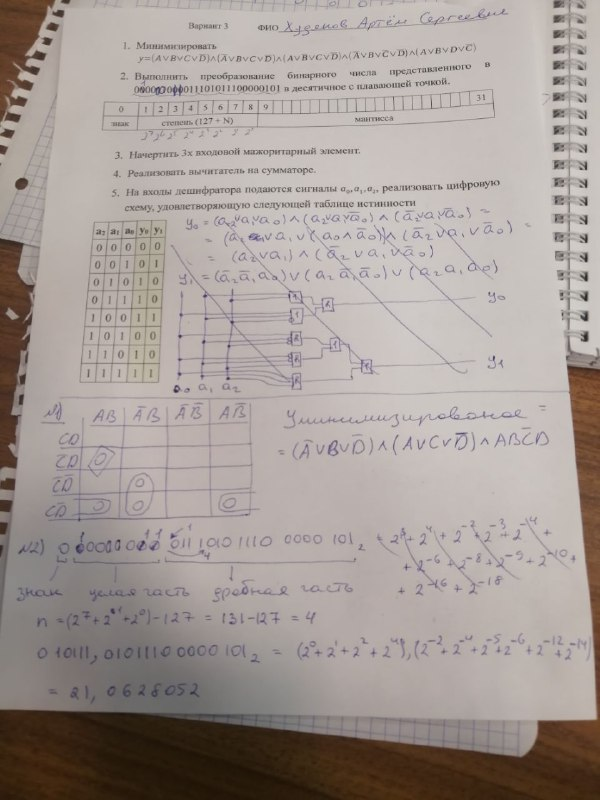
### Сложите 4-5 одноразрядных чисел. Есть восьмиразрядное число, определить количество единиц в нём

### Компаратор на сумматорах.

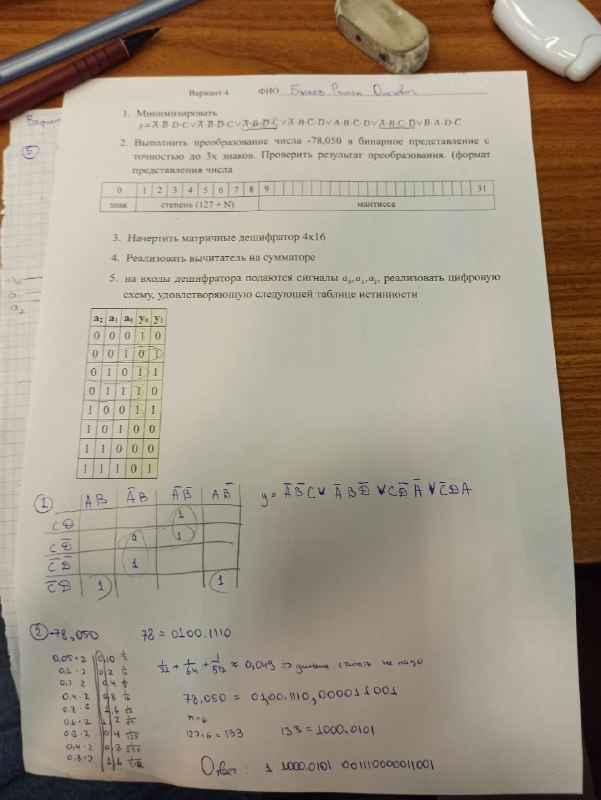
### Вариант 1 РК1



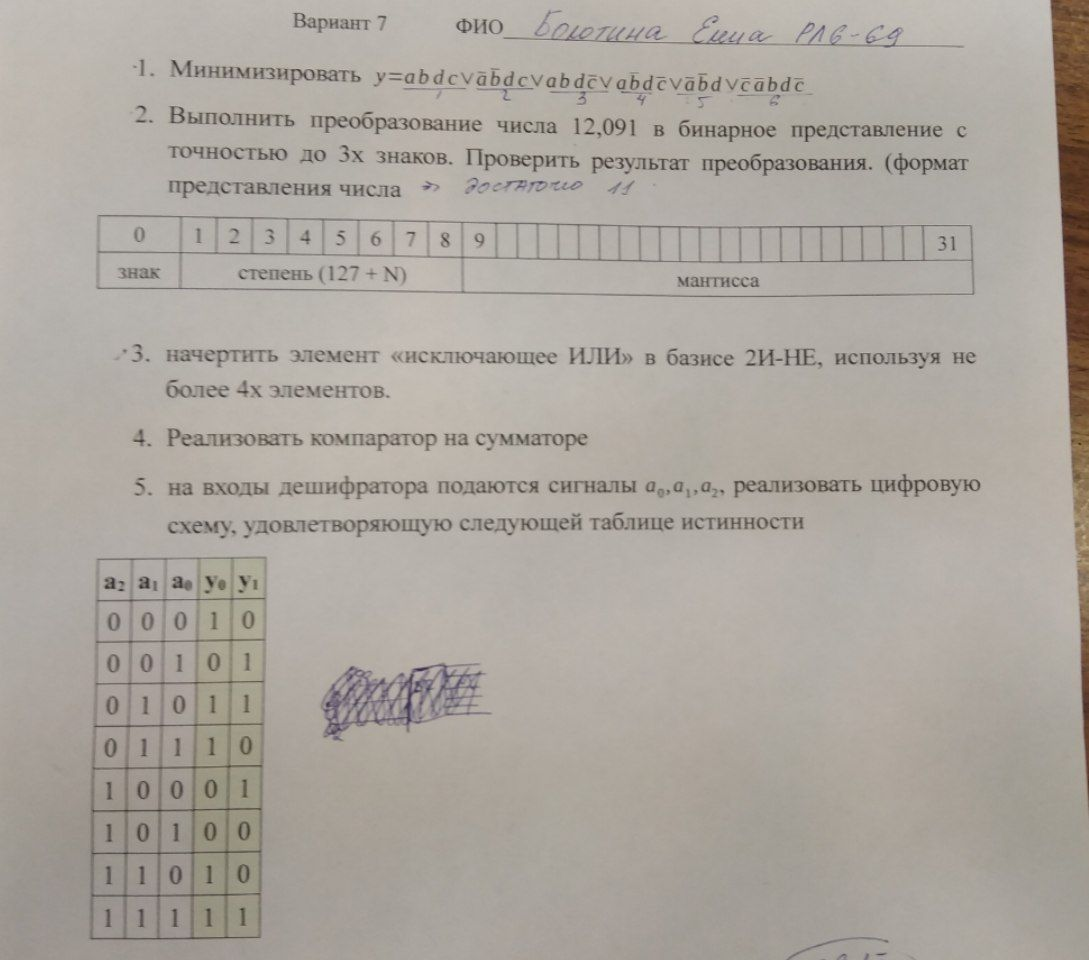
### Вариант 3 РК1



### Вариант 4 РК1



### Вариант 7 РК1



# Последовательстная логика (логика с памятью)

В чём отличие от комбинационной логики? Шо це таке?

## RS-триггер, статический, асинхронный, одноступенчатый

Пояснить статический, асинхр. О, ТИ, ВД. Построить на 2И-НЕ и 2ИЛИ-НЕ. В чём отличие? Как избежать запрещённого состояния?

## RS-триггер, синхронный, статический, одноступенчатый

Пояснить статический, синхр. О, ТИ, ВД. Построить на 2И-НЕ и 2ИЛИ-НЕ. В чём отличие? Как избежать запрещённого состояния?

## D-триггер (D flip-flop), синхронный, статический, одноступенчатый

О, ТИ, ВД. Всегда синхронный! Статический? Реализция D-триггера методом «чёрного ящика». На 2И-НЕ и 2ИЛИ-НЕ.

## Динамический D-триггер, синхронный, двухступенчатый

Переключение по заднему фронту, по переднему? О, ВД.

## T-триггер (счётный)

О, ВД.

## Асинхронный счётчик на D-триггерах.

Что значит Асинхронный? О, ВД. Как реализовать сброс счётчика?

## Динамический RS-триггер

ВД, О, схема. По переднему фронту, по заднему?

## Вычитающий счётчик (асинхронный)

Асинхронный? О, ВД

## Реверсивный счётчик

Принцип, ВД.

## Счётчик с предустановленными значениями

Принцип, ВД.

## Кольцевой счётчик (синхронный)

Принцип, ВД

## Кольцевой счётчик Джонсона

Принцип, ВД, как можно использовать для создания дешифратора?

## Кольцевой счётчик (ходит только одна единица)

Принцип, ВД, самовосстановление счётчика

## Синхронный счётчик вариант 1

Зачем нужны? Принцип работы, ВД. Реальные ВД для синхронного и асинхронного счетчиков, чтобы показать преимущества синхронного.

## Синхронный счётчик вариант 2

## Регистры. Последовательно-параллельные

## Регистры. Параллельно-последовательные

## Регистры параллельно-параллельные

## Регистры. Циклический регистр. Выбор направления. Предустановка значений.

## Динамический одноступенчатый D-триггер

Страшная схема

## Динамический D-триггер с асинхронным сбросом, установкой

Страшная схема со сбросом и с установкой

## JK-триггер, синхронный, статический

ВД, О

## Динамический JK-триггер

## Динамический JK-триггер на D-треггерах

## T-триггер на JK-триггере

## Синхронный счётчик на JK-триггере

## Сброс триггера. Асинхронные, синхронные входы.

## Задачи на подумать.

Просьба не сразу выдавать решение, а сначала написать некий алгоритм рассуждений, на основе которого можно самому попытаться построить цифровую схему.

### Счётчик в базисе 2И-НЕ

### Имеется кольцевой счётчик. Как загнать «1» или несколько «1» и двигать их по кругу?