

Q1: If for the two circuits in fig 1.a,b the DC Power

budgets should be assigned the same value, show that

the following equality should hold in view of the equations eq. 1.2,6

$$[V_{DD} + V_{SS}] \cdot [I_{Q, MOS} + I_{BIAS, MOS}] = [V_{CC} + V_{EE}] \cdot [I_{Q, BJT} + I_{BIAS, BJT}]$$

$$V_{CC} = V_{DD}, -V_{EE} = -V_{SS}$$

$$I_Q = I_{Q,BJT}, I_Q = I_{Q,MOS}$$

$$I_{BIAS} = I_{BIAS,BJT}; I_{BIAS} = I_{BIAS,MOS}$$

DC akımları olmaksızın

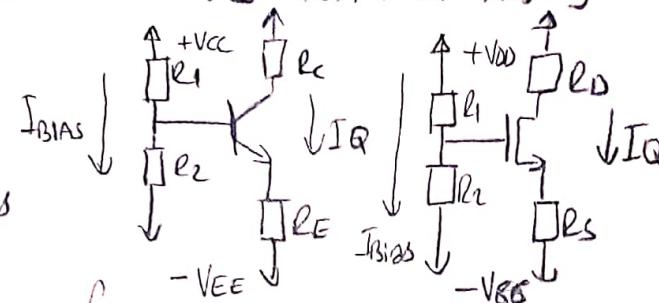


fig 1.2



fig 1.5

farklı tasarımlarda

$$(V_{DD} + V_{SS}) \cdot [I_{Q,MOS} + I_{BIAS,MOS}] = [V_{CC} + V_{EE}] \cdot [I_{Q,BJT} + I_{BIAS,BJT}]$$

es terimlere karşılık gelir.

Q2: Look up the English words "quiet" and "quiescent". How are the two related?

Quiet: Making little noise, duragaz durgun } Bu iki kelime aynı kolder

Quiescent: Temporarily quiet and not active. } Gelmediştir.

Q3: Confirm this piece of information.

Common Emitter / Source → her iki Transistor için large signal çalışma
olsa da small signal esdeger devresi benzerdir.

Common Emitter Amplifier Modelled as TCA → $A_{TCA} = \frac{g_m}{g_m R_E + 1}$ } $g_m \gg r_E$

Bu durumda Common Emitter / Source için $A_{TCA} \approx 1$ ✓
high gm değer kazanmış için gerekliliğini doğrudur.

Common Base / Gate için idealde yatan olması için;
good current buffer karakteristiği için

$|f_{in,CA}|$ is very small } şartları sağlanmalı
 $|f_{out,CA}|$ is very big }

$$|f_{in,CA}| = \frac{r_T}{1 + g_m R_T} = \frac{1}{g_m}$$

Burada çok küçük bir
 $|f_{in,CA}|$ için high gm

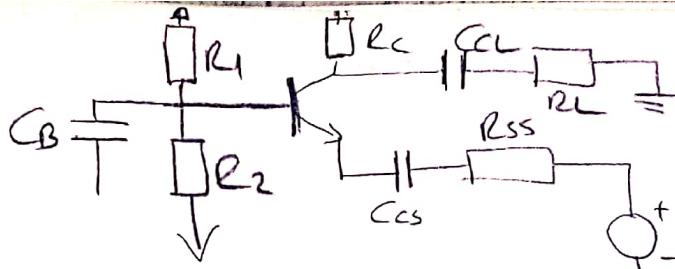
$$|f_{out,CA}| = r_o (1 + g_m r_o) + r_T \approx r_o (1 + \beta) \quad } \text{değerine ihtiyac var}$$

Boylece her iki devre tipi için de gereklilik görüldü

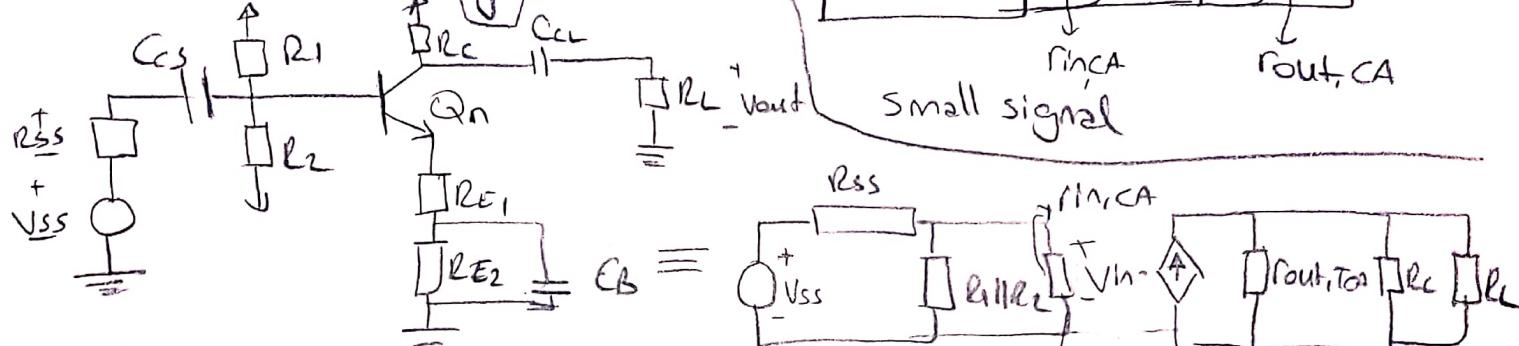
Common Base - Common Collector devreleri esetinde
gibi dir.

(1)

Abdullah Memisoğlu
171020051
sum



Common Base Config.



Common Emitter Config.

small signal

$R_{in,CA}$

$R_{out,CA}$

small sign. equiv.

Q4: Explain why (eq. 5b) expresses a good partitioning of the available power budget.
 $eq\ 5b = I_{BIAS} \ll I_Q$

Bu esitsizliğin yorumu şöyledir: I_Q akımı transistör üzerinde geçen akım I_{BIAS} ise R_1 ve R_2 arasıdır. Üzerinde geçen akım

R_1 ve R_2 üvey evlat o bölümde çok akım

gitmesi R_1 ve R_2 üzerinde çok düşük harcamasına

sebep olur. Biz R_1 ve R_2 voltage divider

olarak kullanabiliyoruz. Bu göstermek için

I_Q de I_{BIAS} 'nın olabildiğince düşük tutuluyor.

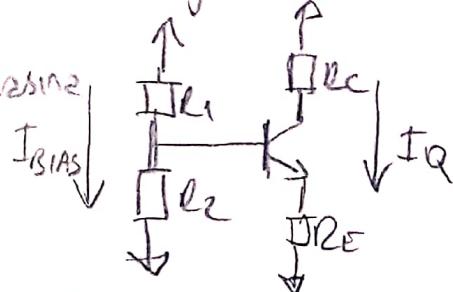
I_Q de I_{BIAS} göre yükseliş bir I_{BIAS}

seçilmelidir. Bu yararlı $BIAS$ akımı büyük olur.

Ancak NMOS de zaten GATE akımı çok küçük olduğundan

$BIAS$ akımı BJT 'ye göre çok daha küçük seçilebilir. Böylece

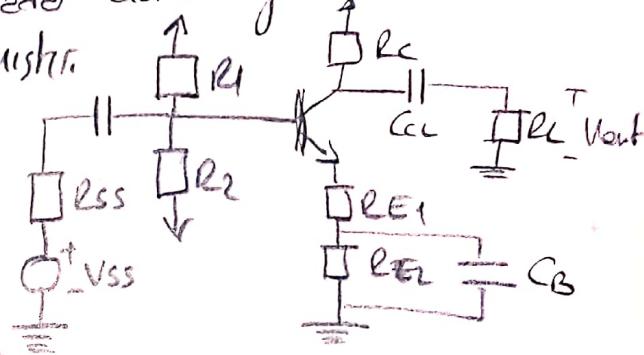
NMOS daha uygun bir power budget sağlar BJT ye kıyasla.



Common Emitter Amplifier Modelled as 2 TCA (brief)

Q6: How do we distinguish between the coupling capacitors $\{C_{CS}, C_{CL}\}$ and the bypass capacitor $\{C_B\}$? Explain.

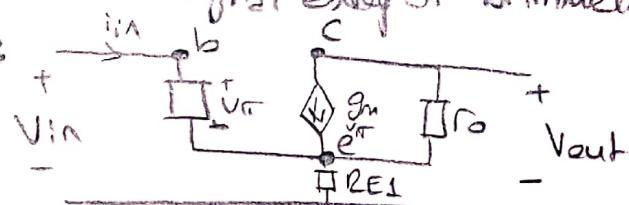
Coupling capacitor, DC blokların ıçın kullanılır. Burada sinyalın DC bilesenleri coupling kapasitörü ile eliminé edilir. Temel enin yüksek geçirgen bir bant oluşturup düşük frekanslı sinyalleri eliminé etmektedir. Bypass kapasitörü ise devrede small signalde direkt gözüken R_E 'nin sadece R_E1 kısımını görerek kazanı artırmak için R_E2 üzerinde kullanılmıştır.



Q7: Why do we not bypass all of the " $R_E1 + R_E2$ " in fig 1? Is $R_E1 \ll R_E2$ true?

Bunu açıklayarak TCA bir şart bir de devre'in small signal esdeğeri bilinmelidir.

Common Emitter small signal devresi:



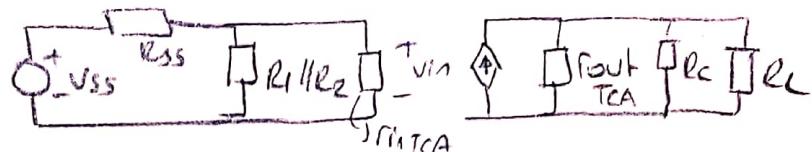
Bir devreye common emitter devresi? Denebilmesi için bu devre'in small signal esdeğeri devresinde giriş ve çıkış gerilimleri emitter düzleminde ortaklaşmamıştır. Bu şartı sağlayan bu durumda giriş ve çıkış portları emitterde ortaklaşmaz. Devre'in ("common emitter" karakteristigini koruyabilmek için R_E2 bypass'ı yapmalıdır. Bu bağlandıkça $R_E1 \ll R_E2$ enin kazanı çünkü aynı o düğümde bir direnç görmek ama olabildiğince küçük bir direnç görmek zaten bypass lama sebebi R_E 'nın küçük kısmı small signal devresine gitseki mümkün olmadığından etsin.

Q8: Would the TCA model like its internal load or external load to get the larger share of the small signal current formed at its output port, "ATCA,vin"? Does the TCA model want to act greedily as its output port?

$$R_{out,TCA} \gg R_C \parallel R_L$$

bu durumda çıkışta akım

$R_C \parallel R_L$ üzerine gidiyor.



$r_{out,TCA}$ akımı üzerinde aktarılmadan çıkış portunda "comet" devresi
olarak $R_C \parallel R_L$ birlikte bir yüksek akımı external load'a yollanır.
Oluş: Bu nedenle birlikte bir yüksek akımı external load'a devrenin dışardan
istirilir. Çünkü iş yapan load \Rightarrow internal load'a devrenin dışardan
göçe izin vermeden çıkışa bileceği kadar gücü vermek yeterlidir.
Geri kalan tüm gücünü external load'a taşımak istirilir.

Q9: Suggest experimental setup through which the impedance " $R_C \parallel r_{out,TCA}$ " can be measured. Explain why $r_{out,TCA}$ cannot be measured directly in an experimental setup practically.

$r_{out,TCA}$ small signal devresinde elde edilen bir değerdir. Small signal devresi ise laboratuvar ortamında kurulabilen bir large signal devredir. Bu devre direkt olarak laboratuvar ortamında kurulamaz. Burada öneşi sudur: Bu özel devre için $r_{out,TCA} \gg R_C$ devre işleyişine
başka bir veriyorsa seçilir bu durumda $R_C \parallel r_{out,TCA} \approx \frac{1}{R_C}$ olur, R_C large signal komponentidir. Böylece laboratuvar ortamında elde edilebilir.
Not: gelir.

Q10: Why would we need a high small signal voltage gain delivering amplifier stage in OPAMPs for example? In a 3-stage OPAMP internal circuitry, which stage would be constructed through an common emitter configuration?

Common emitter konfigürasyonunda high voltage gain, L_C 'nın small signalde büyük değerli, large signalde ise küçük değerli olması ile sağlanır. Bu sağlanabilecek R_C 'yi active load olarak kullanırsınız. Bu yeden yüksek small signaldeki isteyiniz. Small- ve large- signal devrede neredeyse aynı değer olan R_C active load olmaz.

P.S.

Q11: Look up the "to put up with"

to put up with; kalkanmak, dayanmak (to be willing to accept someone or something that is unpleasant or not desirable.)

Q12: Explain how the expression in eq.4 can be obtained through fig 2.

$$\frac{I_{out}}{V_s} \Big|_{max} = \underbrace{\frac{I_{in,TCA}}{R_{in,TCA} + R_S}}_I \cdot A_{TCA} \cdot \underbrace{\frac{R_{out,TCA}}{R_{out,TCA} + R}}_I$$

bu iki term 1.ise max
değerdir.

$$\frac{I_{out}}{V_s} \Big|_{max} = A_{TCA} \xrightarrow{* r_{out,TCA}} \frac{I_{out,TCA}}{V_s} \Big|_{max} = A_{TCA} \cdot r_{out,TCA}$$
$$= \frac{V_{out}}{V_s} \Big|_{max} = A_{TCA} \cdot r_{out,TCA}$$

bulunur.

Q13: Explain why this expression may be called "intrinsic gain" of transistor in small signal operation and in a common emitter/source configuration.

Intrinsic Gain: Bu kazanç ilgili sadece common emitter/source amplifier devresinin mümkün olan en yüksek gerilim kazancını itmektedir. Bu devre input-output portlarının ideal davranışları durumunda maksimum gerilim kazancı olacak bu değer elde edebilir, yatkıncazbilir.

Q14: Look up the verb "to import"

* to import: to communicate information to someone → bildirmek

Q15: Outline and explain in your own words what I am trying to import in these pages concerning the voltage gain for the common emitter stage.

- $R_C = 0$ olmali böylece $\left| \frac{V_{out}}{V_s} \right| \rightarrow \infty$

- Intrinsic Gain → $A_{TCA} \cdot r_{out,TCA}$ tərkib olarak elde edilen max voltage gain.

- R_C verye benzeri impedans dolayısıyla kazancı bu intrinsic gain ten elde edilemez.

Q16: Look up "to conflict", "conflicting"

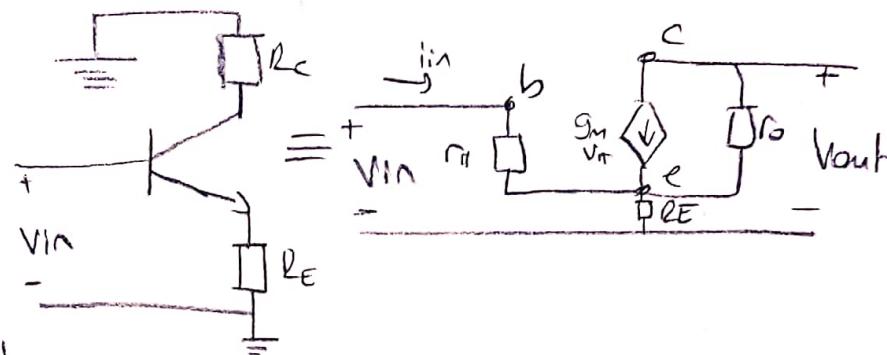
to conflict! Gelişmekte, anlaşmasızlık

conflicting: Gelişmeli, tutarsız.

Q17: Look up "to delve into"

to delve into: Araştırmak, detektlemek

Q18: What are the setups to apply on the boxed subcircuit in fig 1. to be able to compute $\{A_{TCA}, r_{in,TCA}, r_{out,TCA}\}$? How do you compute the parametric expressions in (eqn 1a, b, c) through the indicated setups? Outline calculations.



$$\rightarrow A_{TCA} = \frac{V_{out}}{V_{IN}} \Big|_{V_{out}=0}$$

$$V_e = V_{IN} - V_{IT} \quad KCL \text{ at } e \text{ node} \rightarrow \frac{V_{IN} - V_{IT} - V_{e}}{R_E} + \frac{V_{IN} - V_{IT}}{R_E} - g_m V_{IT} + \frac{V_{IN} - V_{IT}}{r_o} = 0$$

$$-g_m V_{IT} = i_{out} \quad \Rightarrow$$

$$\frac{V_{IN}}{R_E} = \frac{V_{IT}}{r_{\pi} \| R_E \| \frac{1}{g_m}} = -\frac{i_{out}/g_m}{r_{\pi} \| R_E \| \frac{1}{g_m}} \rightarrow \frac{V_{out}}{V_{IN}} = -\frac{g_m}{R_E} \left[\frac{r_{\pi} \| R_E \| \frac{1}{g_m}}{r_{\pi} + \frac{R_E}{g_m}} \right]$$

$$= - \left[\frac{\frac{r_{\pi}}{g_m}}{\frac{r_{\pi}}{g_m} + \frac{R_E}{1+g_m R_E}} \right] \rightarrow A_{TCA} = - \left[\frac{r_{\pi} g_m}{R_E + (1+g_m R_E) V_{IT}} \right]$$

$$\frac{R_E \frac{1}{g_m}}{r_{\pi} + \frac{R_E \frac{1}{g_m}}{R_E + \frac{1}{g_m}}}$$

$$A_{TCA} = \frac{g_m}{1+g_m R_E}$$

$$\frac{V_{IN}}{i_{in}} \Big|_{V_{out}=0} = r_{in,TCA}$$

Note that

$$i_{in} = \frac{V_{IT}}{r_{\pi}} \rightarrow \frac{V_{IN}}{i_{in}} = \frac{V_{IN}}{V_{IT}} r_{\pi} = -\frac{V_{IN}}{i_{out}} \cdot \underbrace{g_m r_{\pi}}_{\beta}$$

$$V_{IT} = -\frac{i_{out}}{g_m} \quad r_{in,TCA} = \frac{V_{IN}}{i_{in}} = -\left[-\frac{r_{\pi} + (1+\beta) R_E}{\beta} \right] \beta = r_{\pi} (1+\beta) R_E$$

$$r_{in,TCA} = \frac{V_{IN}}{i_{in}} \approx -\left[-\frac{1+g_m R_E}{g_m} \right] g_m r_{\pi} \Rightarrow r_{in,TCA} = r_{\pi} \cdot [1+g_m R_E]$$

$$\rightarrow r_{out,TCA} = -\frac{V_{out}}{i_{out}} \Big|_{V_{IN}=0}$$

$$V_e = -V_{IT}$$

$$V_{out} = (-i_{out} - g_m V_{IT}) r_o - V_{IT} \\ = -i_{out} r_o - V_{IT} (1 + g_m r_o)$$

$$-i_{out} \cdot \frac{R_E}{R_E + r_{\pi}} \cdot r_{\pi} = V_{IT} \rightarrow i_{out} (r_{\pi} \| R_E) = V_{IT}$$

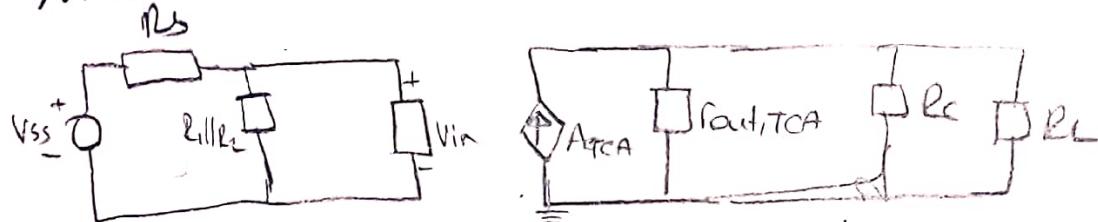
$$V_{out} = -i_{out} \left[r_o + (r_{\pi} \| R_E) (1 + g_m r_o) \right] \rightarrow r_{out,TCA} = -\frac{V_{out}}{i_{out}} \Big|_{i_{in}=0}$$

$$r_{out,TCA} = r_o \cdot (r_{\pi} \| R_E) (1 + g_m r_o) \rightarrow r_{\pi} \gg R_E$$

$$r_{out,TCA} = r_o (1 + g_m R_E)$$

D19: If we have a sinusoidal input signal as V_{in} (in small signal) how will be the representative waveforms at the base and the collector of Q1 in fig 1
 $V_{in} \approx V_{ss}$ V_{ss} ile V_{out} arasında 180° faz farklıdır. Eşitlenenle de
 olur. Giriş ve çıkış impedansları eşittir. Diz ve kollektör
 ise farklılık olur.

Q20: How do we carry out the 2-port modelling for the small-signal equivalent circuit of common source amplifier implemented with an NMOS.



Q21: Why are these typical values important.

Bu değerler devrelinin稳定性 için önemli referans değerleridir.
 Bu değerlerin稳定性 için yapılması kolaylaştırılır.
 Bu değerlerin稳定性 için analiz ve teorik hesaplamaları kolaylaştırılır.
 Çünkü bu değerlerin稳定性 için fazla büyük olmaması
 gerekmektedir. İlerleyen zamanlarda bu değerlerin稳定性 için
 sadelestirmeleri yapmamak, analizi kolaylaştmaya yardımcı
 olabilir.

Introduction to Differential Amplifiers (brief)

Q22: Regarding the DC biasing of transistors $\{Q_{n1}, Q_{n2}\}$, in which case could we perhaps do away with the pair of $\{R_1, R_2\} \{CS\}$ components on both sides accepting V_{in1} and V_{in2}

- Bias edebilmek için baz voltajı sağlanmalı
- Q_{n1} ve Q_{n2} tarafları aynı olmalı es ilki transistor.
- $R_{tail} \rightarrow$ ideal akım kaynağı için uygun değildir.
- R_{tail} değerinin istenildiği gibi artırılabilmesi için devre topolojisi değişmeli.

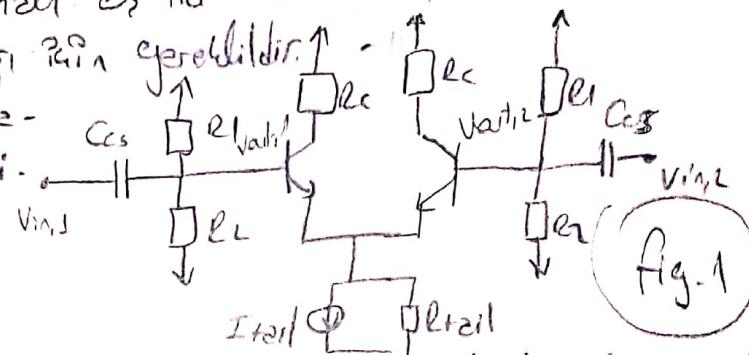


Fig. 1

Differential Amplifier model

Q23: In the setup of fig. 1, why is it true that $\{V_{in1}, V_{in2}\}$ are small signals and $\{V_{out1}, V_{out2}\}$ large signals.

$V_{in1,2}$ gerilimlerinin small signal olma sebebi coupling kapasitörden sonraki devre'nin son elementi olmasındandır. Coupling kapasitor açık devre olursa kayboldur. $V_{out1,2}$ nin large signal olma sebebi ise linear olmayan komponentin varlığından olmasındandır. small signal denkede transistorin 'yeri' yok. (fig 1 inceledi)

Q24: Why is the network consisting of $\{I_{tail}, R_{tail}\}$ called an imperfect current source? describe a circuit implementation for it.

I_{tail} bize small signal modeli sağlıyor. Small信号da DC komponent olan I_{tail} olmayaçapından dolayı. R_{tail} small signal output impedance görevi görür. R_{tail} bu devre için large signalla küçük değerli, small signalla ise büyük değerli empedans oluştur (esdeger olur) $\rightarrow R_{tail}$ bu sebepten active load olarak denir.

Q25: If the voltage of node P is allowed to be modified through the small signal inputs $\{V_{in1}, V_{in2}\}$ does the current through the current source $\{I_{tail}, R_{tail}\}$ change V_{in1}, V_{in2} ile koldular akımlarının DC O.P. değerlerini değiştirecek dehliliklerin her halükarda sabit kalmayı sürdürdüğünü gözlemlendirdi. Kolektör akımlarının sabit kalmasınayla current source'in değişmeyeceğini söyleyebilir.

Q26: Can this aspect NOT be observed to be true if the voltage of node P actually changes, if only slightly via a small amount, by the effects of $\{V_{in1}, V_{in2}\}$?

Evet eger $V_{in1,2}$ arasinda belli bir surekle fark devrelin simetrigini bozarak calismasi engeller.

Q27: Define the vectors ~~$\begin{bmatrix} V_{in1} \\ V_{in2} \end{bmatrix}$~~ and $\begin{bmatrix} V_c \\ V_d \end{bmatrix}$. Can we convert one to the other through Matrix vector product operations.

$$\begin{bmatrix} V_{in1} \\ V_{in2} \end{bmatrix} = \begin{bmatrix} V_c + \frac{V_d}{2} \\ V_c - \frac{V_d}{2} \end{bmatrix} \quad \begin{bmatrix} V_c \\ V_d \end{bmatrix} = \begin{bmatrix} \frac{1}{2}(V_{in1} + V_{in2}) \\ V_{in1} - V_{in2} \end{bmatrix}$$

$$\begin{bmatrix} A_1 & A_2 \\ A_3 & A_4 \end{bmatrix} \begin{bmatrix} V_c + \frac{V_d}{2} \\ V_c - \frac{V_d}{2} \end{bmatrix} = \begin{bmatrix} V_c \\ V_d \end{bmatrix}$$

$$A_1 \cdot \left(V_c + \frac{V_d}{2} \right) + A_2 \cdot \left(\frac{V_c - V_d}{2} \right) = V_c \quad A_1 = A_2 = 1$$

$$A_3 \cdot \left(V_c + \frac{V_d}{2} \right) + A_4 \cdot \left(\frac{V_c - V_d}{2} \right) = V_d \quad A_3 = 1 \quad A_4 = -1$$

$$\begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \begin{bmatrix} V_{in1} \\ V_{in2} \end{bmatrix} = \begin{bmatrix} V_c \\ V_d \end{bmatrix}$$

Q28: Note that these signals are interpreted as small signal. What would having larger amplitude signals for $\{V_c, V_d\}$ bring about for the circuit in fig 1.

V_c ve V_d 'nin büyük gerekli sinjal oldusunu V_{in1}, V_{in2} degisimini ile gereklenir.

$V_c = \frac{V_{in1} + V_{in2}}{2}$ $V_d = V_{in1} - V_{in2}$ oldugundan dusinin de oldusunu.

V_{in1} ve V_{in2} 'nin 0'tmesi ile gereklenir. Simetri bozulmesi ledelerde oldusunu degismez.

Q2g: How this is done is going to be revealed through the analysis of differential and common mode half circuits. Do you think the symmetry in fig.1 should strictly include the equality of the collector resistors R_C if we are concerned with the outputs given as $\{V_{out1}, V_{out2}\}$

Differential mode half circuit

$$\frac{V_{out1}}{V_{in,1}} = -g_m (R_C \parallel r_o) \quad \left. \begin{array}{l} g_{m1} = g_{m2} = g_m \\ r_{\pi 1} = r_{\pi 2} = r_\pi \end{array} \right\}$$

$$\frac{V_{out,2}}{V_{in,2}} = -g_m (R_C \parallel r_o)$$

$$V_{out1} = A_d V_{in,1}$$

$$V_{out2} = A_d V_{in,2} \rightarrow A_d = \frac{V_{out1} - V_{out2}}{V_{in,1} - V_{in,2}}$$

$$R_{in,d} = r_\pi \quad R_{out,d} = R_C \parallel r_o \quad \text{eq. L}$$

Common mode half circuit

$$\text{Common mode voltage gain } A_c = -g_m [R_C \parallel r_o [1 + g_m 2R_{EE}]]$$

$$R_{in,c} \approx r_\pi [1 + g_m 2R_{EE}] \quad \text{eq. 2}$$

$$R_{out,c} \approx R_C \parallel [1 + g_m 2R_{EE}] r_o$$

Q3o: Never mind the parametric expressions of the gains $\{A_c, A_d\}$ for now, what do you think about the signs of these gains? Should each of them be positive or negative?

Bu soru için Q2g eq. 1,2 esitlikleri incelececeldir.

$A_c = -g_m [R_C \parallel r_o [1 + g_m 2R_{EE}]]$ kazancı her durumda negatif deger aldigı görülmeli dir.

$A_d = \frac{V_{out1} - V_{out2}}{V_{in,1} - V_{in,2}} \rightarrow$ Devre galisim prensipleride $V_{out,1,2}$ ve $V_{in,1,2}$ icin tipik degerler biliyor musa

$A_d > 0$ if $(V_{out1} > V_{out2} \wedge V_{in,1} > V_{in,2}) \cup (V_{out1} < V_{out2} \wedge V_{in,1} < V_{in,2})$

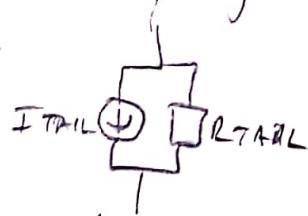
$A_d < 0$ if $(V_{out1} > V_{out2} \wedge V_{in,1} < V_{in,2}) \cup (V_{out1} < V_{out2} \wedge V_{in,1} > V_{in,2})$

olarak yorumlanabilir.

Q31: Is having a big R_{TAIL} associated with how good the utilized tail current source implementation.

Ideale yakın bir ekim keynagi içinde R_{TAIL}'i artirmaya bagli. Current mirror devre parcasinda R_{TAIL} ne kadar boyukse olsada idealde yaklesir orak.

R_{TAIL} direkt olarak small signalde gorunen bir empedans oldugundan deger degisimi done topolojisinin degistirebiler. Topoloji degistirmeden elde edilecegi maximum degeri alin.



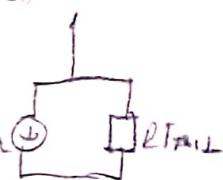
Q32: Again re iterate the reasons for the comments stated in here. Rephrase your best guesses on this aspect.

- Durdurulan current mirror yapisi small signalde gorunur usindir.

Burisinda I_{TAIL} DC komsent gecmenden small signalde

gorulmesi R_{TAIL} small signalde bulunur. Large signalde R_{TAIL}

empedansi dusuk, small signalde ise boyuk olurdu. Bu sayede R_{TAIL} active load gorulur.

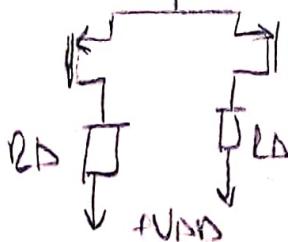
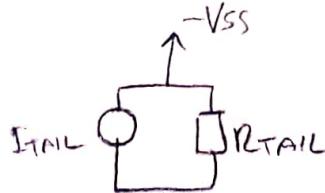
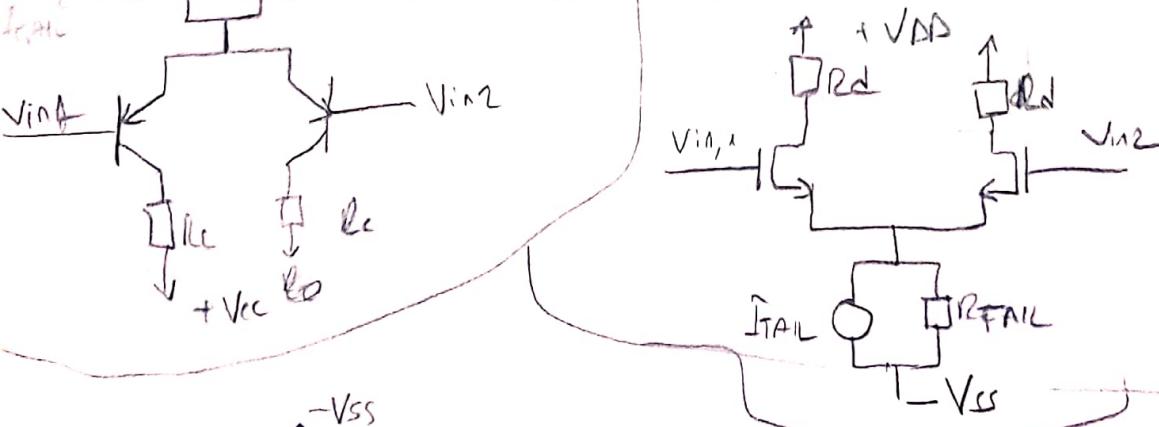


Q33: Answer these Questions

A differential amplifier constructed with pnp transistor.

- See
I_{tail} = $\frac{V_{in1} - V_{in2}}{R_c}$

- A differential amp. constructed with NMOS



PMOS

On the proof of a Virtual GND Node (brief)

Q34: Actually go through the steps of the parametric calculation, and show that $\Delta V_p = 0$

$$\Delta I + I = I_{TAIL} + \frac{V_p + \Delta V_p + V_{SS}}{R_{TAIL}}$$

$$I_{C1} = \frac{I}{2} + g_m [\Delta V - \Delta V_p] \quad I_{C2} = \frac{I}{2} + g_m [-\Delta V - \Delta V_p]$$

$$I_{C1} + I_{C2} = I + \Delta I$$

$$I_{C1} + I_{C2} = -I + 2g_m \Delta V_p = I_{TAIL} + \frac{V_p + \Delta V_p + V_{SS}}{R_{TAIL}} = I + \Delta I$$

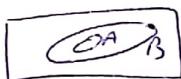
$$\hookrightarrow I = I_{TAIL} + \frac{V_p + V_{SS}}{R_{TAIL}} \rightarrow -2g_m \Delta V_p = \frac{\Delta V_p}{R_{TAIL}} \quad \text{eq. 1}$$

eq. 1'in sağlanması için $y_2 - 2g_m = \frac{1}{R_{TAIL}}$ olmali ki bu olmasa

anterior $g_m > 0$ $R_{TAIL} > 0$ dursa olamaz bu esitlik yalnızca

$\Delta V_p = 0$ için sağlanır.

Q35: Given the statements to the right, the following VENN diagram representation must be true.



Can A and B^c occur simultaneously then? Explain

If the differential amp. is excited by a differential mode small signal input, then

$$\frac{\Delta V_p = \partial V}{\text{Event } B}$$

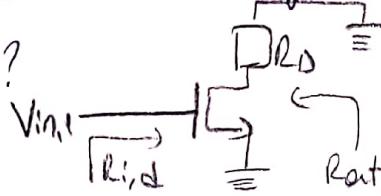
$\{A \text{ and } B^c\} = \emptyset$ yani $\Delta V_p \neq \partial V$ olmasa Event A ile birlikte

Q36: Do we not know how to analyze this circuit in small signal

→ what is $\frac{V_{out,1}}{V_{in,1}} = ?$

→ $R_{in,d} = ?$

→ $R_{out,d} = ?$



$$\frac{V_{out,1}}{V_{in,2}} = -g_m (R_D / (r_{o1} + R_D))$$

$$A_d = -g_m (R_d / r_o)$$

differential mode $R_{in,d} = \sqrt{R_1 \cdot R_2}$

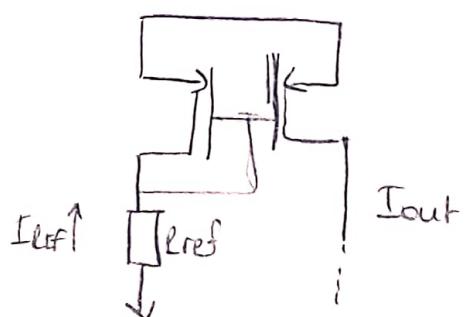
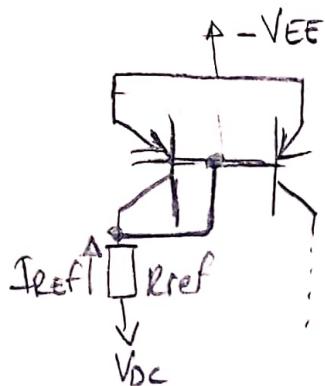
|| " $R_{out,d} = R_D / r_o$

~~Relationship Between the S and the Datasheet~~

~~Q36: Does the transfer~~

Simple Mirrors and Non Ideal Current Sources (brief)

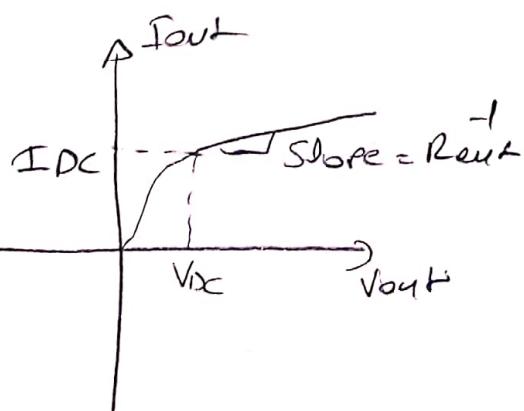
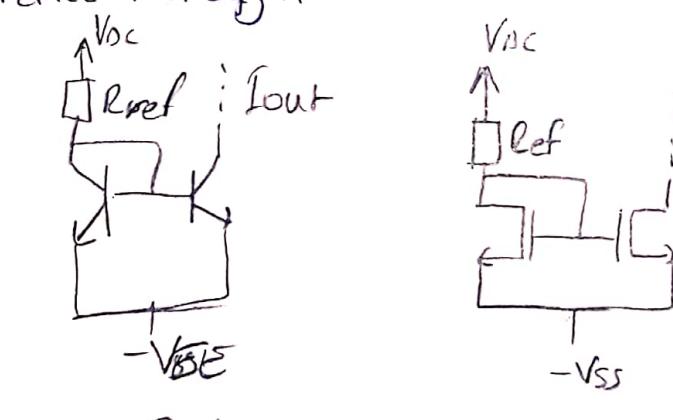
Q37: Draw the circuit diagrams for the simple current separately
mirrors constructed with a pnp BJT and a PMOSFET



current mirror const. with pnp

current mirror const. with PMOS

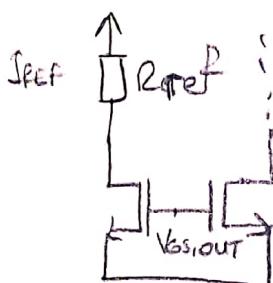
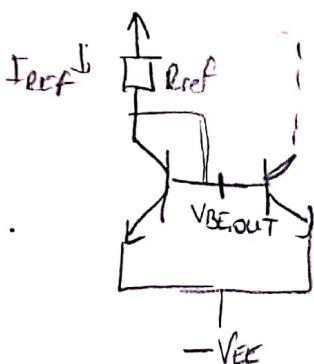
Q38: Show that the characteristic shown in fig 2a is actually that can be obtained through the circuits in either of fig 1.a and b.



Burada npn'in kollektör
gerilimi ile NMOS'un drain
gerilimi I_{REF} ve REF 'in
es olmasıyla esittir. Bu durum
Gate-Base tıkılışına gerilimle
esit olur.

Emitter-Source gerilimleri
de esitsegidigini surece
current mirror $I_{out} - V_{out}$
karakteristiği fig 1'deki
gibidir.

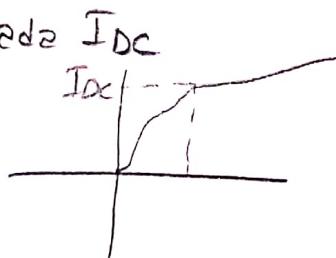
Q3g: The plot in fig 2.2 is valid for fixed $V_{BE,OUT}$ in fig 1.a and for fixed $V_{S,OUT}$ in fig 1.b. How are these voltages able to fixed.



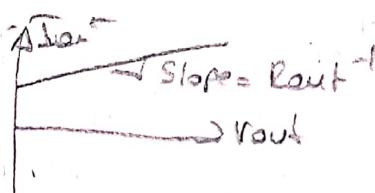
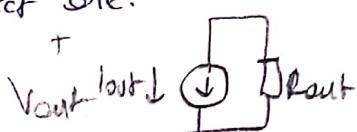
$V_{BE,OUT}$ ve $V_{S,OUT}$ 'un sabitlenmesi
Baz ve Gate'in geriliminin sabitlenmesi
ile gerekli bir şarttır. V_E ve V_S
zaten sabittir. I_{REF} ve R_{ref} sabitlerin
direk olarak gerilim düşüm sabitlerin
bylece baz-gate gerilimleri sabittir.

Q4a: With Q_{out} running into saturation in fig 1.a or with M_{out} running
into triode resistive in fig 1.b. would we have a current source, let's alone
an imperfect one observe fig 2.a and answer.

Burada fig 2.a transistör devreleri görülmektedir. Burada I_{DC}
akımından önce saturasyonda olan hisimde yaklaşık bir grafik
sonrasında ise forward active de olmaktadır. Imperfect bir
tabanın için $I_{out} \neq I_{DC}$ olmaktadır.

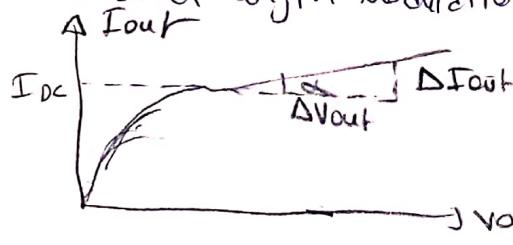


Q4b: Why would $R_{out} \rightarrow \infty$ make the imperfect current source model in fig 3. approx
a perfect one.



Burada $R_{out} \rightarrow \infty$ approx. perfect kaynak oluşturur. Çünkü
 $I_{out}-V_{out}$ grafигinde eğim $\frac{1}{R_{out}}$ 'tur. $R_{out} \rightarrow \infty \Rightarrow \frac{1}{R_{out}} = 0$
Bu nedenle V_{out} değişse de çıkışta sabit olum elde etmek
möglich'tır.

Q42: Why does the I_{out} vs V_{out} characteristic in fig 2.2 entertain the slope denoted by R_{out}^{-1} ? Do the concepts base width modulation and channel length modulation bring something to mind?



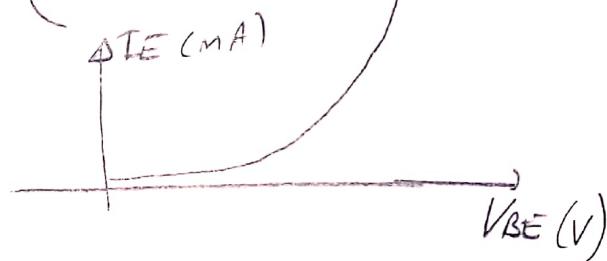
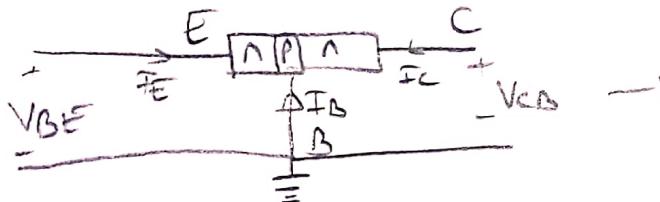
$$\text{Slope} = \tan \alpha = \frac{\Delta I_{out}}{\Delta V_{out}}$$

$$\tan \alpha = \left(\frac{\Delta V_{out}}{\Delta I_{out}} \right)^{-1} \quad \tan \alpha = R_{out}^{-1}$$

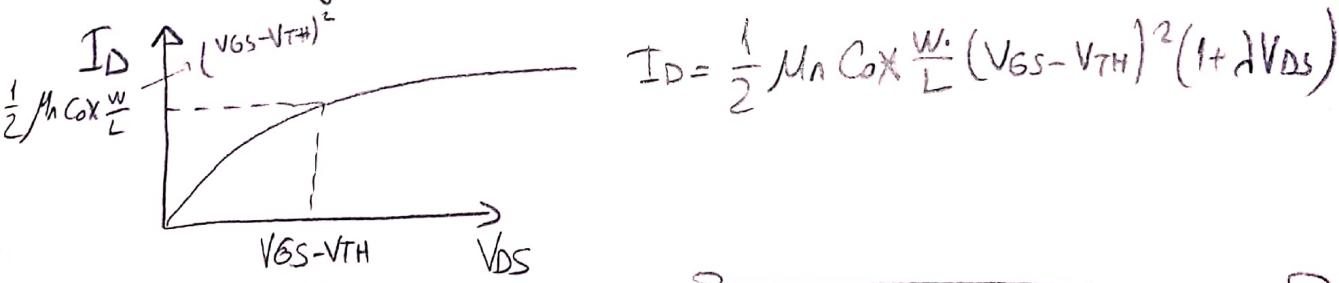
Base width modulation (early-effect)

aktif bölgelerde bias edilmiş transistor

Tüm okşuturulmuş bir nevi olğudur. ($EB \rightarrow$ forward bias, $CB \rightarrow$ reverse bias)



Channel Length Modulation



$$I_D = \frac{1}{2} \mu n C_o \frac{W}{L} (V_{DS} - V_{TH})^2 (1 + \alpha V_{DS})$$

Q43: Could we have R_o as in eq 12.6 go to infinity so as to construct a perfect current source out of transistor implementations as in fig 1.2.6?

Evet R_o small signalda oldukça büyük olursa ve R_{out} large signalsda küçük olursa tıpkı yelken devre elde edilir ve R_{out} active load görevi görür.

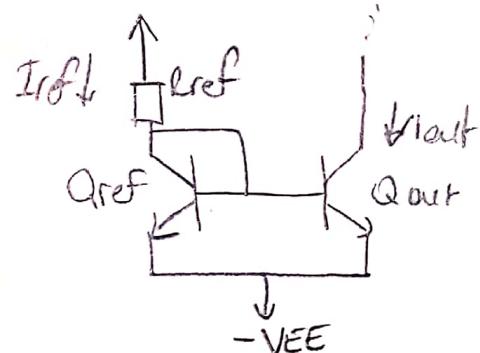
Q44: Do we actually make use of the drastic difference between large- and small-signal impedances in a circuit application.

Evet eğer large signalde çok büyük bir R_{out} , small signalde de yükseliş R_{out} kullanırsak çok active load olur. Bu da topolojimizi uygun durumda tutar.

*Properties of a Simple Current Mirror (brief) *

Q45: In the circuit of fig 1.2, why is it important to have the transistors Q_{ref} and Q_{out} as two instances of the same model, nominally with no mismatch?

Is it true that $V_{BE,out} = V_{BE,ref}$ in this circuit and does this fact bring about the fact that $I_{out} = I_{REF}$ fig 1.2



Q_{ref} ve Q_{out} tam olarak istenilen transistor secilişinde $V_{BE,out} = V_{BE,ref}$ gereklilikler ve fixed edilmiş forward active to gidiştiğin sonucu bu da $I_{out} = I_{REF}$ sağlar.

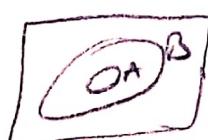
Qubi: If we have two symmetrical DC power supplies $\{+V_{cc}, -V_{ee}\}$ in constructing the circuit that also contains the sub circuit in fig 1.2 with $V_{cc} = -[-V_{ee}]$ why would it be better to have V_{dc} in fig 1.2 as $V_{dc} = \phi V$?

Tamamen simetrik devre kurulurken simetrik devrenin önevinde bahsedilen differential amplifier hâkimdir. Tam simetrik devre girişin negatifini alırsa faziyordan böylece current-mirror görevinin sağlanması sağlanır.

$V_{DC} = \phi V$ ise yine differential amp'ın hâkiradığımız.

Event A: The diff. amp. is excited by a diff. mode small signal input.

Event B: $\nabla V_p = \phi V$



$$\{A \text{ and } B\} = \phi$$

Yani devrenin small signal input degeri DC gerilimin etkisi düşeri tayin eder.

Relation between the s- and jw- Domains (brief)

Q47: Answer these questions

Eğer $V_{BE,REF}$ ve $V_{BE,OUT}$ fixed degerini alabilse forward active modde
Galistigi gosterir

Q48: Answer these questions

$$I_{REF} = I_0 + \frac{2I_0}{\beta} \rightarrow I_0 = \frac{I_{REF}}{1+2/\beta} \rightarrow \frac{I_{out}}{I_{REF}} = \frac{1}{1+2/\beta}$$
$$\beta \rightarrow +\infty \quad \frac{I_{out}}{I_{REF}} = \frac{1}{1+\infty} = 1/1$$

Relation between the s- and jw- Domains (brief)

Q4g: Does the transfer function $H(s)$ in (eq 2) as a surface on top of the S-plane tend to infinite at any value for s ?

$$H(s) = \frac{1}{1 + \frac{s}{\omega_0}} \rightarrow +\infty \quad 1 + \frac{s}{\omega_0} = 0 \quad \frac{s}{\omega_0} = -1 \quad s = -\omega_0$$

$$s = -\omega_0 \text{ ise } H(s) \rightarrow +\infty$$

Q5o: Is it true that $H(s)$ and $H(j\omega)$ contain the same amount of information

Hayır $s = \sigma + j\omega$ olarak tanımlanır.

s bünyesinde hem Magnitude hem phase bilgisini taşıyan compact formdur ancak jw sadece Phase bilgisini taşır. S -alan hem complex sayı hem reel sayıdır.

Q5i: Try to write some MATLAB code to plot for you the complex surface of $H(s)$

1. Trying to plot complex

```
num = input('enter numerator')
den = input('enter the denominator')
h = tf(num,den)
[re,im,freq] = nyquist(h)
re = squeeze(re)
im = squeeze(im)
plot(re,im)
```

2. Trying to plot Bode diagram of transfer func.

```
num = input('enter numerator')
den = input('enter denominator')
h = tf(num,den)
[gm pm wcp wcg] = margin(h)
bode(h)
```

5 Common Terms in Frequency Responses (brief)

Q52: What is the relation between the s-domain and the jw domain?
What are the differences between the graphical representations of
 $\frac{1}{1 + \frac{s}{\omega_0}}$ and $\frac{1}{1 + \frac{j\omega}{\omega_0}}$.

S domainde hem magnitude hem phase alını tabir.
Jw ise sadece phase bilgisi tabir.

$s = \sigma + j\omega$ hem real hem imag part içeri.

$s = \sigma + j\omega$ (without any loss of info)

Applications:

Math tool
Analyze the stability
of the system (whether it is not enough
Routh-Hurwitz criterion, Nyquist criterion
analyze bode Plot etc)

$$s = j\omega$$

APP:

- 1 - Analyze frequency response of a signal
- 2 - Microwave fedco hardware design
- 3 - Analyze systems impulse response
- 4 - Math tool (Parseval's theorem)

Q53: Explain how each of the items in (eq.1) can be interpreted as complex functions of ω .

$$\left\{ A, j\omega, \frac{1}{j\omega}, \frac{1 + j\omega}{\omega_0}, \frac{1}{1 + j\omega} \right\}$$

$$\begin{matrix} x(\omega) & y(\omega) & z(\omega) & V(\omega) \end{matrix}$$

$$\begin{aligned} X(\omega) &= j\cdot \omega & Z(\omega) &= \frac{\omega_0 + j\omega}{\omega_0} \\ Y(\omega) &= \frac{1}{j} \cdot \omega^{-1} & V(\omega) &= \frac{\omega_0}{\omega_0 + j\omega} \end{aligned}$$

Q55: Magnitude and phase of an complex function seem to be sufficient for frequency response characterization. Are there any alternative ways for a full representation of complex function?

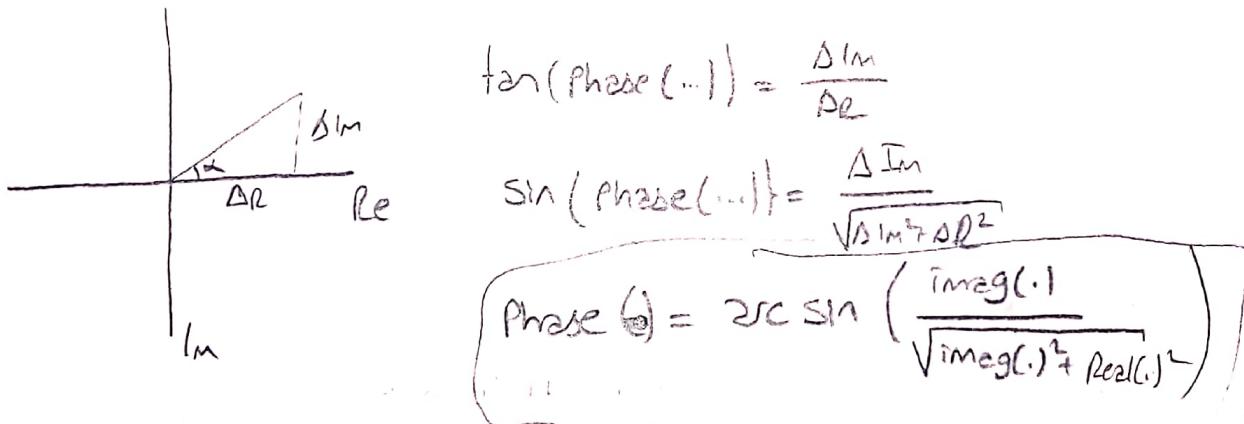
Evet var

Complex representations of Waves (Fourier)

$$f(t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} a_n \cos \frac{2\pi n t}{T} + b_n \sin \frac{2\pi n t}{T}$$

$$a_n = \frac{2}{T} \int_0^T f(t) \cos \frac{2\pi n t}{T} dt$$

Q56: Is there any alternative way to define the phase function? Perhaps again related to approach in eq.2.c. What would be the disadvantages of the eq. (2.c) and its closely related alternative in defining the phase function?



Q57: A mathematical function such as $\log(\cdot)$ should have a unitless input argument. It seems that we do need a reference value through which the input argument of the function definition in (eq.26) can be rendered unitless. What would be the reference value.

Güç miktarları söz konusu ise ören desibel olarak ifade edilir. $\log x$ solda da 10 kat fazla değerlerdeki ifade edilir.

$$L_P = \frac{1}{2} \ln \left(\frac{P}{P_0} \right) \text{NP} = 10 \log_{10} \left(\frac{P}{P_0} \right) \text{dB}$$

Bu yüzden unless güç için değer dB ile ifade edilecektir.

Q58: Why do you think we would like to make use of the logarithmic function
 if $\log_{10}(1) \neq 1$? How do you think the values in a linear scale would appear?
 [10, 10,000,000] Göz genis x aralığında y elde etmek istersede
 bunu \log_{10} fonksiyon ile yaparak analizi kolaylaştırır. Sonrasında belli bir
 * değeri fonksiyona kayıtlarla ilgili y değerleri bulunur.
 lineer bir fonksiyonda [10, 10,000,000] arasında bir grafik incelemek
 Göz szer olacaktır. ancak x eksenin $\log(x)$ olursa $10 \leq x \leq 10,000,000$
 $1 \leq \log(x) \leq 7$ olur. 1 ile 7 arasında grafik oluşturulur. Grafikten
 örneğin gerekli değer geri $y = \log_{10}(x)$ e yazılıarak $10^y = x$ ile
 x bulunur.

Q59: Why do you think it seems like we need a logarithmic axis for representing
 an interval of interest concerning w?
 Göz genis aralıktaki w toplayabilecek için, göz genis frekanslarda
 grafik analizi zor olacaktır. Q58'deki gibi grafik analizi kolaylaştırı,
 $\log(\cdot)$ kullanılır.

Q60: How would you define "decade" in a logarithmic axis with base 10?
 - As a hint, I should tell you that a decade is an interval and a relation must
 exist between the left and right endpoints of this interval.
 One decade is a unit for measuring frequency ratios on a logarithmic
 scale, with one decade corresponding to a ratio of 10 between two
 frequencies → How many decades is it from 3.2 GHz to 6.7 MHz?

$$\log_{10}(6.7 \times 10^6 / 32 \times 10^9) = 2.83 \text{ dec}$$

Q61: Explain why is it true
 Cunku bir logaritma \log negatif bir değer almaz. $\log(x)$ için $x > 0$
 + alebileceği en küçük değer 1'dir.

Q61: Is there no other way that the Bode plots in fig 1a,b could look? What if the constant real value 'A' were negative
 logaritma \log_{10} degeri negatif degere olmasa bu sebepten nutfak degeri koyalur. $20 \log_{10}(|A|)$ $A < 0$ ise $-20 \log_{10}(-A)$ olur.

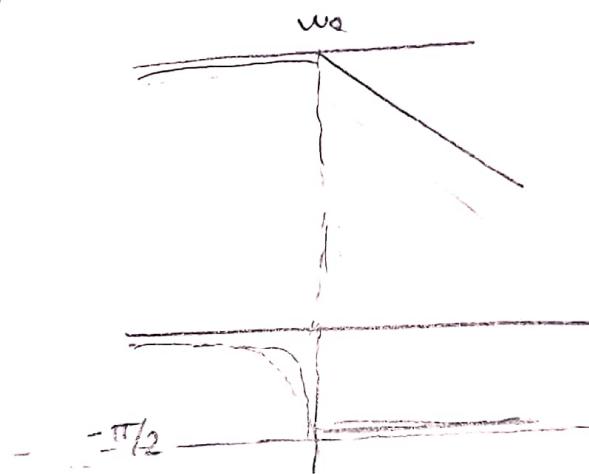
Q62: How many decades does the interval from 1 rad/sec to 100 rad/sec contain? How many ~~not~~ decades can you point out in the interval [1 rad/sec, 100 rad/sec]

$$\log_{10}(100/1) = 2 \text{ //}$$

Q63: Derive the magnitude and phase Bode plots for $H(j\omega) = \frac{1}{j\omega}$

$$-20 \log_{10}(\omega)$$

$$-\text{Phase } (j\omega)$$



Q64: Fig 3.2 demonstrates both the asymptotic and exact magnitude Bode plots for $H(j\omega) = (1 + \frac{j\omega}{\omega_0})^{-1}$. Why is ω_0 in the context also called the half-power freq.

Half-power freq: One of the two values of frequency, on the sides of an amplifier response curve, at which the voltage is $1/\sqrt{2}$ (70.7%) of a midband or other reference value.

The half-power point is the point at which the output power has dropped to half of its peak value, that is, at a level of approx -3 dB

$$10 \log_{10}\left(\frac{1}{2}\right) = 3.01 \text{ dB} \quad 20 \log_{10}\left(\frac{1}{\sqrt{2}}\right) = -3.01 \text{ dB}$$

frequency Response Model for an Amplifier.

Q65: Which 3 of the 5? ↗

$$H(j\omega) = B \cdot \frac{j\omega}{\left[1 + \frac{j\omega}{\omega_L}\right] \cdot \left[1 + \frac{j\omega}{\omega_H}\right]}$$

5 terms in frequency

$$\{A, j\omega, \frac{1}{j\omega}, 1 + \frac{j\omega}{\omega_L}, \frac{1}{1 + \frac{j\omega}{\omega_L}}\}$$

$$1 + (j\omega) = B \cdot j\omega \cdot \frac{1}{\left[1 + \frac{j\omega}{\omega_L}\right]} \cdot \frac{1}{\left[1 + \frac{j\omega}{\omega_H}\right]} \rightarrow 3 \text{ of them are:}$$

$$A, j\omega, \frac{1}{1 + \frac{j\omega}{\omega_L}}$$

Q66: Why does the ~~annotation~~ annotation "DC gain" not seem to fit the meaning A is to represent? Why do we still insist on using "DC gain" to describe " A "

A notasyonu Ama dördüncü frekans seviyelerde gizli bir ω_L ve ω_H tedarik edilebilir. A kullaanılmaz sebebi? İse AC bir giriş sinyaline karşılık geter kazanç elde edilebilir.

Q67: Look up the English Expression "without loss of generality"

without loss of generality: Yapılan varsayımlar probleme yeri kısıtlamalar getirmemesi durumunda kullanılır şebeke.

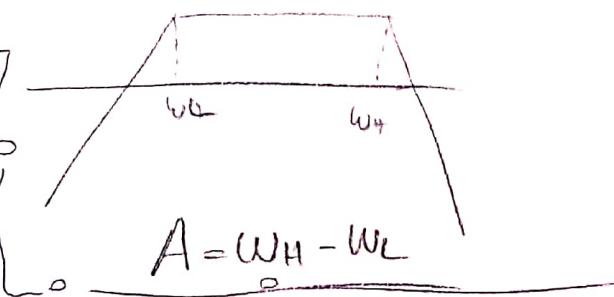
Q68: How do we derive " A " as in eq. 2?

$A = B \cdot \omega_L$ (eq. 2) buada A midband gain bu değer bode diyagramları elde edilebilir.

Q69: How do we derive $\omega_{L,H}$ as in

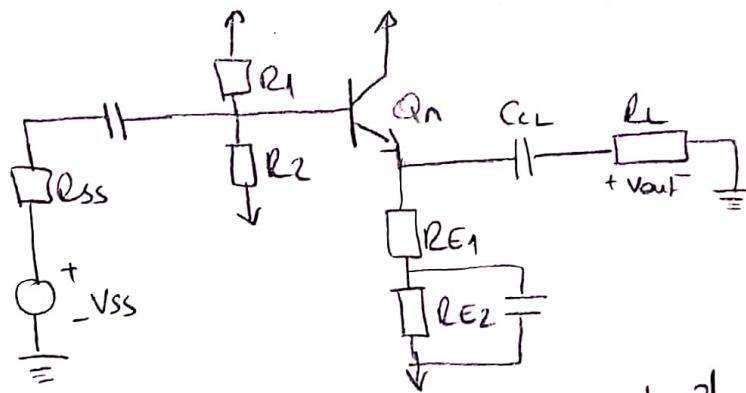
eq. (3.2) ω_L ve ω_H bode diyagramları elde edilir. $-3\text{dB}'e$ karşılık geter

Frekans degeri ω_L olur, $3\text{dB}'e$ karşılık geter ω_H 'dir.



HWTC #06 HINTS

Q1. Sol



Burada bypasslama anlayı R_E 'nin tamamının değil sadece $\frac{1}{g_m}$ kisminin small signalde görünmesini isteyeniz. Bunun bize R_E 'nin tamamını $R_{E1} + R_{E2}$ olarak değiştirmemiz gerekiyor. Bu nedenle R_E 'nin tamamı bypasslanmadı sorusunun cevabı denir. R_E 'nın $\frac{1}{g_m}$ kismini R_E 'nın tamamına代替 etmek gereklidir.

Now bonus Q1: Confirm that these modifications are correct.

- R_{in} would increase
- R_{out} would increase
- A_{VA} would increase

$$R_{in} = \frac{1}{g_m} \left[1 + g_m R_{E1} \right]$$

$$R_{out} = \frac{1}{g_m} \cdot \frac{R_{E1}}{R_{E1} + 1/g_m}$$

$$A_{VA} = \frac{R_{E1}}{R_{E1} + 1/g_m}$$

$R_{E1} \rightarrow R_{E1} + R_{E2}$ yani $R_E \uparrow$

$$R_{in} = \frac{1}{g_m} \left[1 + g_m R_{E1} \right] \xrightarrow{R_E = R_{E1} + R_{E2}} \frac{1}{g_m} \left[1 + g_m (R_{E1} + R_{E2}) \right] = \underbrace{\frac{1}{g_m} \left[1 + g_m R_{E1} + g_m R_{E2} \right]}_{R_{in} + \frac{1}{g_m} g_m R_{E2}} \uparrow$$

$$R_{out} = \frac{1}{g_m} \cdot \frac{R_{E1} + R_{E2}}{R_{E1} + R_{E2} + 1/g_m} = 1 - \frac{1/g_m}{R_{E1} + R_{E2} + 1/g_m}$$

$$A_{VA} = 1 - \frac{1/g_m}{R_{E1} + 1/g_m}$$

$$A_{VA2} = 1 - \frac{1/g_m}{R_{E1} + R_{E2} + 1/g_m}$$

$$R_{E1} + 1/g_m \rightarrow R_{E1} + R_{E2} + 1/g_m \uparrow$$

$$1/g_m / R_{E1} + R_{E2} + 1/g_m \downarrow$$

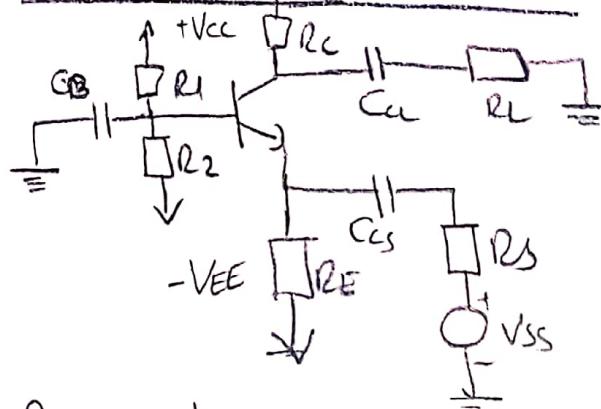
$$1 - \dots \Rightarrow \uparrow R_{out} \uparrow$$

$$\frac{1}{g_m} / R_{E1} + R_{E2} + 1/g_m \downarrow \quad 1 - \dots \uparrow A_{VA} \uparrow$$

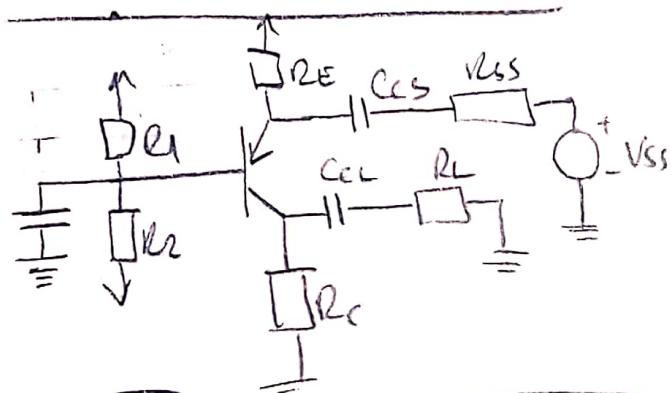
Bu durumda R_E 'nın tamamı small signalde elde edilen R_E 'nın $\frac{1}{g_m}$ kismini daha fazla bypasslama yarar.

Q2.Sol

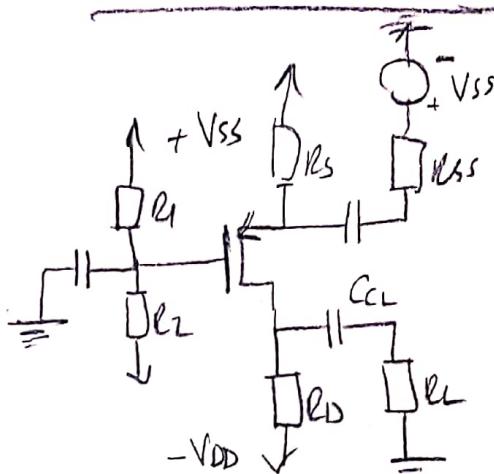
Common Base with NPN



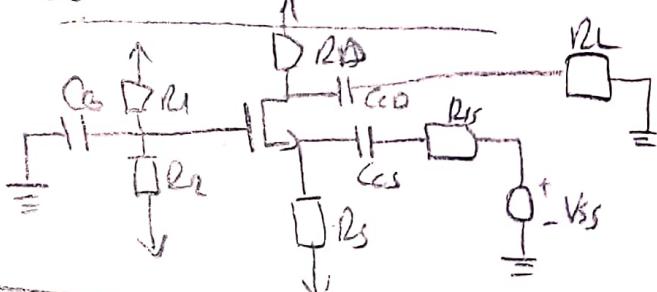
Common Base with PNP



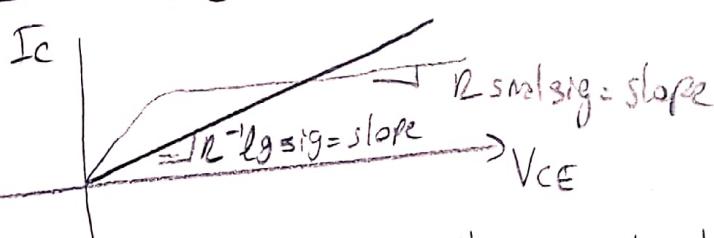
Common Gate with PMOS



Common Gate NMOS



Q3.Sol $I_c - V_c$ characteristic inceleme

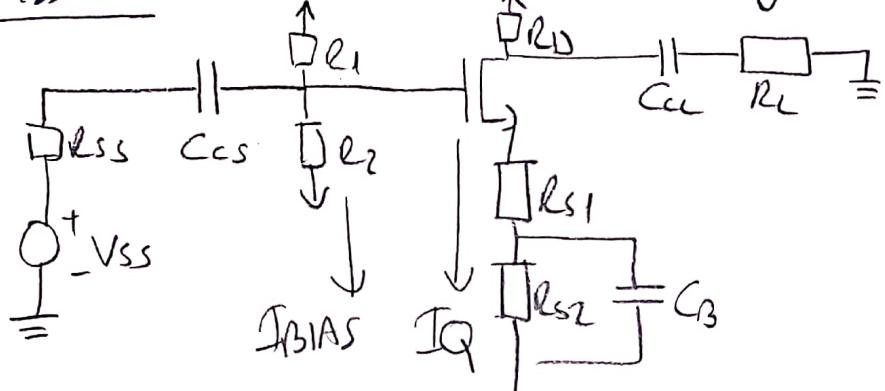


$R_{sm\text{-sig}}$: small signal esdeger empedans

$R_{lg\text{-sig}}$: Large signal esdeger empedans

Bu $I_c - V_c$ karakteristikteki her kusimda dahe dizeslikten $R_{sm\text{-sig}} \ll R_{lg\text{-sig}}$ $R_{sm\text{-sig}} \gg R_{lg\text{-sig}}$
DC OP sonrasindaki her kusimde small signal empedansi dahe yiksek olur.

Q₄₅₅₀ for Common source Config.



$$P_Q = [I_{BIAS} + I_Q][V_{DD} + V_{SS}]$$

Giris sinyali olmasa gerekilen iki adet quiescent (durgun) akım olusur. quiescent akım devrede sadece giris sinyali olmadında olur. Bu iki akımın toplamı tek bir nesne bir yuzde DC.O.P.'ye Q-point de olur.

Atwansıls 01: Why

I_Q yararlı akımlar之外 transistorde olur. Power budget değerine göre I_{BIAS} akımı oldukça düşük olsun isteniz enkaz R_1 ve R_2 üzerinde güç harcamak istemediğiniz elementler. Akının toplu I_Q 'ya gitmesi istenir.

$$P_Q = [I_{BIAS} + I_Q][V_{DD} + V_{SS}]$$