

Bonus HW #02

Abdullah MEMİŞOĞLU

171024001

Q1: For the time being, you might just want to search for the series and shunt types of connections between an amplifier and a feedback network.

Negative feedback amplifier'ların tüm tipleri two port networklerin belirli kombinasyonlarında entegre edilecek elde edilebilecek yapılardır. 4 gesit two port network vardır. Amplifier tipine göre 4 tip two port network bağlantı yapısından biri seçilir.

| Feedback Amplifier tipi | Giriş Bağlantısı | Çıkış Bağlantısı | İdeal feedback | Two port feedback |
|-------------------------|------------------|------------------|----------------|-------------------|
| Current | Shunt | Series | CCCS | 9-param |
| Transresistance | Shunt | Shunt | BCVS | 4-param |
| Transconductance | Series | Series | VCCS | 2-param |
| Voltage | Series | Shunt | VCVS | 1-param |

Q2: Look up the words "intrinsic", "extrinsic", "inherent". Why would the word "inherent" not seem to fit the expression the right?

Intrinsic: Bir şeyin temeli, Bir şeyi o şey yapan en önemli parçası.

extrinsic: Bir şeye dışarıdan gelir, bünyesinde bulunmayan.

Inherent: Bir şeyin doğal olarak bünyesinde bulundurmaması, barındırması.

Intrinsic kelimesi bünyesinde bulundurmaya sağlarken aynı zamanda en önemli parçası, olmazsa olmazı anlamı kattığından ilgili alanda kullanılmıştır.

Q3: Why do you think the indicated interpretation is important for R_{SS} ?

R_{SS} 'in önemi anlamak için eq.2b'yı inceleyelim.

$$\frac{r_{in,VA}}{r_{in,VA} + R_{SS}} \cdot A_{VA} \cdot \frac{R_L}{R_L + r_{out,VA}} = A_{VA, realized}$$

Bu eşitlikte R_{SS} önemi şöyle açıklanabilir;

$A_{VA} = A_{VA, realized}$ eşitliğinin sağlanabilmesi için

$R_{SS} = 0$ ve $r_{out,VA} = 0$ şartı sağlanmalı, $R_{SS} \rightarrow +\infty$ $A_{VA, realized} = 0$ eşitliği gerçekleşir. Böylece R_{SS} değerinin düşük olması istenmektedir.

Q4: Why do you think the input impedance interpretation for R_L is important?

Yeriden eq.2b incelendiğinde $A_{VA, realized} = \frac{r_{in,VA}}{r_{in,VA} + R_{SS}} \cdot A_{VA} \cdot \frac{R_L}{R_L + r_{out,VA}}$

denklemine göre $R_L \gg r_{out,VA}$ durumu önemlidir. Burada R_L , $r_{out,VA}$ 'ya göre çok çok büyükse (örneğin $R_L > 10 \cdot r_{out,VA}$) $r_{out,VA}$ ihmal edilir ve $A_{VA, realized} = A_{VA}$ eşitliğinin 2. şartı sağlanmış olur.

$R_L \ll r_{out,VA}$ olması durumunda ise R_L ihmal edilir. Böylece $A_{VA, realized} = 0$ elde edilir. $R_L \gg r_{out,VA}$ olması istenen durumdur.

Q5: What is a suitable antonym for the word "preceding" that we could use in here instead of "following"?

Preceding: Bir şeyden veya birinden önce varolan, yaşanan.

following yerine preceding'in zıt anlamı olan "consequent" kelimesi kullanılabilir.

consequent: Bir şey sonucunda yaşanan.

Q6: As an exercise for mathematical proofs, conduct contradiction proofs. for confirming that the fractions in (eq 3a,b) must be less than or equal to 1.

for proof $\{r_{in,VA} > 0 \quad R_{ss} > 0 \quad R_L > 0 \quad r_{out,VA} > 0\}$ olduğu biliniyor.
(Direkç değerkleri non-negative olmalı)

★ $\frac{r_{in,VA}}{r_{in,VA} + R_{ss}} > 1 \xrightarrow{* (r_{in,VA} + R_{ss})} r_{in,VA} > r_{in,VA} + R_{ss} \xrightarrow{-r_{in,VA}} 0 > R_{ss} \quad (\times)$
eq.1 $\frac{r_{in,VA}}{r_{in,VA} + R_{ss}} > 1$ $R_{ss} > 0$ olmalı
 $R_{ss} < 0$ için eq.1 sağlanır $R_{ss} < 0$ olamayacağından eq.1 sağlanmaz.

$$\star \frac{r_{in,VA}}{r_{in,VA} + R_{ss}} < 0 \xrightarrow{+ \frac{R_{ss}}{r_{in,VA} + R_{ss}}} \frac{r_{in,VA} + R_{ss}}{r_{in,VA} + R_{ss}} < \frac{R_{ss}}{r_{in,VA} + R_{ss}} \xrightarrow{* r_{in,VA} + R_{ss}} r_{in,VA} + R_{ss} < R_{ss}$$

$r_{in,VA} + R_{ss} < R_{ss} \xrightarrow{-R_{ss}} r_{in,VA} < 0$ Bu eşitsizlik $r_{in,VA} > 0$ olması gerektiğinden sağlanamaz.

$0 \rightarrow b, 1 \rightarrow a$ olsaydı sınır değerkleri olduğu görünmektedir. Bu durumda $0 \leq \frac{r_{in,VA}}{r_{in,VA} + R_{ss}} \leq 1$ eşitsizliği yazılabilir. Sınır değerkleri (a ve b yazılarak) bulunabilir.

★ $\frac{R_L}{R_L + r_{out,VA}} > 1 \xrightarrow{* R_L + r_{out,VA}} R_L > R_L + r_{out,VA} \xrightarrow{-R_L} 0 > r_{out,VA}$
 $r_{out,VA}$ non-negative bir değerk olduğundan eşitsizlik sağlanmaz.

$$\star \frac{R_L}{R_L + r_{out,VA}} < 0 \xrightarrow{+ \frac{r_{out,VA}}{R_L + r_{out,VA}}} 1 < \frac{r_{out,VA}}{R_L + r_{out,VA}} \xrightarrow{* R_L + r_{out,VA}} R_L + r_{out,VA} < r_{out,VA}$$

$\Rightarrow R_L + r_{out,VA} < r_{out,VA} \xrightarrow{-r_{out,VA}} R_L < 0$ şartı gerekli ancak R_L non-negative bir değerk böylece

$0 \leq \frac{R_L}{R_L + r_{out,VA}} \leq 1$ eşitsizliği ekle edilir.

Q7: (eq.4) is the statement of what is called an unconstrained optimization Problem and its solution. The set $\{r_{in,VA}, I_{out,VA}, R_s, R_L\}$ indicates the Optimization Parameters. Search for a systematic method to solve such unconstrained optimization problems. Is there a single extremum the problem in (eq.4)?

Optimizasyon problemleri için bir çok numerik method bilinmektedir. Yaklaşım olarak bilinen ve sıkça kullanılan methodlardan biri de Newton methodudur. Optimizasyon problemleri aynı zamanda türev tabanlı ile de elele edilebilir. Kendi tanımımızla çözecek olursak

$$A_{VA,realized} = \underbrace{\frac{r_{in,VA}}{r_{in,VA} + R_s}}_{f(r_{in,VA}, R_s)} \cdot A_{VA} \cdot \underbrace{\frac{R_L}{R_L + I_{out,VA}}}_{g(R_L, I_{out,VA})}$$

$A_{VA,realized}$ 'in maksimum değeri alması f ve g 'nin maksimum değerlerine bağlıdır. Burada $f'(\dots) = 0$ ve $g'(\dots) = 0$ noktaları fonksiyonların ekstremum değerlerini verir. Her fonksiyonu kısmi türevlerini sıfır olduğu noktada inceleyerek belli sonuçlar elde edilebilmektedir.

$$\frac{\partial f}{\partial r_{in,VA}} = \frac{1 \cdot (R_{in,VA} + R_s) - r_{in,VA}}{(R_{in,VA} + R_s)^2} = \frac{R_s}{(R_{in,VA} + R_s)^2} = 0$$

Bu şart $R_s = 0$ veya $r_{in,VA} \gg R_s$ ile sağlanır. f 'in Max noktaları böylece belirlendi. (Noktalar denemedi)

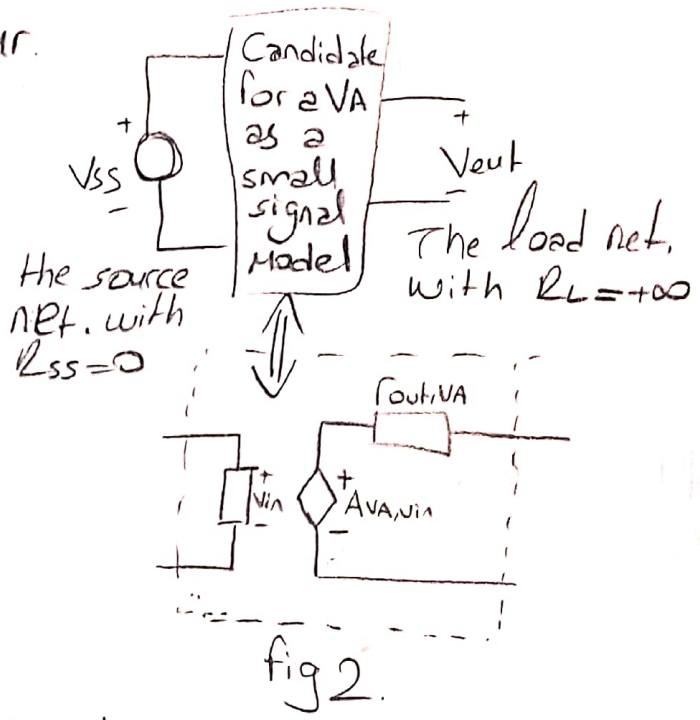
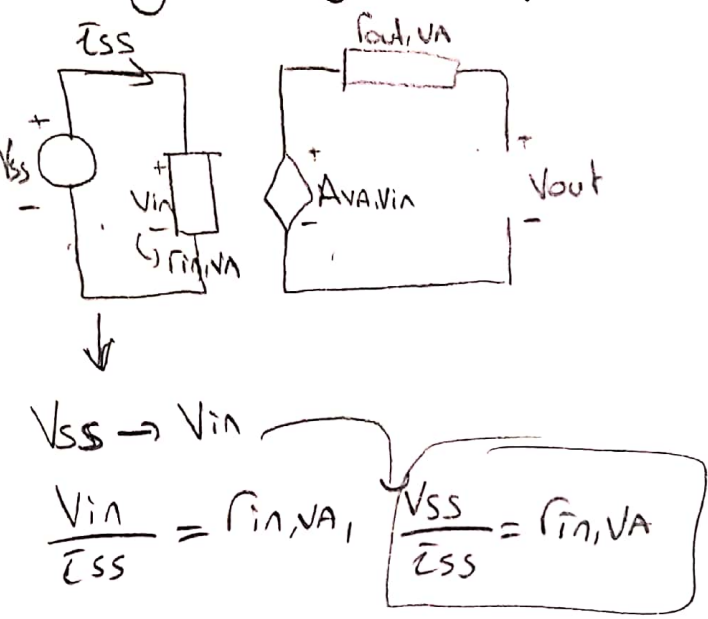
$$\frac{\partial f}{\partial R_s} = \dots \text{ Bize min noktaları verir.}$$

$$\frac{\partial g}{\partial R_L} = \frac{R_L + I_{out,VA} - R_L}{(R_L + I_{out,VA})^2} = \frac{I_{out,VA}}{(R_L + I_{out,VA})^2} = 0$$

$I_{out,VA} = 0$ veya $R_L \gg I_{out,VA}$ şartları bize max noktaları verir.

$$\frac{\partial g}{\partial I_{out,VA}} = \dots \text{ Bize min noktaları verir.}$$

Q8: Show that this is true.
 Burada $r_{in,VA}$ ve $A_{VA,vin}$ formülize edilmştir Bu iki terim elde edilmek isteniyorsa fig 2. setup'i kullanılmalıdır.

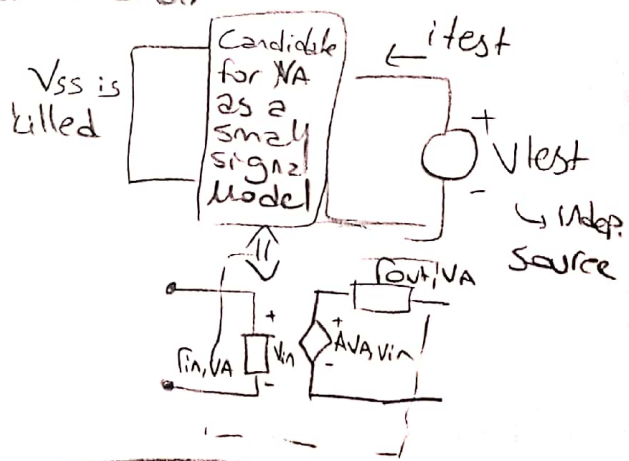
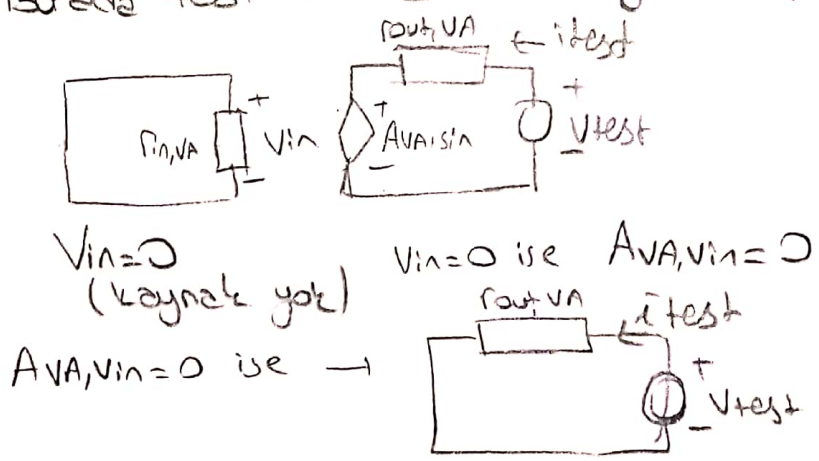


V_{out} open circuit olduğundan $r_{out,VA}$ 'den akım geçmez
 u $r_{out,VA}$ üzerindeki akım geçemeyince gerilim düşümü olmaz.

$V_{ss} \rightarrow V_{in}, \quad A_{VA,vin} \cdot V_{in} = V_{out} \rightarrow A_{VA,vin} \cdot V_{ss} = V_{out}$

$A_{VA} = \frac{V_{out}}{V_{ss}} \rightarrow$ open circuit sayesinde.

Q9: Confirm that this is true.
 Burada test etmek için fig 3 setup'i kullanılmalıdır.



Bu durumda $V_{test} = r_{out,VA} \cdot i_{test} \rightarrow r_{out,VA} = \frac{V_{test}}{i_{test}}$

Q10: Compute the expressions for the other types of gains for the VA of fig1.

Average Power Gain: V_{ss} ve I_{ss} sinusoidal ise

$$P_{avg, out} = V_{out, rms} \cdot I_{out, rms}$$

HWTC #03 Bonus

Q1: Biliriz ki eğer giriş portu tüm gerilimi bünyesinde tutuyorsa acgözlü davranış sergiler, çıkış portu gerilimi üzerine geliyorsa cömert davranışlıdır. Formülize edilmiş hali aşağıda verilen giriş ve çıkış denklemlerini inceleyelim.

$$1-1) \frac{V_{in}}{V_{ss}} = \frac{r_{in, VA}}{R_{ss} + r_{in, VA}} \quad \left\{ \begin{array}{l} \text{Eğer } \frac{r_{in, VA}}{R_{ss} + r_{in, VA}} = 1 \text{ olursa } V_{in} = V_{ss} \text{ olur. Böylece} \\ \text{devrenin tüm gerilimi giriş portunda kalır. Devre} \\ \text{acgözlü olur. Peki hangi şartlarda?} \end{array} \right.$$

$$\frac{r_{in, VA}}{R_{ss} + r_{in, VA}} = 1 \text{ olması için } \left\{ \begin{array}{l} R_{ss} = 0 \text{ ise } (r_{in, VA} = r_{in, VA}) \text{ (ne olursa olsun)} \\ r_{in, VA} \gg R_{ss} \text{ ise } R_{ss} \text{ ne olursa olsun yine 1 olur} \end{array} \right.$$

$$2-1) \frac{V_{out}}{A_{VA} \cdot V_{in}} = \frac{R_L}{R_L + r_{out, VA}} \quad \left\{ \begin{array}{l} \text{Eğer } \frac{R_L}{R_L + r_{out, VA}} = 1 \text{ olursa } V_{out} = A_{VA} V_{in} \text{ olur bu da} \\ \text{giriş çıkış portu geliyor demektir. Devre} \\ \text{cömert davranır. Hangi şartlarda?} \end{array} \right.$$

$$\frac{R_L}{R_L + r_{out, VA}} = 1 \text{ için } \left\{ \begin{array}{l} V_{out, VA} = 0 \text{ ve } R_L = R_L \text{ ise bu şart sağlanır.} \\ R_L \gg r_{out, VA} \text{ ve } V_{out, VA} = V_{out, VA} \text{ ise bu şart sağlanır.} \end{array} \right.$$

HW Bonus Q1.1: How could you show that these two items are true for the 4 types of amplifier models.

Voltage Amplifier

$$A_{VA, \text{realized}} = \underbrace{\frac{r_{in, VA}}{r_{in, VA} + R_s}}_{\text{giriş portu (1 olursa ağ gözlü)}} A_{VA} \underbrace{\frac{R_L}{R_L + r_{out, VA}}}_{\text{(çıkış portu 1 olursa cömert)}}$$

Current Amplifier

$$A_{CA, \text{realized}} = \underbrace{\frac{R_s}{R_s + r_{in, CA}}}_{\text{giriş (Ağ gözlü)}} \cdot A_{CA} \cdot \underbrace{\frac{r_{out, CA}}{R_L + r_{out, CA}}}_{\text{çıkış (Cömert)}}$$

Transconductance Amplifier

$$A_{TCA, \text{realized}} = \underbrace{\frac{r_{in, TCA}}{r_{in, TCA} + R_s}}_{\text{giriş (Ağ gözlü)}} \cdot A_{TCA} \cdot \underbrace{\frac{r_{out, TCA}}{r_{out, TCA} + R_L}}_{\text{çıkış (Cömert)}}$$

Transresistance Amplifier

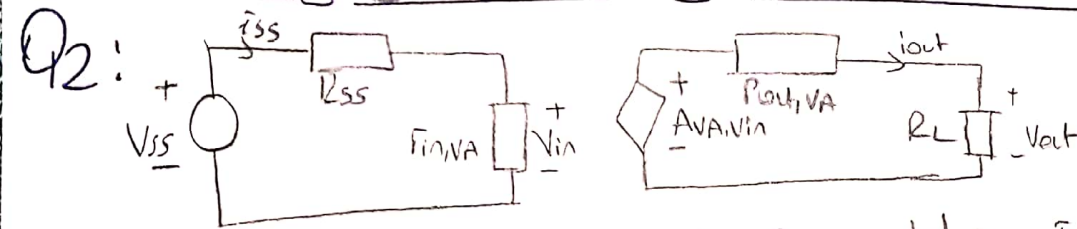
$$A_{TRA, \text{realized}} = \underbrace{\frac{R_s}{R_s + r_{in, TRA}}}_{\text{giriş}} \cdot A_{TRA} \cdot \underbrace{\frac{R_L}{R_L + r_{out, TRA}}}_{\text{çıkış}}$$

Giriş ve çıkış portlarını 1'e eşitlemeyi sağlayan değerler devre ağ gözlülüğüne veya cömertliğine gösteren değerlerdir. Bu sebepten her biri tek tek ölçülmemiştir. Voltage Amplifier'da kullanılan çözümler aynı karakterdeki bu devrelerde de uygulanabilir.

HWBONUS Q1.2: Why does the greediness or self-giving behaviour originate from these two ratios?

eg. 1a $\frac{V_{in}}{V_{ss}} = \frac{r_{in,VA}}{r_{in,VA} + R_{ss}}$ / $\frac{V_{out}}{A_{VA,Vin}} = \frac{R_L}{R_L + r_{out,VA}}$ eq. 1b

Bunun sebebi basta da açıkladığımız gibi kaynak voltajının nerede kaldığı ile ilgilidir. Kaynak voltajı girişte kalıyorsa AGGÖZLÜ davranışta bir devre olur. Eğer giriş voltajı direkt çıkışa aktarılıyorsa CÖMERT davranışta dur. Bunu anlayabilmek için bu iki denklemi kulluyoruz. Denklem 1. 1 olursa tüm kaynak voltajı girişte kaldı demektir. bu da -AGGÖZLÜ davranıştır. Aksi durum Cömert davranıştır. Çünkü kaynak gerilimi çıkışa aktarılır.



2 port VA model yukarıdaki gibidir. Bu model Non-Ideal bir modeldir. İdeallere

etmek için; $A_{VA, realized} = \frac{r_{in,VA}}{r_{in,VA} + R_{ss}} \cdot A_{VA} \cdot \frac{R_L}{R_L + r_{out,VA}}$ denklemlerinden

$A_{VA} = A_{VA, realized}$ eşitliği elde edilmelidir ki ideal devre tanımına uysun
bunun için şartlar;

$\frac{r_{in,VA}}{r_{in,VA} + R_{ss}} = 1$ Normal şartlarda bu şart $r_{in,VA} \gg R_{ss}$ ve $R_{ss} = 0$ için sağlanır ancak iyileştirme yapmamız olmalı için $r_{in,VA}$ ve $r_{out,VA}$ değişmezlerdir. Bu durumda $R_{ss} = 0$ olmalı

$\frac{R_L}{R_L + r_{out,VA}} = 1$ için $r_{out,VA}$ değişmiyorsa $R_L \rightarrow +\infty$ olmalı

Q3: BJT'ler simetrik olmayan yarı iletkenlerdir. Bunun anlamı n-p-n bölgelerinde eş elektron yoğunluğu bulundurmazlar.
Açıklık getirmek adına 2 adet Boundary seçtik.

Boundary 1: Base-Collector depletion regionda base boundary'si

Boundary 2: Base-Emitter depletion regionda base boundary'si

Bu iki boundary kıyaslandığında diyotta olduğu gibi eş elektron konsantrasyonu olmadığı görülür. Emitter elektron yoğunluğu kolektöre göre çok daha fazladır. Peki neden böyle üretilir sorusunun cevabını bu üretim sonucunda ortaya çıkan çalışma bölgelerinden forward active region veriyor. Bu durum sağlandığında;

(Base-Emitter \rightarrow forward bias, Base-Collector \rightarrow reverse bias \rightarrow Req. 1 çalışıyor) sağlanır. Özetleyecek olursak bir npn transistör forward active bölgede çalışsın isteriz. Bu bölgede çalışması için Req. 1 şartlarını sağlamalıdır. Bu şartları sağlanması için ise simetrik olmayan yapıda üretilmiştir.

Q4: 2 diyot arka arkaya bağlanarak BJT elde edilemez çünkü -

1-) Diyot katkulanması n-p bölgelerinde eşittir. Ancak BJT'de farklı yoğunlukta katkulanması yapılmalıdır.

2-) BJT'de 3 bölge boyutu farklıdır. Kolektör > Emitter > Baz. Ancak uc uce eklenen diyotlar 3 eş parça bölge boyutu oluşturunca