

Hw Bonus #03

Abdullah MEMİŞOĞLU

71024001

4.1.1

- DC Biasing example for a diode write-up

Q1: Look up the english expression "to be amenable to"

"to be amenable to" → yetkin, istekli

Q2: Solve for I_D through (eq4.b) and the fixed point iteration method.
An initial guess for I_D could be 1mA. If the method leads you to divergence try another initial guess.

$$f(I_D) = \frac{V_{DC}}{R} - \frac{V_T}{R} \ln\left(\frac{I_D}{I_S}\right) = I_D \quad \text{fixed point iteration}$$

$$V_{DC} = 2V, R = 1k\Omega, I_S = 10^{-13}A, V_T = 25mV$$

$$I_{D1} = \frac{2}{10^3} - \frac{25 \times 10^{-3}}{10^3} \cdot \ln\left(\frac{10^{-3}}{10^{-13}}\right)$$

$$I_{D1} = 1.424 \times 10^{-3} A$$

$f(I_D) = I_D$ olacak şekilde

$$f(I_D) \text{ sec } \forall I_{D0} = 1mA \\ \text{olsun } I_{D2} = f(I_{D0})$$

$$I_{D2} = 2 \times 10^{-3} - 25 \times 10^{-6} \ln(1.424 \times 10^{-3} \cdot 10^{13}) = 1.4155 \times 10^{-3} A = I_{D2}$$

$$I_{D3} = 2 \times 10^{-3} - 25 \times 10^{-6} \ln(1.4155 \times 10^{-3} \cdot 10^{13}) = 1.4156 \times 10^{-3} A = I_{D3}$$

$$I_{D4} = 2 \times 10^{-3} - 25 \times 10^{-6} \ln(1.4156 \times 10^{-3} \cdot 10^{13}) = 1.4156 \times 10^{-3} A = I_{D4}$$

son 4.1.1 iterasyon 3 enzamli basamak kadar yakinsadiginden
 I_D alamına 1.4156 mA degerine yakinsadigi söylelebilir

$$I_D = 1.4156 \times 10^{-3} A$$

Q3: Solve for I_D through (eq.42) 1mA could be an initial guess.

Aynı problem bir de Newton's Method ile çöz.

$$f(I_D) = V_D - V_T \ln\left(\frac{I_D}{I_S}\right) - RI_D = 0, \frac{d}{dI_D}(f(I_D)) = -V_T \cdot \frac{1}{I_S} \cdot \frac{I_S}{I_D} - R$$

$$V_T = 25mV, V_D = 2V, R = 1k\Omega,$$

$$I_{D1} = I_{D0} - \frac{f(I_{D0})}{f'(I_{D0})} \Rightarrow I_{D1} = 1 \times 10^{-3} - \frac{\left(2 - 25 \times 10^{-3} \ln\left(\frac{10^{-3}}{10^{-13}}\right) - 1\right)}{-25 \times 10^{-3} \cdot 1000}$$

$$I_{D1} = 1.0169 \times 10^{-3}$$

$$I_{D2} = 1.0169 \times 10^{-3} - \frac{\left(1.0169 \times 10^{-3} - \left(2 - 25 \times 10^{-3} \ln\left(\frac{1.0169 \times 10^{-3}}{10^{-13}}\right) - 1.0169\right)\right)}{\left(-25 \times 10^{-3} \cdot 1000\right)}$$

$$I_{D2} = 1.0334 \times 10^{-3}$$

$$I_{D3} = 1.0334 \times 10^{-3} - \left(\dots \right) = 1.0495 \times 10^{-3} A$$

$$I_{D4} = 1.0495 \times 10^{-3} - \left(\dots \right) = 1.0651 \times 10^{-3} A$$

$$I_{D5} = 1.0651 \times 10^{-3} - \left(\dots \right) = 1.0803 \times 10^{-3} A$$

$$I_{D6} = 1.0803 \times 10^{-3} - \left(\dots \right) =$$

$$I_{D7} = 1.0950 \times 10^{-3}$$

⋮
⋮
⋮
⋮

$$I_{DN} = 1.4156 \times 10^{-3} A \text{ 'e yakınsaması beklenmektedir.}$$

Q4: Examine (eq.2b), and through that one, formulate the problems that are amenable to the utilization of the fixed point iteration Method and Newton's Method.

$$V_{DC} - V_D - R \cdot I_S \cdot \exp\left(\frac{V_D}{V_T}\right) = 0, \quad V_D = V_T \cdot \ln\left(\frac{I_D}{I_S}\right)$$

$$\hookrightarrow V_{DC} - V_D - R \cdot I_S \cdot \exp\left(\frac{V_T \cdot \ln\left(\frac{I_D}{I_S}\right)}{V_T}\right) = V_{DC} - V_D - R \cdot I_S \cdot \frac{I_D}{I_S}$$

$$\Rightarrow \boxed{V_{DC} - V_D - R \cdot I_D = 0} \rightarrow \text{Buradan } f(I_D) = 0 \text{ iken belirleren}$$

f fonksiyonu $I_D = 1mA$ iken yaklaşım uygulanarak Newton's method uygulanır. Newton's Method için f fonksiyonu;

$$f(I_D) = V_{DC} - V_D - RI_D = 0 \rightarrow V_D \approx V_T \cdot \ln\left(\frac{I_D}{I_S}\right)$$

$$\boxed{f(I_D) = V_{DC} - V_T \ln\left(\frac{I_D}{I_S}\right) - RI_D = 0}$$

Ancak fixed point iteration yaklaşımını kullanabilmek için $f(x) = x$ formunda olmalı bu yüzden $g(I_D) = I_D$ 'yi sağlayan g fonksiyonu belirlemelidir.

$$RI_D = V_{DC} - V_T \ln\left(\frac{I_D}{I_S}\right) \Rightarrow I_D = \underbrace{\frac{V_{DC}}{R} - \frac{V_T}{R} \ln\left(\frac{I_D}{I_S}\right)}$$

Erisilen $g(I_D)$ fonksiyon fixed point.

Iteration'a uygundur $x_{n+1} = f(x_n)$ olacak şekilde adım adım $I_D = 1mA$ olacak şekilde iterasyon yapılır.

Q5: Make use of each of the Models in fig.2 and fig.3 and carry out the hand calculations to solve for the DC O.P. of the diode in fig.1. Is the DC O.P. computed through the Model in fig.3 close to that computed through (eq.1) via either the iter. or Newton's method?

for fig 2.

$$V_D \rightarrow 0, V_D \approx V_T \ln\left(\frac{I_D}{I_S}\right) \Rightarrow 0 = \ln\left(\frac{I_D}{I_S}\right) \rightarrow I_D = I_S = 10^{-13} A$$

for fig 3.

$$V_D = 0.7V, 0.7V = 25 \times 10^{-3} \ln\left(\frac{I_D}{10^{-13}}\right) \Rightarrow 28 = \ln\left(\frac{I_D}{10^{-13}}\right) \Rightarrow 1.4462 \times 10^{12} = \frac{I_D}{10^{-13}} \rightarrow I_D = 0.14462 A$$

for eq.1 (our calculation)

$$I_D = 1.4156 \times 10^{-3} A$$

$$V_D = 25 \times 10^{-3} \cdot \ln\left(\frac{1.4156 \times 10^{-3}}{10^{-13}}\right) = 0.584 V = V_D$$

- DC Biasing of BJT write up

Q6: In (eq.9), why not make use of a factor of 5, why not use 100? The second part more difficult to answer.

$I_{E1}, I_{E2} \approx 20 I_B$ olmali neden 5! veya 100 olamayacegi? Bu esyle coklabilir. Ornek sefupta $I_C = 2mA$ ve $\beta = 200$ icin $R_E = 500\Omega$ $R_C = 2.5k\Omega$ bulunmustur. Bu devrede $I_{E1} \approx I_{E2}$ olmasi için $I_{E1}, I_{E2} \gg I_B$ olmalidir. Bu durumda



Aç. Sekil 1'de $I_{E1} = I_{E2}$ oldugu gorunur. Bu eslik bize R_1 ve R_2 'nin voltage divider görevi gordugunu gosterir. Devrenin voltage divader olmasi icin $R_1, R_2 \gg R_C$ olmali yani

R_1 ve R_2 MOL seviyelerinde olmamali aracta R_C 'den en az 10 kat büyük olmali $20 I_B$ yerine $100 I_B$ deirse;

$$R_1 + R_2 = \frac{12}{5 \cdot 20 \mu A} = 12k\Omega \text{ dir. } 12k\Omega \gg 2.5k\Omega \text{ boylece } R_C \text{ seviyelerinde kalar ve Voltage divider görevini kaybeder.}$$

Q7: For the DC bias circuit of fig.1, I would like to have a sufficient voltage swing on R_E when the output voltage waveform is to be obtained at the emitter mode of Qn. How should I design the circuit, given the following specifications? $\beta = 400$, $V_{cc} = 12V$ $I_c = 5mA$, $-V_{ee} = 0V$

$$\frac{I_c}{\beta} = I_B = \frac{5mA}{400} = \boxed{I_B = 12.5mA}$$

$$V_{BE} = 0.7V$$

$$V_{CE} = 6V$$

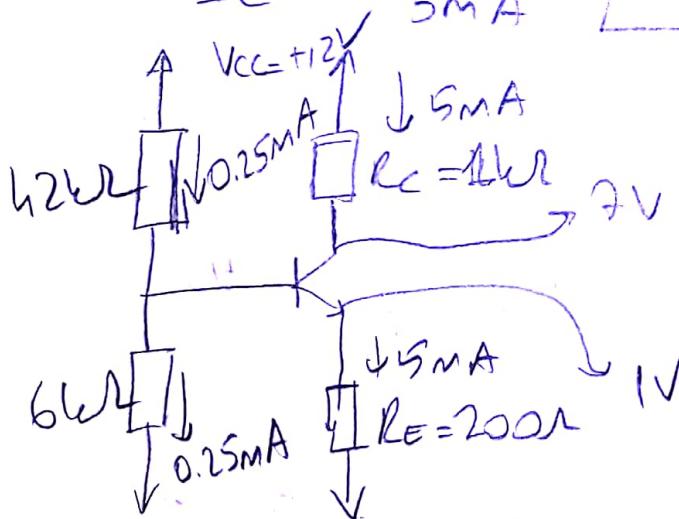
$$V_{RE} = 1V$$

$$I_{R1}, I_{R2} \approx 20 \times I_B = 250mA //$$

$$R_1 + R_2 \approx \frac{V_{cc} - (-V_{ee})}{I_{R1}, I_{R2}} = \frac{12V + 0V}{250mA} \Rightarrow \boxed{R_1 + R_2 \approx 48k\Omega}$$

$$I_c = 5mA = I_E \quad R_E = \frac{V_{RE}}{I_E} = \frac{1V}{5mA} = \boxed{200\Omega = R_E}$$

$$R_C = \frac{V_{cc} - V_C}{I_c} = \frac{12V - 7V}{5mA} = \boxed{1k\Omega = R_C}$$

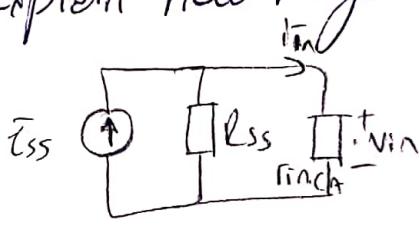


$$\frac{48k\Omega}{8} \cdot 7 = R_1$$

$$\frac{48k\Omega}{8} \cdot 1 = R_2$$

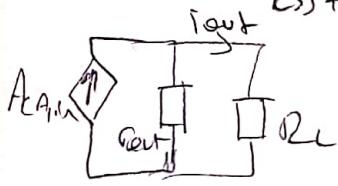
- Current Amplifier Model - Write up

Q8: The RHS expressions in (eq 2a, c) are current divider ratios. Explain how they are derived.



Parallel bağlı i_{in} direnci ve ıss kaynağından akım bölgüsü devresinde r_{in,CA} direnci üzerinden geçen akım su şekilde bulunur.

$$\bar{i}_{in} = \frac{R_{ss}}{R_{ss} + r_{in,CA}} \cdot i_{ss} \text{ olarak verilir. Eq. 2a'da } \frac{\bar{i}_{in}}{i_{ss}} = \frac{R_{ss}}{R_{ss} + r_{in,CA}}$$



Aynı tip devre TCA

$$i_{out} = \frac{g_{out,CA}}{g_{out,CA} + R_L} \cdot A_{CA,in} \text{ Eq. 2c} \quad \frac{i_{out}}{A_{CA,in}} = \frac{g_{out,CA}}{g_{out,CA} + R_L}$$

Q9: Do the values in (eq. 3a, b) have a current amplifier act as a greedy one at the input port and as a self-giving amplifier at the output port.

$$A_{CA,realized} = \frac{R_{ss}}{R_{ss} + r_{in,CA}} \cdot A_{CA} \cdot \frac{R_{out,CA}}{R_{out,CA} + R_L}$$

$\frac{\bar{i}_{in}}{i_{ss}} = \frac{R_{ss}}{R_{ss} + r_{in,CA}} \rightarrow$ idealde r_{in,CA}=0 olur ve ıss kaynağından gelen tüm akım r_{in} üzerine akar. Giriş portunda tüm akımı r_{in} üzerine getirdiğinden "ağırzı" davranır. \rightarrow 2.1E devre

$$\frac{i_{out}}{A_{CA,in}} = \frac{R_{out,CA}}{R_{out,CA} + R_L} \rightarrow$$
 burada r_{out}→0 olur ve tüm akımı R_L üzerine gelen i_{out}=0 olur burada çıkış portu "çömet" davranışmış olur.

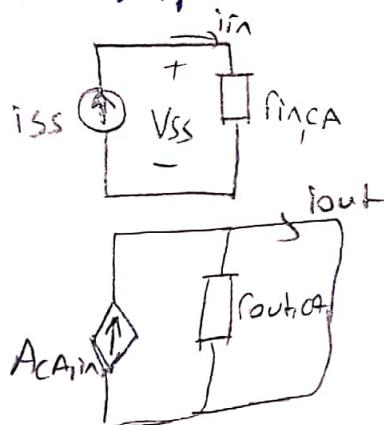
Q10: Do the values in (eq.4a,b) have a current amplifier act greedily at the input end does it have a self-giving behaviour at the output port.

$R_{SS} \rightarrow +\infty$ ve $R_L = 0$ durumunda ise devre karakteristikte değişildik olmayacağından

$R_{SS} \rightarrow +\infty$ (zayıf devre) davranışında akının tümü $i_{in,CA}$ üzerinden akar. Bu davranışlarından dolayı "egozlu"dır.

$R_L = 0$ ise kısa devre davranışında akının tümü R_L üzerinden akar. P_{out} üzerinde akım olmadığı için "çömerl" karakteristiktir. Gelişir.

Q11: Explain how (eq.5a,b) are correct.



$$V_{SS} = \bar{i}_{in} \cdot R_{in,CA}, i_{in,CA} = \frac{V_{SS}}{\bar{i}_{in}} = \frac{\bar{i}_{in} \cdot R_{in,CA}}{V_{SS}}$$

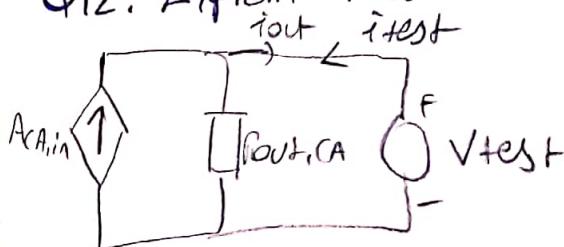
eq.5a

$$A_{CA} = \frac{i_{out}}{V_{SS}} \text{ olduğunu biliyor.}$$

$A_{CA,in}$ kaynakı akının tamamı i_{out} olabileceğiinden

$$A_{CA} = \frac{i_{out}}{i_{SS}} = \frac{A_{CA,in}}{V_{SS}} \text{ yazılabilir. eq.5b}$$

Q12: Explain how the expression in eq6 works.



$$R_{out,CA} = \frac{V_{test}}{\bar{i}_{test}} = \frac{-i_{out} \cdot R_{out,CA}}{\bar{i}_{test}}$$

$$V_{test} = -i_{out} \cdot R_{out,CA}$$

- Common Collector Amplifier Modelled as V_A Write up

99

Q14: Explain why coupling and bypass capacitors in general must be big valued (typically 0.1μF - 100μF).

Bypass ve coupling kapasitörleri aslinda bir amplifier devresinde frequency response'ı göre belirlenmektedir. Bir amplifier devresinde high pass filter görevi gören kapasitörler 0.1μF - 100μF aralığında değer alır. Bu filter görevinde;

Amplifier devresinde filterde 1MHz bandwidth istiyorsak 1μF kapasitor,
 " " 10MHz " " " 0.1μF " kullanınız.

Q15: Explain why coupling capacitors in general must be floating components?

Coupling kapasitörleri transistörün DC bias geriliminin AC giriş sinyali tarafından etkilenmesini önleme amacıyla devrede bulunmaktadır.

Bias gerilimine bağlı olarak doğu sinyalin geçmesi gerekli filtre görevi gören coupling kapasitörü için uygun değer belirlenmelisi gerekmelidir.

Q16: Explain why bypass capacitors do not seem to be necessary in the circuit of fig.1.

common emitter devresinde bypass kapasitor kullanılcık anlayış olsup da devre yapısı için transconductance gain değeri

$$A_{TCA,CE} \approx \frac{-g_m}{1+g_m R_E}$$
 burada R_E ise small signal devresinde görünen R_E pazarlığıdır. R_E direncini R_{E1} ve R_{E2} diyip R_{E2} 'yu bypasslayarak

formülü $A_{TCA,CE} = \frac{-g_m}{1+g_m R_{E1}}$ olarak düzenledik. R_E nin fazla olması kazancı düşürmüştür. Kazancı için small signalde görünen R_E yi düşürdük. Common collector devresinde ise transconductance gain formülüne

$$A_{TCA,CC} = 1 - \frac{1/g_m}{1/g_m + R_E}$$
 formülü ile erisilir. Bu formülde R_E nin artması kazancını artırmaktadır. Bu yüzden R_E nin tanımının

small signalde görünen isterim ki kazancı olabildigince yüksek olsun.

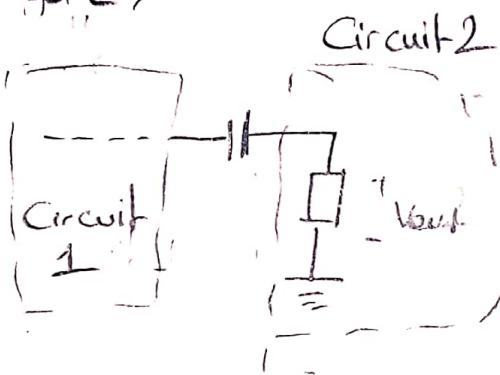
Q17: Explain why C_{CL} might be visualized as subtracting the DC voltage V_E from the large signal voltage of $V_E + V_{out}$.

Coupling capacitor tanımı alegidalii gibidir.

Coupling kapasitörler AC bir sinyalin bir devrede diğer devreye aktarımını yapar bu sırada girişten gelen sinyalde DC sinyallerin girişini engelleyen bir filtre görevi görür. Sadece AC sinyali geçer.

Coupling kapasitorun kapasite değeri ise Pskiller akış frekansına bağlı olarak ayarlanır. 1000 Hz sinyal için 1 μF kapasitor kullanılsın.

Bu tanıma göre;



Circuit 2

C_{CL} kapasitöründe Circuit 1 girişinde $V_E + V_{out}$ olan gerilim
circuit 2 girişinde V_E dir.
 V_{out} gerilisi DC bir sinyal olduğunda,
coupling kapasitörü tarafından bloklanır.

Mister...

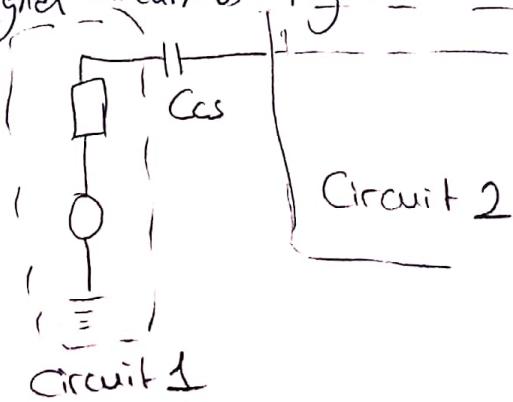
Q18: Explain why $\{C_{CS}, C_{CL}\}$ are approximately represented by short circuits in fig.2.

fig 1. devresinin small signal equivalent devresi fig.2 devresidir.

Bu sonucu cevaplanmak için öncelikle small signal equivalent devre tanımı yapılmalıdır. Small signal equivalent devrede AC bilesen bloymaya cağından tüm sinyaller DC olacak bu yüzden coupling kapasitör olmamalı. Coupling kapasitorun ualrı 222Ω gerilim farklılığı olmamalıdır. Small signal devresinde bu yüzden eşdeğer devrede kırıdevre olarak görürtür.

Q19:

Explain why C_{CS} might be visualized as adding V_{SS} on top of V_B in the large signal circuit of fig 1.

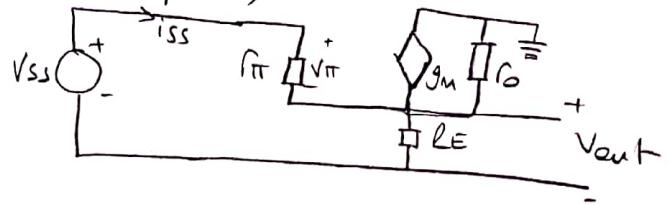


Soldaki large signal devresinde sol kısımda V_{SS} AC sinyali varken ortasında $V_{SS} + V_B$ gerilimi çıkar Q17 ve Q19'dan ortak bir sonucudur. AC giriş ve çıkış sinyalleri ile olusun bu yapı Large signal devresinde NPN kısımlarında coupling kapasitörler sayesinde DC kısımlarla da ilgilendiriyor. BJT bölgesinde DC, OP, değerleri? İse de devre genelinde giriş ve çıkış sinyalleri AC'dir DC değerler bloklanmışdır.

$\sim R_o$ and the circuit in fig 1)

- Q20: Recall that the typical values are $1/g_m = 25\Omega$, $r_{\pi} = 2.5k\Omega$, $R_o = 100k\Omega$. Justify the approximations in (eq. 4c).

$$A_{VA} = \frac{V_{out}}{V_{SS}},$$



$$\frac{V_e}{R_E} + \frac{V_e}{R_o} - g_m r_{\pi} + \frac{V_e - V_{SS}}{r_{\pi}} = 0$$

$$V_o = V_e, \quad V_{\pi} = V_{SS} - V_{CE} = V_{SS} - V_o$$

$$0 = \underbrace{\frac{V_o}{R_E}}_{1/R_E \parallel R_o} + \frac{V_o}{R_o} - g_m(V_{SS} - V_o) + \frac{V_o - V_{SS}}{r_{\pi}}$$

$$\underbrace{V_o \left(\frac{1}{R_E} + \frac{1}{R_o} \right)}_{1/R_E \parallel R_o} - \frac{V_{SS}}{1/g_m} + \frac{V_o}{1/g_m} + \frac{V_o}{r_{\pi}} - \frac{V_{SS}}{r_{\pi}} = 0$$

$$\frac{V_o}{R_E \parallel R_o} + \frac{V_o}{1/g_m} + \frac{V_o}{r_{\pi}} = \frac{V_{SS}}{1/g_m} + \frac{V_{SS}}{r_{\pi}}$$

$$V_o \left(\underbrace{\frac{1}{R_E \parallel R_o \parallel 1/g_m \parallel r_{\pi}}} \right) = \frac{V_{SS}}{1/g_m \parallel r_{\pi}}$$

$$\underbrace{\frac{1}{25} + \frac{1}{2.5k\Omega} + \frac{1}{100k\Omega}}_{\approx \frac{1}{25}} \approx \frac{1}{25}$$

$$\approx 1/g_m$$

$$1/g_m = 25\Omega \text{ ve } r_{\pi} = 2.5k\Omega \text{ ise}$$

$$\frac{1}{g_m} \parallel r_{\pi} = \frac{1}{25} + \frac{1}{2.5k\Omega} \approx \frac{1}{25} = 1/g_m$$

$$\frac{1}{25} \gg \frac{1}{2.5k\Omega}$$

$$\frac{V_o}{R_E \parallel 1/g_m} \approx \frac{V_{SS}}{1/g_m} \rightarrow A_{VA} = \frac{V_o}{V_{SS}} = \frac{R_E \parallel 1/g_m}{1/g_m} = \frac{\frac{R_E \cdot 1/g_m}{R_E + 1/g_m}}{1/g_m}$$

$$= \boxed{\frac{R_E}{R_E + \frac{1}{g_m}} = A_{VA}}$$

Q21: Why is this true?

$$A_{VA} = \frac{R_E}{R_E + \frac{1}{g_m}} \quad 0 < g_m < \infty$$
$$+\infty < \frac{1}{g_m} < 0$$

$$+\infty < R_E + \frac{1}{g_m} < R_E$$

$$\frac{1}{\infty} < \frac{1}{R_E + \frac{1}{g_m}} < \frac{1}{R_E}$$

$$0 < \frac{1}{R_E + \frac{1}{g_m}} < \frac{1}{R_E} \xrightarrow{*R_E} \boxed{0 < \frac{R_E}{R_E + \frac{1}{g_m}} < 1}$$

$$A_{VA} = \frac{R_E}{R_E + \frac{1}{g_m}} \rightarrow \boxed{0 < A_{VA} < 1}$$

Q22: Look up the English word "to attain"

to attain: yetismek, erismek, to reach getting something

Q23: Look up the English words "elusive", "to evade", "reminiscent"

elusive: anlaşılmaz, anlaşılmazıza, difficult to achieve

to evade: cevap vermeden kaçınmak, basından sau mak, to avoid or escape from sth

reminiscent: hatırlatıcı andıran, making you remember a particular thing.

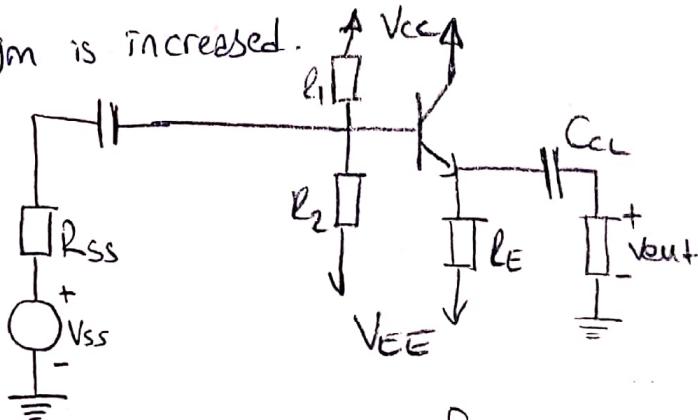
Q24: Look up the English word 'paramount'

paramount: üstün, yüce; more important than anything else.

Q25: Look up the English Expression "involuntary negligence"

involuntary negligence: istenmeli ihmal

- Q26: Is the following outline correct concerning R_E and the circuit in fig 1?
- R_E is increased, - I_E and I_C are decreased, - gm according to the modified DC.O.P of Q_n is decreased.
 - $1/gm$ is increased.



R_E artırsa ne olur? forward active bölgesinde V_{BE} değeri neredeyse sabit. Devre dolayısı ile V_B değeri de neredeyse sabit olacakından V_E değeri yıldızık olarak sabit olacaktır. V_E ve VEE sabit ise

$$I_E = \frac{V_E - VEE}{R_E} \text{ olacakından } R_E \text{ artışı } I_E \text{ azalmasına sebep olur.}$$

$$I_C = \beta I_B \quad I_E = I_C + I_B \quad \beta \gg 10 \text{ olduğundan } I_C \text{ yanında } I_B \text{ ihmal edilir.}$$

$$I_E \approx I_C$$

R_E artışı I_E ve I_C azalmasına sebep olur

$gm = \frac{I_C}{V_T}$ formülü ile verilir. I_C azalması ile gm de azalacaktır.

gm azalırsa $\frac{1}{gm}$ ters orantılı olarak artar.

Bu durumda R_E 'nın artması ile outlined olarak verilen tüm durumlar gerçekleşir.

$$R_E \uparrow \rightarrow I_C, I_E \downarrow \rightarrow gm \downarrow \rightarrow \frac{1}{gm} \uparrow$$

Q27: As relates the account on this page, with the nominal values of $R_E = 2k$ and $I_C = 1mA$, how much does $A_{VA} = \frac{R_E}{R_E + g_m^{-1}/g_m}$ change with a 20% increase in R_E ?

$$A_{VA} = \frac{2000}{2000 + 25} \approx 1,$$

$$g_m = \frac{I_C}{V_T} = \frac{1 \times 10^{-3}}{25 \times 10^{-3}} = 0.04$$

$$\frac{1}{g_m} = 25$$

R_E increases %20

$$A_{VA} = \frac{2400}{2400 + 25} \approx 1,$$

Q28: Does the big value of $r_{in,VA}$ (see eq. 11b) and (eq. 12b)) help us to call the emitter follower a good voltage amplifier? why?

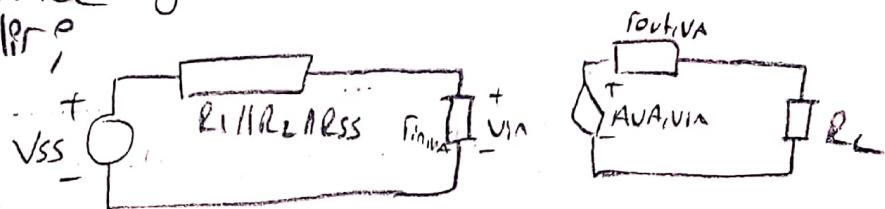
Evet $r_{in,VA}$ degenin büyük olması iyi bir voltage amplifier olduğunu gösterir. Bunun için ideal voltage amplifier incelenmelidir.

$$A_{VA,realized} = \underbrace{\frac{V_{in}}{V_{ss}}}_{\frac{r_{in,VA}}{r_{in,VA} + R_{ss}}} \cdot \underbrace{\frac{A_{VA,VTR}}{r_{in}}}_{A_{VA}} \cdot \underbrace{\frac{V_{out}}{A_{VA,VIA}}}_{\frac{R_L}{R_L + r_{out,VA}}}$$

$r_{in,VA}$ ne kadar büyük olursa $r_{in,VA} \gg R_{ss}$ olduğunda $A_{VA,realized} = A_{VA}$ eşitliği için bir şart yerine getirilmiş olur ve bu eşitlik ideal voltage amplifier için sağlanır. Yani $r_{in,VA}$ ne kadar büyürse amplifier o kadar idealde yaklaşılt.

Q29: What do we need a good voltage buffer for? What does it mean for a stage to be able to drive a small load impedance? In cascading a series of small-signal amplifiers, does a voltage buffer happen to be utilized as the 1st stage, for example?

Pers içinde fig 3.b inceledi. İyi bir voltage buffer aslında iyi bir voltage amplifier in small signal devresidir. Fig 3.b'de de bunu görürüz. Bu durumda iyi bir voltage buffer'da A_{VA} 'nın 1 olması gereklidir. Küçük bir yük impedansı sürdürmek iyi bir buffer elde etmek için gereklidir. Böyle söyle söyleyebilir,



$$\frac{V_{in}}{V_{ss}} = \frac{R_{in,VA}}{R_{in,VA} + R_1 || R_2 || R_{ss}} \cdot \frac{R_1 || R_2}{R_1 || R_2 + R_{ss}}$$

$$\frac{V_{in}}{V_{ss}} = \frac{R_1 || R_2 || R_{ss} || r_{in,VA}}{R_1 || R_2 || R_{ss}} \cdot \frac{R_1 || R_2 || R_{ss}}{R_{ss}} = \frac{R_1 || R_2 || R_{in,VA}}{R_1 || R_2 || r_{in,VA} + R_{ss}}$$

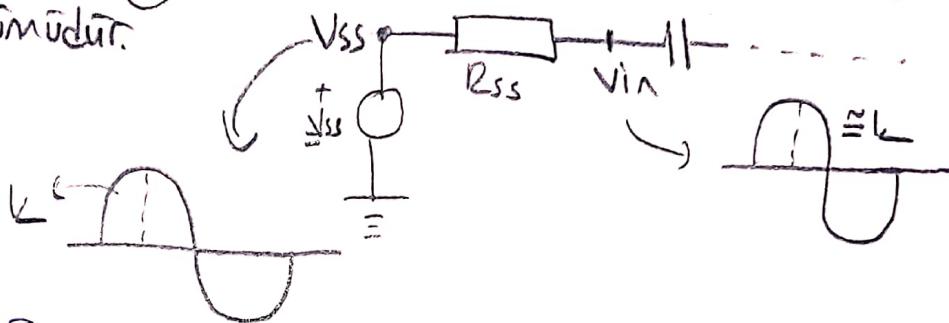
$$\frac{V_{in}}{V_{ss}} = \text{1 olur istenir} \quad \frac{V_{out}}{V_{ss}} = \frac{V_{in}}{V_{ss}} \cdot A_{VA} \cdot \underbrace{\frac{V_{out}}{A_{VA}, V_{in}}}_{\frac{R_L}{R_L + R_{out,VA}}}$$

Burada küçük yük sorusuna Tudele yatan bir voltage amplifier devresi kurulur ($R_L \gg R_{out,VA}$) böylece iyi bir voltage buffer elde edilir.
İyi bir voltage buffer dizayn için ilk adıma $R_{ss} \gg R_{out,VA}$
 $r_{out} = 0 \Omega$ olarak yapılmalıdır.

Q30: Practically, no attenuation in the transition from V_{ss} to V_{in} can usually be observed. Why is that?

V_{ss} te k⁻ gerilikli bir gerilm olusurken V_{in} de k⁻dan d⁺e a⁻sekt

k⁻ derebilecek bir gerilm olusur. Bunun sebebi R_{ss} üzerindeki gerilm düşümüdür.



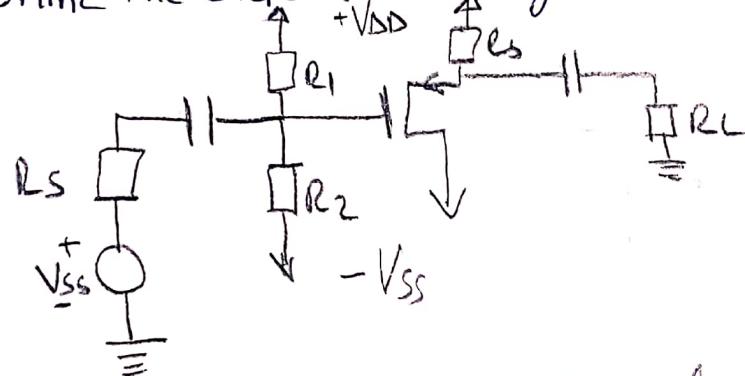
Q31: Look up the english word "cumbersome"

Cumbersome: elverisiz, kullansız, taking a lot of time and effort.

Q32: Explain why the small-signal impedances demonstrated through arrows are to be modelled as grounded impedances.

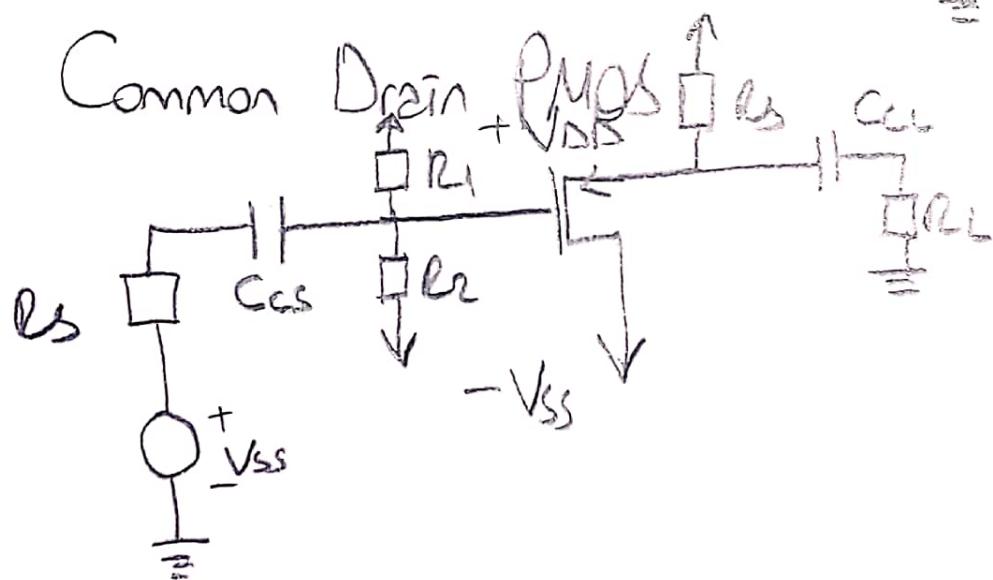
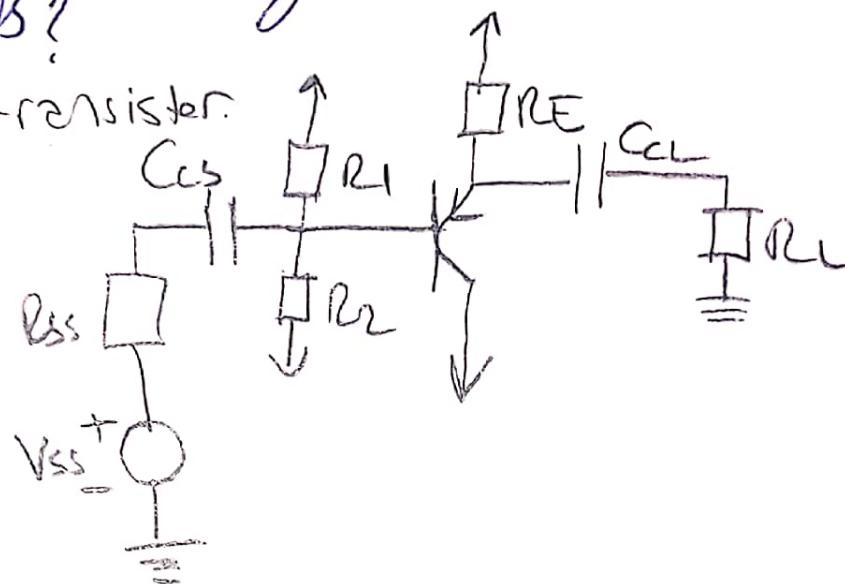
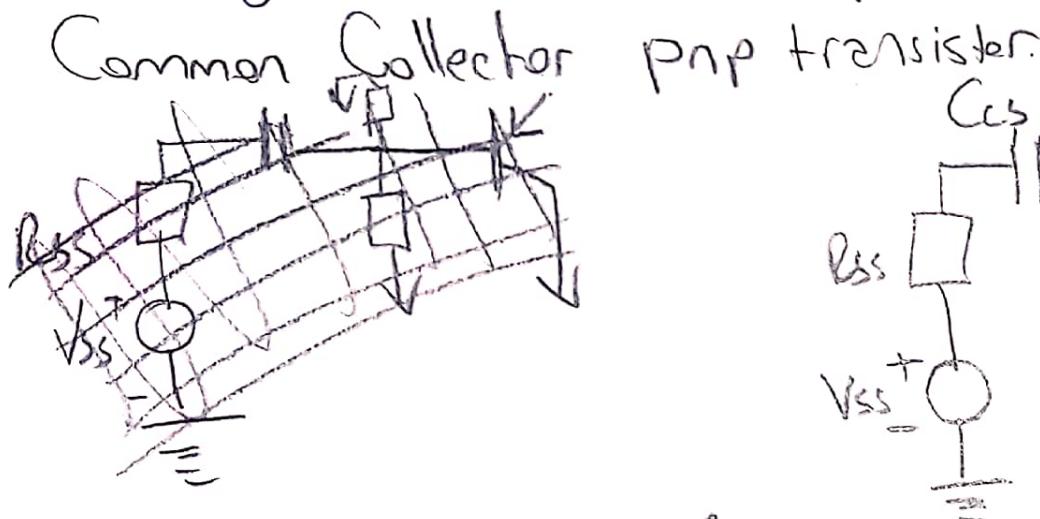
Small signal devresinde elde edilen esdeger direnci degerleri direkt large signal devresine elde edildi. Bu sekilde elde edilme sebebi basit devreyi analiz etmek çok daha kolay olacaktir. Bir dugume $R_1 || R_2 || r_{in,VA}$ yazarak devreyi basit halde birakmak, o dugume üç adet Paralel direnc baglanmasından daha kullanislidir. Devre analizi çok daha kolaylikla yapilir.

Q33: Go through the derivations related to the common drain stage of fig 10
Outline the steps of the analysis.



- ① DC operating point etrafında large signal modelin small signal esdeğeriNP e_{ldc} et
- ② Small-signal esdeğeri devresinde 2-port Model parametleriNP e_{ldc} et.
- ③ Bu parametrelerin boyadilderNP tipik değerlerle, kuyaslayarak devre analiziNP gerçekleştirilecektir.

Q34: How would you construct a common collector stage with a pnp transistor and how would you analyze the resulting circuit? What about a common drain stage built with a PMOS?

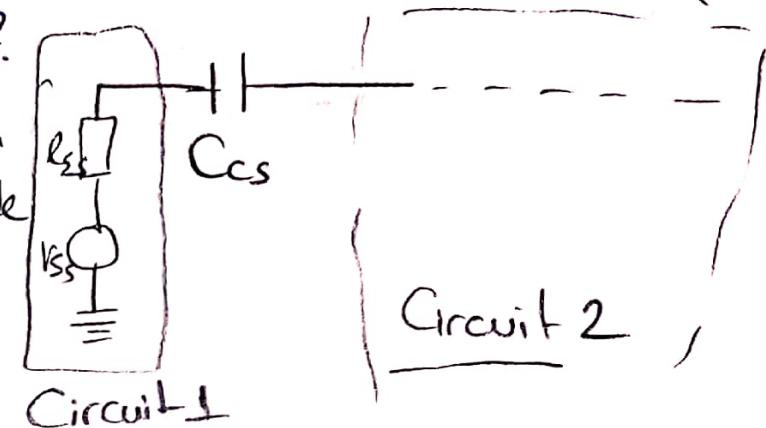


- Common Collector Amplifier Design Examples - Write-up

Q35: It seems that for this particular numerical example, C_{CS} may not be necessary. Can you tell me why?

C_{CS} kapasitörünüzün Circuit 1 tarafından girişinde AC bir V_{SS} sinyali ve R_{SS} üzerinde gerilim düşümü olacak şekilde $V_{SS} - V_{SS}$ bir gerilim olur olacaktır

tarafından
 R_{SS} üzerinde



C_{CS} bir coupling kapasitörü ve girişteki DC gerilimi yok ederek bir durumdedir. $(V_{SS} - V_{R_{SS}}, V_{SS}) \rightarrow (\text{Left}, \text{right})$ burada kapasitörün amacı bu DC sinyali yok etmekdir. Bulunmasına gerek olmama sebebi ise devre P_{in} ın verilen numerik değerlerdir. $R_{SS} = 50\Omega$, $R_L = 10k\Omega$

Bu değerlerde R_{SS} çok düşük bir değer olduğundan $\text{Üzerindeki gerilim düşümü iki}^{\text{inci}} \text{ olduguundan}\text{ gerilim düşümü iki}^{\text{inci}}$ C_{CS} edilebilir düzeyindedir. Bu sebepten C_{CS} olmasa da olur.

$$R_{out,VA} = 12.5\Omega$$

$\text{Kapasitörün bu değerlerin}$

HUJTC #02 Bonus

Q1: What is so special about small-signal amplifiers? Why do we choose to study them during most of the time spent in two courses? Explain outlining the reasons.

Small signal devreler large signal devrelerin basitleştirilmesi, ve lineerleştirilmesi sonucu oluşan devrelerdir. Bu devreler laboratuvar ortamında elde edilemeyecek ancak laboratuvara elde edilen devrelerin eşdeğeridir.

- Belirli bir DC operating point'ıke large signal bir model lineerize edilebilir small signal olarak ifade edilir.
- Lazımcı hesaplaması, giriş-giriş, döner etkileri, devrenin algak veya yüksek gecikmeli olup olmadığı analizi ve negatif feedback analizi devre small signal eşdeğereinde kolayca hesaplanabilir, analiz edilebilir.

Q2: We have a hypothetical two-node device with the current-voltage (I-V) characteristic $I = (V-I)^3$, valid for $V > 1V$. Compute the small signal equivalent circuit for the device, accurate in the close neighbourhood of $V=2V$.

$$I = (V-1)^3 \text{ for } V > 1V$$

$$I(y) = (y-1)^3$$

$$\frac{dI(y)}{dy} \Big|_{y=2V} = 3(y-1)^2 \Big|_{y=2V} = 3A/V$$

$$\bar{z} = \left[\frac{dI(y)}{dy} \Big|_{y=2V} \right] V$$

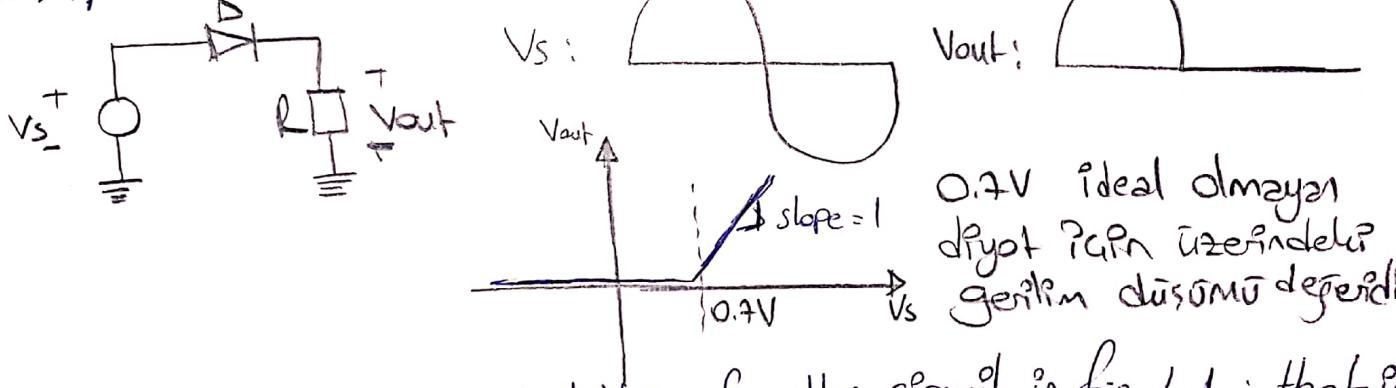
for the small signal values

$$\boxed{\bar{z} = 3V}$$

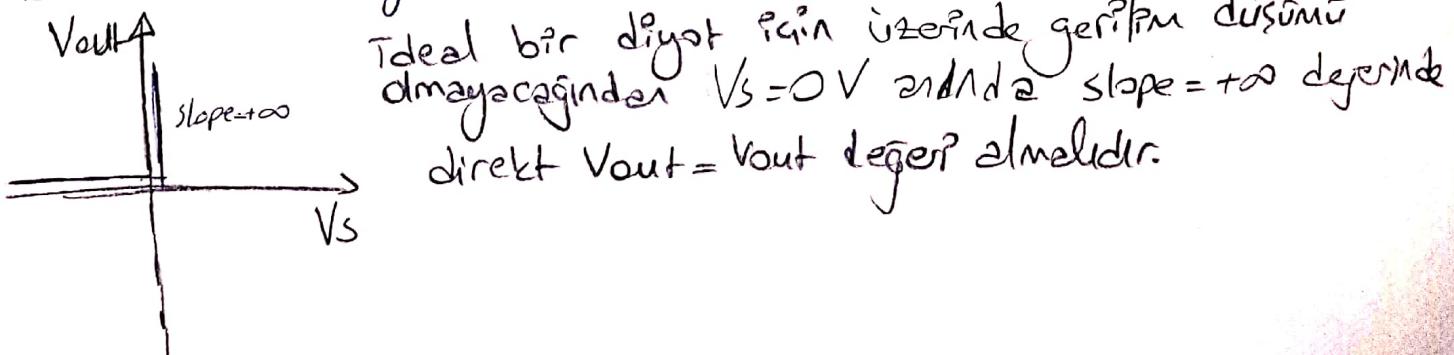
(Q3: Why would be like to have a BJT DC biased at an operating point that positions the BJT in the forward active regime of operation, for that BJT to be utilized as an amplifier in small signal? Explain.

BJT'ın her zaman forward active Modda çalışmasını istiyorsak
Bunun sebebi BJT sadece forward active modda neredeyse sabit
değerlerdir. Örneğin V_{BE} gerilimi diğer regime of operationlarda
devreye bağlı değişirken forward active Modda 0.6V'ı yaktır.
bir değerdir. Alümlar arasında bağıntı sabittir. Forward active modda
çalışan bir BJT'ın small signal esdeğer devresinde $\{g_m, r_i, r_o\}$ bulunur.
Bunlar neredeyse sabit değerlerdir. Bu yüzden forward active mod istiyorsak.

(Q4: Provide an example of a circuit that is constructed with diode(s) for which adherence to a DC operating point is not considered important at all. Explain how the circuit works.



How about What would be ideal VTC for the circuit in fig 4.1 ; that in fig 4.2 is not ideal can you look for and find a circuit that approximates the indicated Ideality?

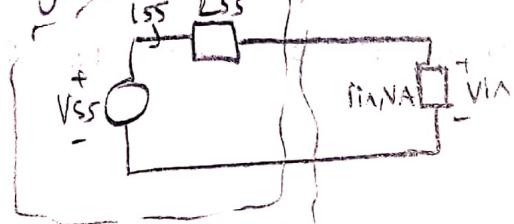


Hw TC #04 Bonus

Q1: You are given a linear amplifier configuration that is said to be a good candidate for a voltage amplifier in small signal operation, but you are not convinced by this suggestion. Outline the procedure to go through if you would like to ensure that the given circuit can be used as a good voltage amplifier after all. Roughly and quickly explain each of the steps in the procedure you come up with.

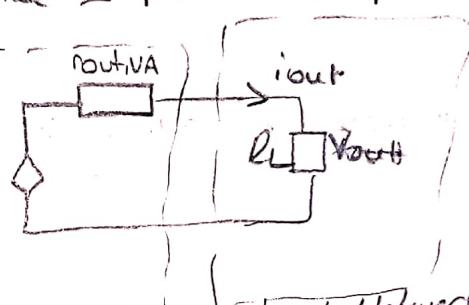
- Once bilde large signal model bir DC operating point ile linearize ediperek devrenin small signal esdeger devresi elde edilecektir.
- Small signal esdeger devresinde 2-port model parametrelerini elde et

voltage amplifier icilisi



Source network

2-Port model



Load Network

Network

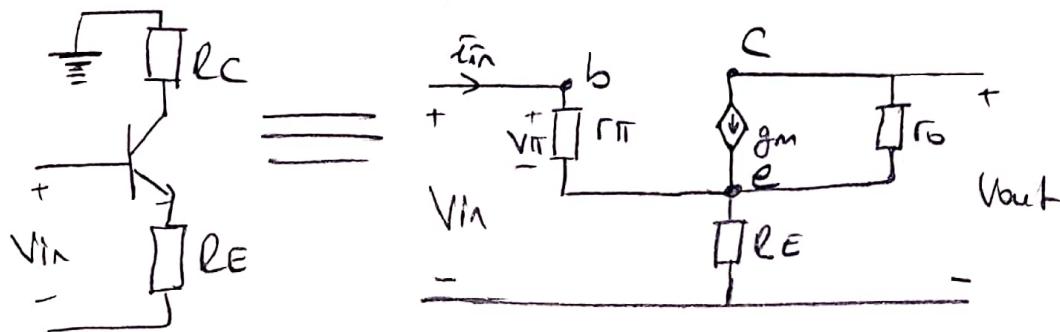
$$AV_{A,realized} = \frac{r_{in,VA}}{r_{in,VA} + R_{SS}} \cdot AV_A \cdot \frac{R_L}{R_L + r_{out,VA}} \quad (\text{ideal VA} \rightarrow AV_{A,realized} = AV_A)$$

A VA degerinden AV_{A,realized}'a yekunsanasi istiyorum istedigim durumlar söyle olmali

$$\frac{r_{in,VA}}{r_{in,VA} + R_{SS}} = 1 \rightarrow r_{in,VA} \gg R_{SS} \text{ veya } R_{SS} = 0$$

$$\frac{R_L}{R_L + r_{out,VA}} = 1 \rightarrow R_L \gg r_{out,VA} \text{ veya } r_{out,VA} = 0$$

Hwbonus 01! What are these two setups, and how do we make use of them to compute the indicated indicated parameters.



$$A_{NA} = \frac{\bar{I}_{out}}{V_{in}} \Big|_{V_{out}=0}$$

$$V_e = V_{in} - V_{pi}$$

Node analysis for e

$$\frac{V_{in} - V_{pi} - V_K}{r_{pi}} + \frac{V_{in} - V_{pi}}{R_E} - g_m V_K + \frac{V_{in} - V_K}{R_o} = 0$$

$R_o \gg V_{in} - V_{pi}$ (bu yüzden sıfır say)

$$-g_m V_{pi} = \bar{I}_{out}$$

$$\frac{V_{in}}{R_E} = \frac{V_{pi}}{r_{pi} \parallel R_E \parallel 1/g_m} = \frac{-\bar{I}_{out}}{r_{pi} \parallel R_E \parallel 1/g_m}, \quad \frac{\bar{I}_{out}}{V_{in}} = -\frac{g_m}{R_E} \left[r_{pi} \parallel R_E \parallel \frac{1}{g_m} \right]$$

$$A_{TCA} = - \left[\frac{\frac{r_{pi} g_m}{1+g_m R_E}}{r_{pi} + \frac{R_E}{1+g_m R_E}} \right] = - \left[\frac{r_{pi} g_m}{R_E + (1+g_m R_E) r_{pi}} \right] \frac{\frac{R_E}{g_m}}{\frac{r_{pi}}{R_E + 1/g_m} + \frac{R_E}{R_E + 1/g_m}}$$

$$A_{TCA} \approx \frac{g_m}{g_m R_E + 1}$$

$$\frac{V_{in}}{\bar{I}_{in}} \Big|_{V_{out}=0} = r_{in,TCA} - r_{pi} = \frac{V_{pi}}{r_{pi}}$$

$$\frac{V_{in}}{\bar{I}_{in}} = \frac{V_{in}}{V_{pi}} \cdot r_{pi} = -\frac{V_{in}}{\bar{I}_{out}} \underbrace{\frac{g_m r_{pi}}{\beta}}_{\beta}$$

$$V_{pi} = -\frac{\bar{I}_{out}}{g_m}$$

$$r_{in,TCA} = \frac{V_{in}}{\bar{I}_{in}} = - \left[-\frac{r_{pi} + (1+\beta) R_E}{\beta} \right] \cdot \beta = r_{pi} + (1+\beta) R_E$$

$$r_{in,TCA} = \frac{V_{in}}{\bar{I}_{in}} \cong - \left[-\frac{1+g_m R_E}{g_m} \right] g_m r_{pi} = \underbrace{r_{pi} \cdot [1+g_m R_E]}_{r_{in,TCA}}$$

r_{in,TCA}

Hw BONUS 01.2

$$R_{out,TCA} = -\frac{V_{out}}{I_{out}} \Big|_{V_{in}=0}$$

$$V_e = -V_T$$

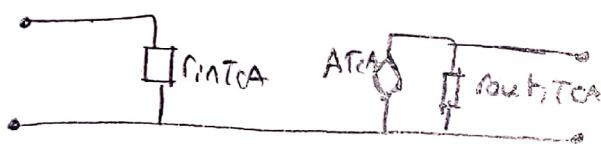
$$V_{out} = (-i_{out} - g_m V_T) r_o - V_T = -I_{out} r_o - V_T (1 + g_m r_o)$$

$$-I_{out} \frac{R_E}{R_E + R_T} \cdot V_T = -V_T \quad I_{out} (R_T // R_E) = V_T$$

$$V_{out} = -I_{out} [r_o + (R_T // R_E)(1 + g_m r_o)]$$

$$R_{out,TCA} = -\frac{V_{out}}{I_{out}} \Big|_{V_{in}=0} = r_o + (R_T // R_E)(1 + g_m r_o)$$

$$R_T \gg R_E \rightarrow R_{out,TCA} = r_o + R_E(1 + g_m r_o) = \underbrace{r_o(1 + g_m R_E)}_{R_{out,TCA}}$$



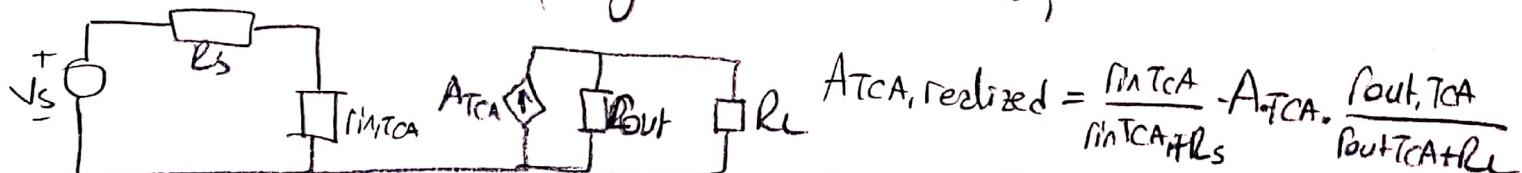
Hw bonus 02: What do we mean by a decently big gain?

Burada decently big terimi karsan idealde yasakligini belirtir ATCA'ın
olabilecegi en büyük deger ATCA, realized dir

ATCA, realized \approx ATCA ise decently big dir.

Hw bonus 03: Why are these questions founded upon the big and big assumptions?
Is this approach standard for any type of amplifier modelling?

$R_{in,TCA}$ ve $R_{out,TCA}$ büyük olmali olsun;



$$ATCA, \text{realized} = \frac{R_{in,TCA}}{R_{in,TCA} + R_S} \cdot A_{TCA} \cdot \frac{R_{out,TCA}}{R_{out,TCA} + R_L}$$

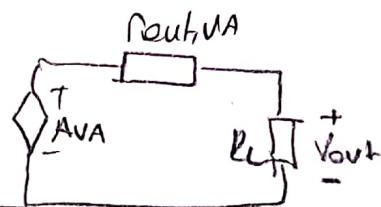
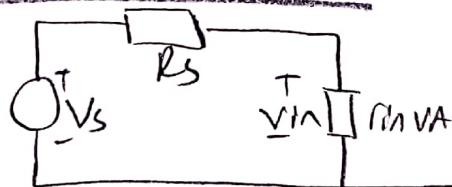
$R_{in,TCA} \gg R_S$ ve $R_{out,TCA} \gg R_L$
olmasi durumunda amplifier devresi?

Ideale yasaklara cevinden dolayı
big-big seviyelidir.

Hw bonus Q4: Answer this question with relevant explanations.

Transconductance amplifier TIA inceleyip $r_{in,TIA} \rightarrow \text{big}$ } $r_{out,TIA} \rightarrow \text{big}$ } bulk

Voltage Amplifier

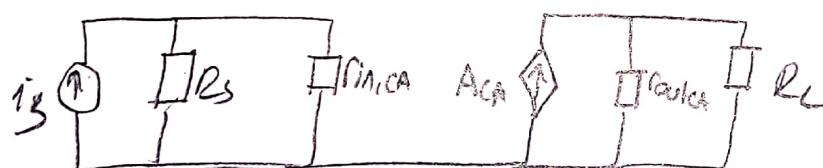


$r_{in,VA} \gg R_s$ or $R_s = 0$
 $R_L \gg r_{out,VA}$ or
 $r_{out,VA} = 0$

$$AV_{A,\text{realized}} = \frac{r_{in,VA}}{r_{in,VA} + R_s} \cdot AV_A \cdot \frac{R_L}{R_L + r_{out,VA}}$$

$r_{in,VA} \rightarrow \text{big}$
 $r_{out,VA} \rightarrow \text{small}$

Current Amplifier

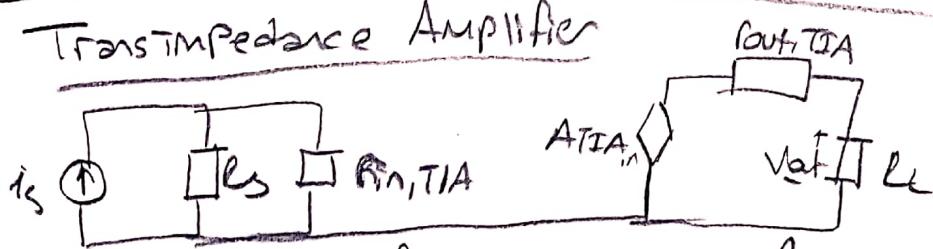


$R_s \gg r_{in,CA}$ or $r_{in,CA} = 0$
 $r_{out,CA} \gg R_L$ or $R_L = 0$

$$AV_{A,\text{realized}} = \frac{R_s}{R_s + r_{in,CA}} \cdot A_{CA} \cdot \frac{r_{out,CA}}{r_{out,CA} + R_L}$$

$r_{in,CA} \rightarrow \text{small}$
 $r_{out,CA} \rightarrow \text{big}$

Transimpedance Amplifier



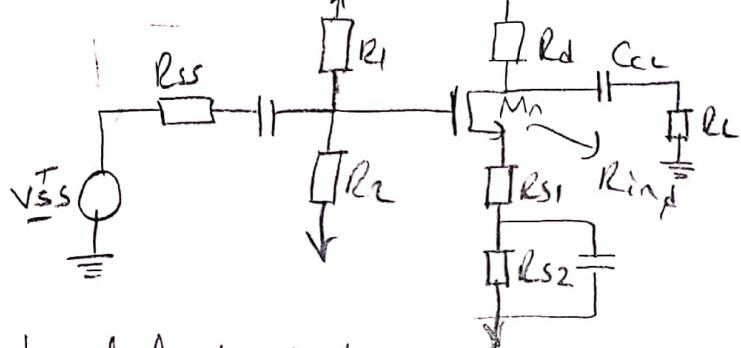
$$AT_{IA,\text{realized}} = \frac{R_s}{R_s + r_{in,TIA}} \cdot A_{TRA} \cdot \frac{R_L}{R_L + r_{out,TIA}}$$

$R_s \gg r_{in,TIA}$ or $r_{in,TIA} = 0$
 $R_L \gg r_{out,TIA}$ or $r_{out,TIA} = 0$

$r_{in,TIA} \rightarrow \text{small}$
 $r_{out,TIA} \rightarrow \text{small}$

Q2: I am telling you that the common source amplifier configuration is a good candidate for a transconductance amplifier. Let us say that in constructing the large-signal circuit for this configuration an NMOS transistor is DC biased by the classical 4-resistor network. If we omit the resistor connecting the drain of the NMOS and the positive DC voltage supply, can it be declared that the transconductance amplifier will have embraced the ideal load for its small signal operation? If so, is there any other way that a similar modification to the same effect can be realized. - - -

common source transconductance amplifier circuit



$$[LOAD \approx R_D \parallel R_L \parallel R_{in,d}]$$

$$R_{in,d} = r_{o,n} [1 + g_{m,n} \cdot R_{S1}]$$

$\{g_{m,n}, r_{o,n}\}$ → small signal parameters

External load $R_D \parallel R_L$
internal load $R_{in,d}$

$R_D \rightarrow 0$

$$A_V \approx \frac{R_1 \parallel R_2}{R_{in,d} + R_{SS}} \cdot \left[\frac{g_{m,n}}{1 + g_{m,n} \cdot R_{S1}} \right] \cdot \left[R_D \parallel R_L \parallel [r_{o,n} (1 + g_{m,n} \cdot R_{S1})] \right]$$

Hw bonus Q1: What do we mean by the amplifier loading itself? This is a very important question.

Soru icerisinde $r_{o,n}$ adet load den bahsedildi. External and internal load Bu devre Mn ve RS1 sayesinde two-port modelde kendine alim saglanmaktadır. Yani devre kendini de yüklenmektedir. Bunu $R_{in,d}$ ile yapar. Buna da internal load denir.

$R_{in,d}$: small signal'de drain'da balance gorulen impedans.

Small signal'da external ve internal loadları saglayen R_d R_L ve $R_{in,d}$ herpsi parallel $\underline{R_d \parallel R_L \parallel R_{in,d}} = \underline{\text{Load}}$

$\begin{matrix} \text{external} & \text{internal} \\ \text{load} & \text{load} \end{matrix}$

$R_{S1} \cdot R_{in,d}$ yi arttiran yapı R_{S1} olmasa $R_{in,d}$ çok küçük olur ve devre kendine alim saglayamaz disorden alımı isabet etmek. R_{S1} in dolayısıyla $R_{in,d}$ in büyük olmasına gerek yoktur. Ancak $R_{in,d}$ anacın yüksek external load elde etmek.

Hw bonus 02: How should the internal and external loads compare with each other for desired operation.

Internal load: Devrenin kendisini besleyebilecek kadar olmasının fakasının olmamasını isteyeceğim yük. Transistor dolumda çalışabilmeli olmaya çok kadar kendini yüklesse bizim için yeterli

External Load: Cikış yüküdür. Devrede dahibildungince büyük tutmak ve büyütmek isteyeceğim yük.

Hw bonus 03: How is this true?

$$r_{load} = R_D \parallel R_L \parallel R_{in,d} = R_D \parallel \frac{R_L \cdot R_{in,d}}{R_L + R_{in,d}} = \frac{R_D \cdot R_L \cdot R_{in,d}}{R_L + R_{in,d}}$$

$$R_D \rightarrow 0 \quad \frac{0}{\frac{R_L \cdot R_{in,d}}{R_L + R_{in,d}}} = 0 \text{ if } \rightarrow \text{daha ideal dur.} \quad R_D + \frac{R_L \cdot R_{in,d}}{R_L + R_{in,d}}$$

Hw bonus 04: Describe how this can be done. Fig 2.1 has a hint in itself.

$$r_{load} = R_D \parallel R_L \parallel R_{in,d} = \frac{1}{R_D} + \frac{1}{R_L} + \frac{1}{R_{in,d}} \text{ bu durumda } R_D \rightarrow +\infty \text{ olursa yük üzerinde } R_D \text{ ihtimal edilebilir durumda olur.}$$

Hw bonus 05: Answer this question. It is very important indeed.

R_D devreden çıkarsa $r_{load} = R_D \parallel R_L \parallel R_{in,d}$ olduğundan $r_{load} = 0$ olur bu ideal bir amplifer için yeterli.

Peki R_D devreden çıkarsa zarar ne olur?

$$\cancel{\Delta} A_V = \frac{R_1 \parallel R_2}{R_1 \parallel R_2 + R_{ss}} \cdot \left[\frac{-g_{m,n}}{1 + g_{m,n} R_{s,1}} \right] \cdot \left[R_D \parallel R_L \parallel \left[R_{o,n} (1 + g_{m,n} R_{s,1}) \right] \right]$$

$A_V = 0$ olur. Tam kaza nedeni yoktur. $R_D \rightarrow 0$

~~HW Bonus 6: Answer this question. Why might it be important to obtain a voltage gain from the CS stage?~~

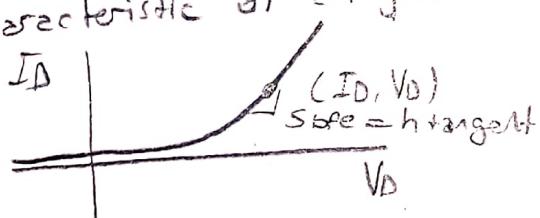
HW Bonus 6: Answer this question. Why might it be important to obtain a voltage gain from the CS stage?

$$A_v = \frac{R_1 || R_2}{R_1 + R_2 + R_{SS}} \cdot \left[-\frac{g_{m,n}}{1 + g_{m,n} R_{S,1}} \right] \cdot \underbrace{\left[R_D || R_L || \left[r_{on}(1 + g_{m,n} R_{S,1}) \right] \right]}_D$$

$$R_D \rightarrow 0 \quad A_v = 0$$

Q3: Let us focus on a time interval concerning the operation of the half wave rectifier built using a single diode, during which interval the diode begins conducting with a gradually increasing voltage difference across its nodes. Does the large signal equivalent resistance of the diode increase or decrease during this interval.

IV characteristic of a regular diode

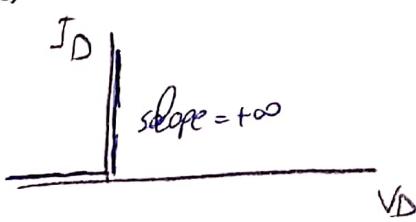


Large-signal = h⁻¹ bias

Small-signal = h⁻¹ tangent

HW bonus 01: Answer this question, and explain how this point is relevant to the actual question

for the ideal diode



① slope < +∞

(small)

altıncı ① aynılık $\Rightarrow bpe = 0$

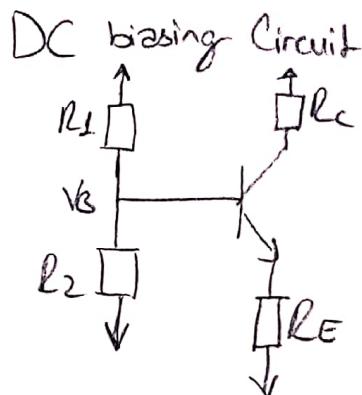
$r \rightarrow +\infty$ olursa bpe deki bir

zümle $V \rightarrow +\infty$ olur b⁺ r için üst sinir

$r \rightarrow 0$ olursa devrede zümde olsa
diyot üzerinde gerilim düşer olur

burada $\boxed{\text{slope} + \infty}$ olur

Q4: In a 4resistor DC biasing network for an npn BJT that manages to put the BJT in forward active, what are the implications of reducing only the resistance connecting the emitter and the negative power supply? Why would this practice possibly also bring about the reduction of the resistance between the collector and positive power supply? Explain



forward active mode kollektör akımı çok
degisinde V_{BE} heredeyse sabit kalar.
Base-emitter voltaj farklı ile kollektör akımı
arasında eksponential bir bağıntı var.
Bu sayede V_{BE} hemen hemen sabit.

R₁ ve R₂'yi voltage divider olarak kullanabileceğim
üzerinden gereken akım I_B'nın 10 katından fazla olmeli
ki I_B ihmali edilsin. I_E=I_B olsun, voltage divider olsun
Bunun için R₁+R₂ ≈ 50-60 kΩ olmalı.

R_E düşerse

I_E yetersizdir çünkü V_E heredeyse aynı bu durumda I_C artar
bu durumda forwardactive → saturation boundary'sine doğru
gider. Bu pisten meydana gelir. R_E düşürülmeliyse eğer
R_E'de orantılı bir şekilde düşmeli. I_C artarsa I_B'de artar
eğer I_{R1}=I_{R2}=(20,30) I_B ise ve I_B artarsa I_{R1}, I_{R2} artmaz
durumunda kalmak ve R₁, R₂ dirençlerin düşürülmesiาะurumda
kalmır.

$$R_1 \text{ ve } R_2 \text{ düşerse de } A_V = \frac{R_C}{R_1 + R_2 + R_{SS}}$$

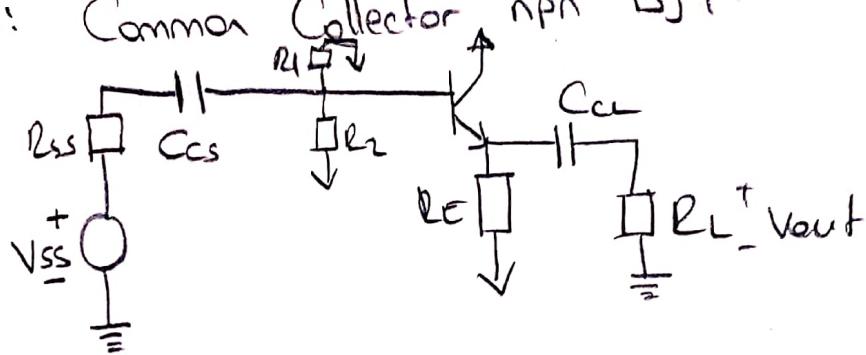
Bu orantılı
düşer

Böylece gain düşer.

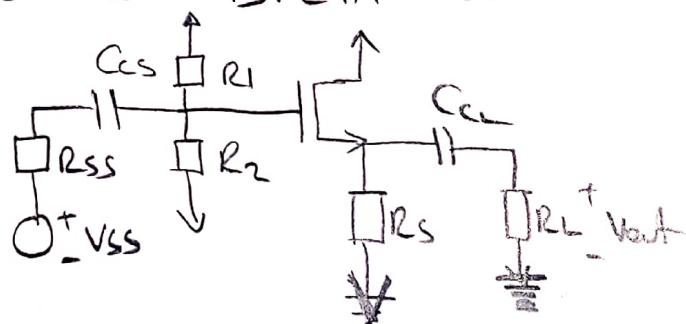
HW bonus 02: Explain why these two effects come about. And what is the caution
against the first issue? How will practicing that precaution going to hurt you?

HWTc#05 Hints

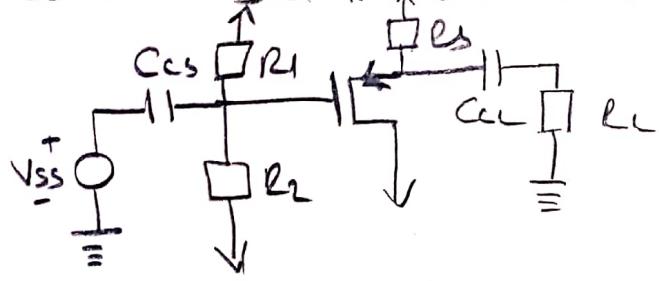
Q1: Common Collector n-p-n BJT



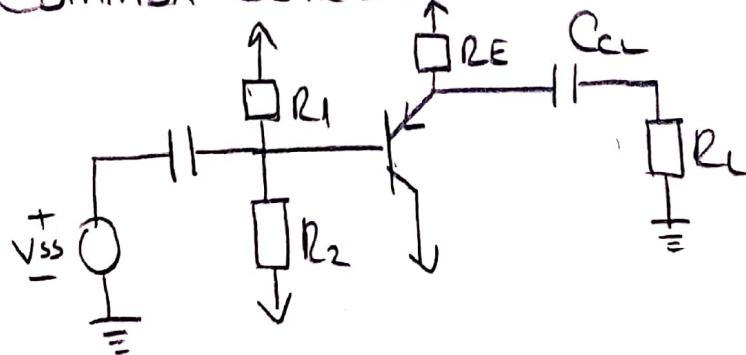
Common Drain with an NMOS transistor



Common DRAIN with an PMOS transistor

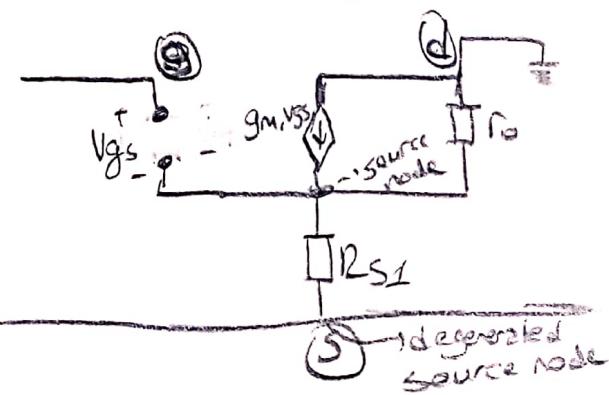


Common Collector PNP BJT



Hw bonus 01: How should R_{S1} and R_{S2} possibly compare? Why do we make use of the bypass capacitor C_B ? Explain.

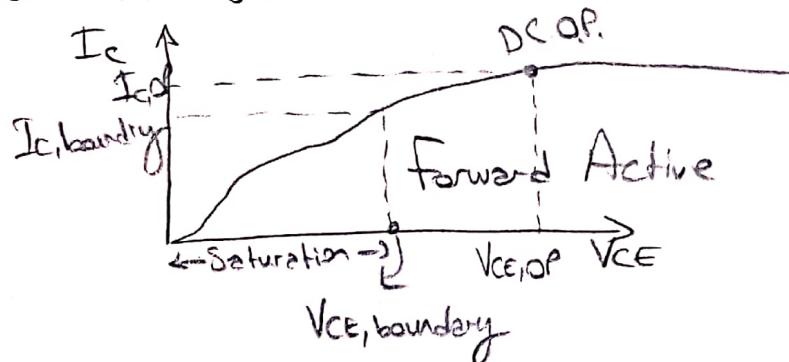
Bir common source PMOS devresinde R_S direncinin artısı gereklidür. Bu yüzden R_S 'in çok düşük olmasını istemektedir. Peki neden böyle neden kaldırılmıştır. Bunun sebebi ise devrenin common source karakteristiklerinde olmasını istiyoruz. Bu tanımlı devrede small signal esdeğerini çizerede görebiliyoruz.

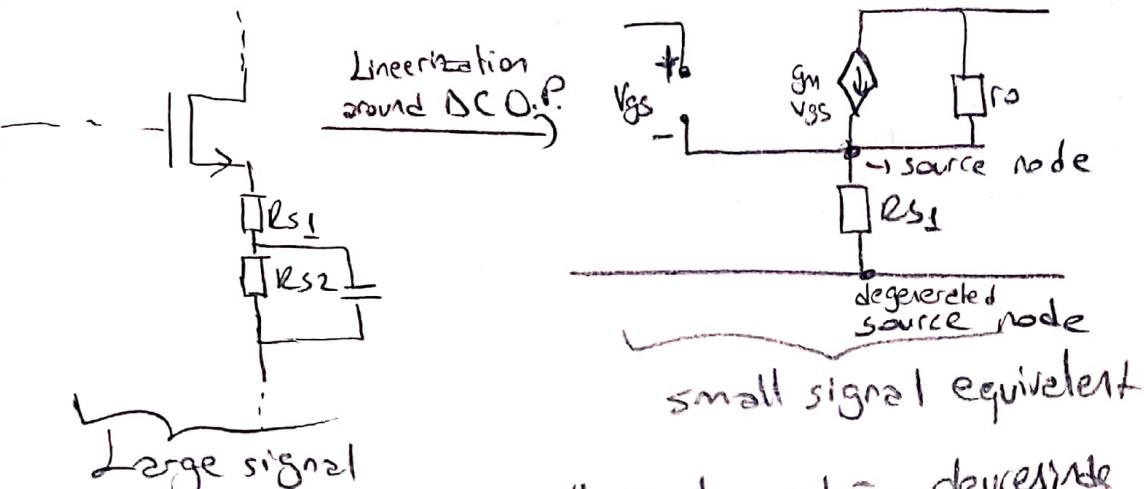


Soldakı devrede R_S olmasa devre common source olmayacağındır. Bu yüzden R_S 'e ihtiyacımız var ancak tükütmeyen gerçekte bunun için R_S bypassları. Bypass'ları kisim small signal esdeğeri de görülmeyecektir.

Hw bonus 02: How would you choose the DC O.P. for the collector of Qh?

for n-p-n BJT $DC\ O.P. = \{V_{BE}, V_{CE}, I_c, I_B\}$





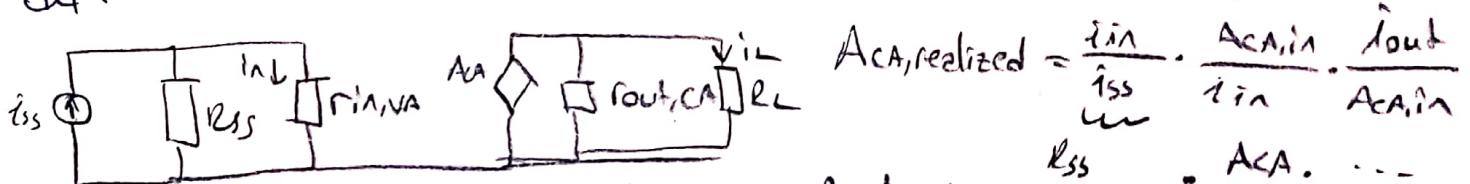
Bu çizimde devrenin small signal esdeğer devresinde giriş ve çıkış portlarında source dalgınının ortak düğüm olduğu görülmektedir. Bu özel durumda common source devri.

HWFC #05 - Q3:

- Tıklaak npn BJT'den kolektöründeki voltage swing kontrol edilir.
- R_1 ve R_2 'yi emitter/collector shuntlarına uygun şekilde ayıra
- Emitter/collector shuntlarının incele boy ölçümü ile BJT forward active mode olduğunu inceley
- BJT'nın forward active mode olup olmadığını inceley
- Yükselik rezonansının bypasslanması gereken direnç var mı kontrol et.

Huborus 01: Should these questions be asked in this order? why or why not?
Bahsedilen soruların cevapları yukarıdaki sıradada verilmiştir. Bu sebepten sıralama hatasıdır.

Q4: Akım kuvvetlerinici küçük signel esdeğer devresi 2 seğirdəki gibidir.



$r_{in,CA}$ 'nın olabileceğini küçük ($r_{in,CA} = 0$) olması $\frac{RSS}{RSS + r_{in,CA}}$

İdeal bir amplifikör için gerekli ancak girişten olabileceğini $i_{in} = 0$ olmamalı akım türünden akımının taneini almak için yaparız.

$$\frac{\bar{i}_{in}}{i_{ss}} = \frac{RSS}{RSS + r_{in,CA}} \rightarrow \boxed{\bar{i}_{in} = i_{ss}}$$

Huborus 01: What does RSS being very big bring about?
 $RSS \gg r_{in,CA}$ ise $\frac{RSS}{RSS + r_{in,CA}} \approx 1$

$\bar{i}_{in} = i_{ss}$ olur. İdeale yaklaşır.