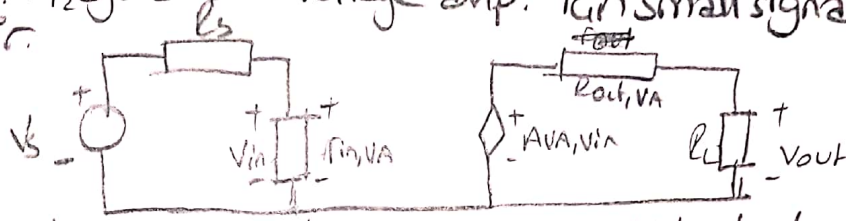


Q1:

1-) Devre Analiz editorek small signal equivalent devresi elde edilmeli. Aşağıda bir voltage amp. için small signal equivalent devresi çizilmiştir.



* Bu devre laboratuvarıda donanım ile elde edilebilecek bir devre değil, elde edilen bir devrenin basitleştirilmiş bir eşdeğer devresidir.

2-) İyi bir kuvvetlendirici devre olduğunu gösterecek olan şey realized gain'in intrinsic gain'e yaklaştığı durumdur. Bu iki gainin eşit olduğu durum ideal bir kaynak olacaktır.

$$A_{VA, realized} = \underbrace{\frac{r_{in, VA}}{r_{in, VA} + R_s}}_{\frac{V_{in}}{V_s}} \cdot A_{VA} \cdot \underbrace{\frac{R_L}{R_L + r_{out, VA}}}_{\frac{V_{out}}{A_{VA} \cdot V_{in}}} \quad \text{eq.1} \quad \text{denklemini biliyoruz.}$$

3-) İyi bir kuvvetlendirici olup olmadığını eq.1'e göre kontrol et.

$$\boxed{\frac{r_{in, VA}}{r_{in, VA} + R_s} = \frac{R_L}{R_L + r_{out, VA}} = 1} \quad \text{esitliği Ideal gerilim kuvvetlendiricidir.}$$

İdeal şartları incelerdikinde

$$\boxed{r_{in, VA} \gg R_s \text{ veya } R_s = 0} \quad \text{ise (Burada 10 katından daha büyük değerlerde } R_s \text{ ihmal edilir.)}$$

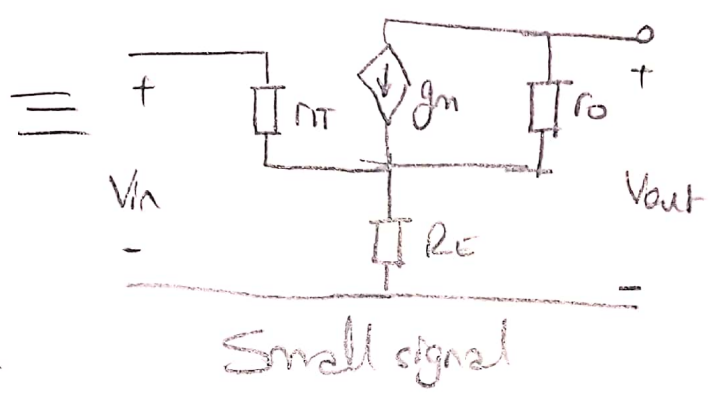
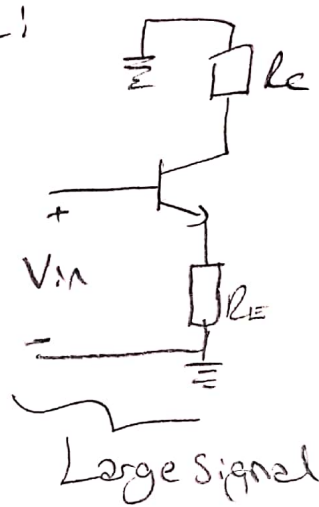
$$\text{ise } \rightarrow \frac{r_{in, VA}}{r_{in, VA} + R_s} = 1 \quad \text{kosulu sağlanır}$$

$$\boxed{R_L \gg r_{out, VA} \text{ veya } r_{out, VA} = 0} \quad \text{ise } \rightarrow \frac{R_L}{R_L + r_{out, VA}} = 1 \quad \text{saglanır. Bu durumda}$$

$$\text{İdealde } \boxed{R_s = r_{out, VA} = 0} \quad \boxed{r_{in, VA} \rightarrow +\infty, R_L \rightarrow +\infty}$$

Bu adımlar takip edilerek iyi bir gerilim kuvvetlendirici yeterliliği test edilir.

Q21



Burada Large signal'da bulunan R_E kısa devre edilebilir. Bu durumda R_E linear bir komponent olduğundan small signal'a direkt taşınabilir. Böylece small signal'da R_E direkt kısa devre olur. Orada R_E olmaması ideal yüke yaklaşıyorsa neden var sorusunun cevabı ise bu devrenin common emitter olarak değerlendirilme sebebi? V_{in} ve v_{out} gerilimlerinin (-) uçlarının emitter bölgesinde ortaklanmasıdır. R_E olmadığı sürece $V_{in} - v_{out}$ (-) uçları emitterde ortaklanamayacağından common emitter devresi olmaktan çıkar.

Q3: $I_{D,OP} \approx I_S \cdot \left[\exp\left(\frac{V_{D,OP}}{V_T}\right) \right]$ o yüzden V_D 'nin lineer artışı

ile $I_{D,OP}$ eksponansiyel artar. V_D 'nin küçük artışları $I_{D,OP}$ 'u daha fazla arttıracak şekilde, büyük sinyal esdeğer direnci azalır.

$$\bar{I}_D = I_{D,OP} + \bar{i}_d$$

$$\approx I_S \exp\left(\frac{V_D}{V_T}\right) - f(V_D)$$

$$\bar{i}_d = \frac{I_{D,OP}}{V_T} \cdot V_d \quad \frac{V_d}{\bar{i}_d} = \frac{V_T}{I_{D,OP}}$$

$I_{D,OP}$ arttıkça küçük sinyal esdeğer direnci azalır.

Q4: Eğer Emetör - gnd arası direnci azaltılırsa devrede V_E gerilimi artar. (Direnci düşümü akım artısında daha düşük) V_E gerilim artışı V_{CE} gerilimini düşürür. $V_C - V_E = V_{CE}$. NPN transistörün forward active modde çalışması için bir $V_{CE,sat}$ adı verilen V_{CE} alt sınır gerilimi vardır. V_{CE} bu sınırın altına düşerse NPN transistör satürasyon modunda çalışır. Devrem bu modda çalışmasını engellemek için kollektör - (+) arası direnci de artırılarak akım V_E gerilim değeri korunur.