

第四次實驗報告

題目：

Counter-like circuit

姓名：黃子軒

學號：310581003

繳交日期：111 年 11 月 14 日

1. 實驗目的

透過本次實驗，除了熟悉如何撰寫 verilog 並實現於 FPGA 板，且試著以 finite state machine (FSM) 實現一簡易的 counter，同時熟悉 “case” 的語法表達。

2. 實驗程式碼

```
module Lab4_part4(SW, KEY, HEX0);  
  
    input [2:0] SW;  
  
    input [3:0] KEY;  
  
    output [6:0] HEX0;  
  
    wire [3:0] HEX_out;  
  
  
    assign w1=SW[2];  
  
    assign w0=SW[1];  
  
  
    counter cr(SW[0],w1, w0, KEY[0], HEX_out[3:0]);  
  
  
    seven_segment s(HEX_out[3:0],HEX0[6:0]);  
  
endmodule
```

```
module counter(SW, w1, w0, KEY,  HEX_out);  
  
    input SW, w1, w0, KEY;  
  
    output reg [3:0]HEX_out;  
  
  
    always @(negedge KEY)  
  
    begin  
  
        if (SW==0)
```

```

        HEX_out<=0;
else if (HEX_out==9 & w1==0 & w0==1)
    HEX_out<=0;
else if (HEX_out==9 & w1==1 & w0==0)
    HEX_out<=1;
else if (HEX_out==8 & w1==1 & w0==0)
    HEX_out<=0;
else if (HEX_out==0 & w1==1 & w0==1)
    HEX_out<=9;
else
begin
    case ({w1,w0})
        2'b00 : HEX_out<=HEX_out;
        2'b01 : HEX_out<=HEX_out+1;
        2'b10 : HEX_out<=HEX_out+2;
        2'b11 : HEX_out<=HEX_out-1;
    endcase
end
end
endmodule

```

```

module seven_segment(in,HEX);
    input [3:0] in;
    output wire [6:0] HEX;

    assign HEX[0]=~in[3]&in[2]&~in[1]&~in[0]|~in[3]&~in[2]&~in[1]&in[0];

```

```

assign HEX[1]=in[3]&in[2]|in[3]&in[1]|in[2]&~in[1]&in[0]|in[2]&in[1]&~in[0];

assign HEX[2]=in[3]&in[2]|in[3]&in[1]|~in[2]&in[1]&~in[0];

assign HEX[3]=~in[3]&in[2]&~in[1]&~in[0]|~in[3]&~in[2]&~in[1]&in[0]|~in[3]&in[2]&in[1]&in[0];

assign HEX[4]=in[3]&in[2]|in[3]&in[1]|in[2]&~in[1]|in[0];

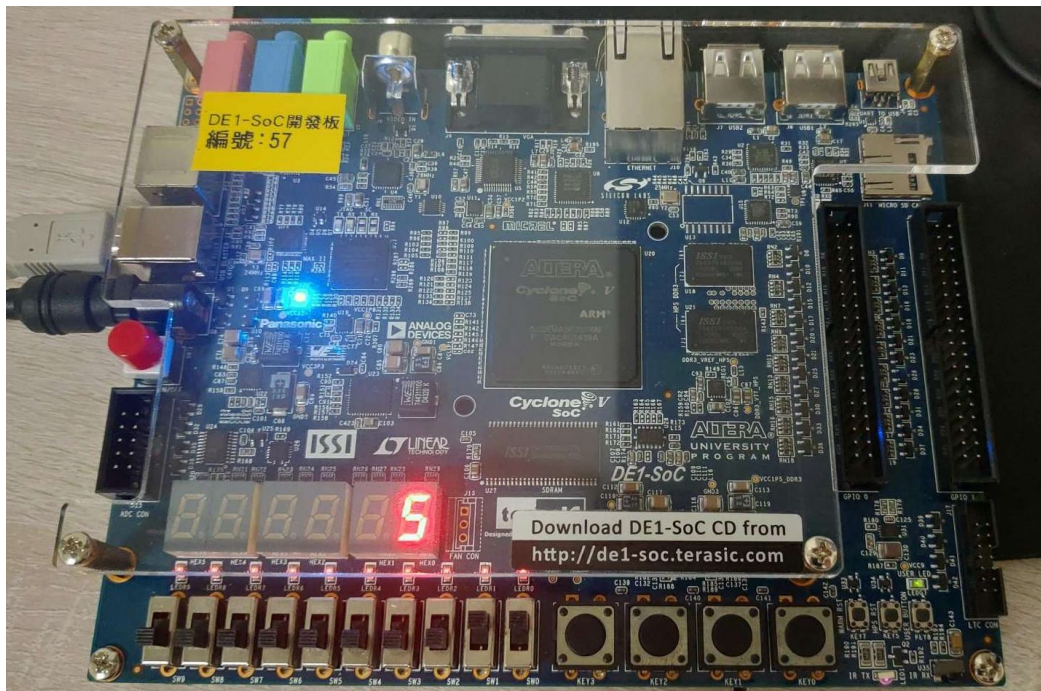
assign HEX[5]=in[3]&in[2]|~in[3]&~in[2]&in[0]|~in[2]&in[1]|in[1]&in[0];

assign HEX[6]=in[3]&in[2]|in[3]&in[1]|in[2]&in[1]&in[0]|~in[3]&~in[2]&~in[1];

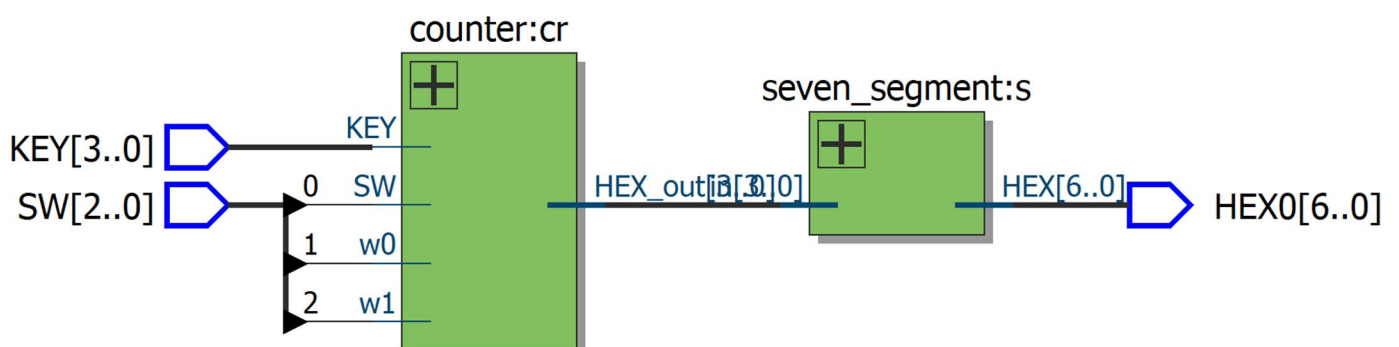
endmodule

```

3. 實驗結果照片 (optional)



4. RTL 佈局(optional)



5. 問題與討論

經過本次實驗，不僅對 finite state machine (FSM) 設計與實現更加了解，並對 case 的描述與法更加熟稔，受益良多！

