

## 一. 计算机硬件系统组成的基本概念

### 1. 计算机系统的层次结构

第一级微程序机器级（微指令系统）：微指令由硬件直接执行

第二级传统机器级（机器语言）：它用微程序解释机器指令系统

第三级操作系统级：用机器语言程序解释作业控制语句

第四级汇编语言机器级：用汇编程序翻译成机器语言程序

第五级高级语言机器级：用汇编程序翻译成汇编程序或直接翻译成机器语言

### 2. 计算机硬件系统的组成

1. CPU: CPU 的主要功能是读取并执行指令，在执行指令过程中，它向系统中各个部件发出控制信息，收集各部件的状态信息，与各部件交换数据信息。

CPU 由运算部件，寄存器组，控制器组成。

2. 存储器：存储器用来存储信息，包括程序、数据、文档。

分为主存（存）、外存、高速缓存（Cache）三级存储器。

3. 输入/输出设备

4. 总线：总线是一组能为多个不同分时共享的信息传送线。

系统总线可分为地址总线、数据总线、控制总线。

5. 接口：为了将标准的系统总线与各具特色的 I/O 设备连接起来，需要在总线与 I/O 设备之间设置一些部件，它们具有缓冲，转换，连接等功能，这些部件称为 I/O 接口。

### 3. 诺依曼机的要素

诺依曼体制的主要思想包括：

1. 采用二进制代码形式表示信息（数据和指令）；

2. 采用存储程序的工作方式（诺依曼思想核心概念）；

3. 计算机硬件系统由五大部件（存储器、运算器、控制器，输入设备和输出设备）组成。

传统的诺依曼机采用串行处理的工作机制，即逐条执行指令序列。要想提高计算机的性能，其根本方向之一是采用并行处理机制。



#### 4.存储程序的工作原理

存储程序包含三点：事先编制程序，先存储程序，自动、连续地执行程序。

- 1.根据求解问题事先编制程序
- 2.事先将程序存入计算机中
- 3.计算机自纵、连续地执行程序

#### 5.信息的数字化表示所需的主要步骤及优点

- 1.在物理上容易实现信息的表示与存储
- 2.考干扰能力强，可靠性高
- 3.数值的表示围大，表示精度高
- 4.可表示的信息类型极广
- 5.能用数字逻辑技术进行信息处理

#### 6.计算机系统的主要性能指标

1.基本字长：指参加一次定点运算的操作数的位数。基本字长影响计算精度，硬件成本，甚至指令系统的功能。

2.运算速度：

1).CPU 主频与时钟频率：CPU 主频是计算机震汤器输出的脉冲序列的频率；两个相邻的脉冲之间的间隔时间即是一个时钟周期

2).吞吐量：信息流入，处理和流出系统的速率。主要取决于主存的存取周期

3).响应时间：从提交到该作业得到 CPU.响应所经历的时间。响应时间越短，吞吐量越大

4).CPI：执行一条指令所需要的时钟周期数 IPS：每秒平均执行的指令条数 MIPS：每秒执行百万条指令条数

5).FLPOS：每秒执行的浮点运算次数 MFLOPS：每秒执行百万次浮点运算

3.数据通路宽度与数据传输率：指数据总线一次能并行传送的数据位数

数据传输率：数据总线每秒传送的数据量，也称数据总线的带宽

数据传输率 = 总线数据通路带宽×总线时钟频率/8 (Bps)



## 二. 计算机中的信息表示

1.进位计数制、机器数（原码、补码、移码）以及定点和浮点数表示方法

2.指令格式及可扩展操作码指令系统的设计方法

指令中基本信息分两部分：操作码和地址码

按照地址结构可分为：三地址指令、二地址指令、一地址指令、零地址指令

3.常见的寻址方式并能够正确的计算操作数地址、掌握外设端口编制方式（单独编制、统一编制）

常见的寻址方式：立即寻址，直接寻址，间接寻址，变址类

1.立即寻址：

2.直接寻址：助记符(A)，两点不足

3.寄存器寻址：也是一种直接寻址，两个优点

4.间接寻址：助记符

5.寄存器间接寻址：助记符(R0)，两个显著的优点

1)自增型寄存器间址：  $(R)+$

2)自减型寄存器间址：  $-(R)$

6.变址寻址

7.基址寻址

8.基址加变址方式

外围设备单独编址：为各 I/O 接口中的有关寄存器分配一种 I/O 端口地址，即编址到寄存器一级。各台设备有自己的接口，一个接口可以占有若干个 I/O 端口地址，各接口所占有的端口地址数目可以不同。系统软件对各端口地址进行分配。在常见的微型计算机过地址总线低 8 位(或低 16 位)提供 I/O 端口地址，最多可有 256 种(或 64K 种)编址，对于一般微机系统足够。只要送出某个端口地址，就能知道选中了哪一个接口中的哪一个寄存器，也就知道了选中了哪一台设备。

外围设备与主存统一编址：即将 I/O 接口中的有关寄存器与主存储器的各单元统一编址，为它们分配统一的总线地址。将寻址空间分为两部分，大部分为主存，小部分留给 I/O 接口寄存器。



#### 4. 常见指令类型，理解 RISC 和 CISC 两种指令集的各自特点

指令类型：

1. 按格式分：双操作数指令，单操作数指令，零操作数指令
2. 按操作数寻址方式：如 IBM370 将指令系统分为 RR 型，RX 型号
3. 按指令功能分：数据传送类指令，算/逻运算类指令、程序控制类指令，I/O

指令

CISC：复杂指令集计算机 plex 复杂的（多、大、不固定联系在一起）

RISC：精简指令集计算机（注意：寄存器多）

RISC 主要特点：

1. 简化的指令系统。指令条数较少，寻址方式比较简单，且采用定长指令字。
2. 以寄存器-寄存器方式工作。除了 LOAD/STORE 指令访问存外，其他指令只访问寄存器，以缩短指令长度、提高指令译码和执行速度。
3. 采用流水工作方式，绝大多数指令为单周期指令
4. 采用组合逻辑控制器，不用或少用微程控
5. 采用软件手段优化编译技术，生成优化的机器指令代码

随着技术的进步，RISC 和 CISC 技术也在相互吸取长处，比如 CISC 中也采用了流水线，技术的融合带来了计算机系统性能的提升

CISC 主要特点（对应 RISC 背诵）：

1. 指令系统复杂庞大，指令数目一般多大 200~300 条
2. 指令长度不固定，指令格式种类多，寻址方式种类多
3. 可以访存的指令不受限制
4. 由于 80% 的程序使用其 20% 的指令，因为 CISC 个指令使用频率差距太大
5. 各种指令执行时间相差很大，大多数指令需要多个周期完成
6. 控制器大多数采用微程序控制
7. 难以用优化编译生成高效目标代码程序



### 三. CPU 子系统

1.定点数的思则运算方法（原码一位乘，补码一位乘，原码加减交替除法，补码加减交替除法）的算法、运算规则、掌握溢出的判断方法。

2.浮点数四则运算流程并能够正确实现计算，掌握浮点数对阶及规格化的含义。

3.CPU 的逻辑组成及 CPU 部的数据通路结构，了解同步控制和异步控制的含义及应用场合。

1.CPU 通常包含运算部件，寄存器组，微命令产生部件，时序系统等主要部件，由 CPU 部总线将他们连接起来，实现他们之间的信息交换。

2.CPU 部数据通路：

1)单组总线，分立寄存器结构：

在部结构比较简单的 CPU 中，只设置一组单向数据传送总线，用来实现 CPU 的 ALU 部件到各个寄存器的数据传输；分立寄存器中的个寄存器都有自己的独立输入/输出端口。各寄存器能从总线接收数据，但是不能向上发送数据，而是通过多路选择器与 ALU 相连。

特点是：数据传送的控制变得比较简单、集中。缺点是：分立寄存器所需元器件和连接线多，不利于集成度提高。

2)单组总线、集成寄存器结构：

为提高寄存器的集成度，采用小型半导体告诉随机存储器实现寄存器组，一个存储单元相当于一个寄存器，存储单元的位数即寄存器的字长。CPU 部采用双向数据总线连接 ALU 与寄存器组，寄存器组通过暂存器与 ALU 输入端相连。ALU 与寄存器间、寄存器和寄存器间的数据传输都可以在这组总线上进行，简化了部数据通路结构。

3)多组总线结构：

在高性能 CPU 部，往往设置多组总线，如程序总线、地址总线、数据总线等，在指令队列、控制存储器、多运算部件、地址运算部件、片指令及数据 Cache 等各类部件之间建立高速物理连接，传送指令、地址和信息。

3.同步控制方式：





所谓同步控制方式，就是系统由一个统一的时钟，所有的控制信号均来自这个统一的时钟信号。根据指令周期、CPU 周期和节拍周期的长度固定与否，同步控制方式又可以分为以下三种：

1).指令周期所有的指令执行时间都相等。若指令的繁简差异较大，则规定统一的指令周期，无疑会造成太多的时间浪费，因此定长指令周期很少被采用

2).定长 CPU 周期各 CPU 周期都相等，一般都等于存的存取周期，而指令周期不固定，等于整数个 CPU 周期。

3).变长 CPU 周期，定长时钟周期

指令周期的长度不固定，而且 CPU 的周期也不固定，含有时钟周期数根据需要而定，与存存取周期没有固定关系。这种方式根据指令的具体要求和执行步骤，确定安排哪几个 CPU 周期以及每个 CPU 周期中安排多少个时钟周期，不会造成时间浪费，但时序系统的控制比较复杂，要根据不同情况确定每个 CPU 周期的时钟周期数。

CPU 部操作均采用同步控制，其原因是同一芯片的材料相同，工作速度相同，片传输线短，又有共同的脉冲源，采用同步控制是理所当然的。

主要特点：时钟周期作为基本的时序单位，一旦确定，便固定不变。

优点：时序关系简单，时序划分规整，控制部复杂，控制部件在结构上易于集中，设计方便。

主要在 CPU 部，其他部件（如主存，外设）部广泛采用同步控制方式。

在系统总线上，如果各个部件，设备之间的传送距离不太长，工作速率的差异不太大，或者传送所需时间比较固定，也广泛采用同步控制方式。

#### 4.异步控制方式

异步控制方式中没有统一的时钟信号，各部件按自身固有的速度工作，通过应答方式进行联络，比同步控制复杂。

CPU 部采用同步方式，CPU 与存和 I/O 设备之间的操作采用异步方式，这就带来了一个同步方式和异步方式如何过度、如何衔接的问题。解决的办法是采用这两者这种的方案，即联合控制方式。



主要特点：在异步控制所涉及的操作围，没有统一的之中周期划分和同步定时脉冲。

优点：时间安排紧凑、合理，能按不同部件、不同设备的实际需要分配时间，其缺点是控制比较复杂。

很少用于 CPU 部，用他来控制某些场合下的系统总线操作。

4.指令执行的流程（寄存器传输级微操作序列），了解微操作时间表（微命令序列）

5.组合逻辑控制器的基本思想、逻辑组成、优缺点。

组合逻辑控制器又称为硬连线控制器，是早期计算机的一种设计方法。它将控制部件看做产生专门固定时序控制信号的逻辑电路，以使用最少的元件和取得最高操作速度作为设计目标。

每个微命令的产生都需要逻辑条件和时间条件，将条件作为输入，微命令作为输出，它们之间的关系用逻辑表达式来表示，用组合逻辑电路实现。每组微命令需要一组逻辑电路，全机所有微命令所需的逻辑电路就构成了微命令发生器。执行指令时，由组合逻辑电路（微命令发生器）在相应时间发出所需的微命令，控制有关操作。这种产生微命令的方式就是组合逻辑控制方式。形成逻辑电路前，一般还使逻辑表达式尽可能简单，减少微命令发生器所用元器件数和逻辑门的级数，提高产生微命令的速度。在控制器制造完成后，这些逻辑电路间的连接关系就固定下来，不易改动，因而组合逻辑控制器又称为硬连线控制器

缺点：设计不规整，并且不易修改或扩展。

6.微程序控制器的基本思想、逻辑组成、优缺点。

微程序控制器的核心容是将机器指令的操作（从指令到执行）分解为若干更基本的微操作序列，并将有关的控制信息（微命令）以微码的形式编成微指令输入控制存储器中。每条机器指令往往分成几步执行，将每一步操作所需的若干微命令以代码形式编写在一条微指令中，若干条微指令组成一段微程序，对应一条机器指令。取出微指令就产生微命令，实现机器指令所要求的信息传送与加工。



微程序控制器的核心部件是存储微程序的控制存储器，一般由只读存储器构成，而 EPROM 的出现为修改微程序提供了可能。

## 四. 存储子系统

1.存储子系统的层次结构，能对 Cache-主存存储层次和主存-辅存存储层次的异同点进行比较。

### 1.存储子系统的层次结构

为解决存储系统的三个主要的要求—容量、速度及价格之间的矛盾，一方面提高工艺水平，另一方面采用存储器分层结构；快速小容量的存储器与慢速大容量的存储器合理地搭配组织，以提供给用户足够大容量和较快的访问速度。

2.Cache-主存存储层次和主存-辅存存储层次的异同点进行比较。

1).出发点相同：二者都是为了提高存储系统的性能价格比而构造的层次性存储体系，都力图使存储系统的性能接近高级缓存，而价格接近低速存储器。

2).原理相同：都是利用程序运行时的局部性原理把最近常用的信息块相对较慢，而大容量的存储器调入相对高速而小容量的存储器。

Cache-主存和主存-辅存这个存储层次有如下四个不同点：

1).目的不同：Cache 主要解决主存与 CPU 的速度差异问题；而虚存就性能价格比的提高而言主要是解决存储容量的问题（另外还包括存储管理、主存分配和存储保护等方面）

2).数据通路不同：CPU 与 Cache 和主存之间均有直接访问通路，Cache 不命中时可以直接访问主存；而虚存中，辅存与 CPU 之间不存在直接的数据通路，当主存不命中时只能通过调进解决，即把 CPU 要用的程序从辅存调进主存。

3).透明性不同：Cache 的管理完全由硬件完成，对系统程序和应用程序均透明；而虚存管理由软件（操作系统）和硬件共同完成，对系统程序不透明，对应于程序透明（段式和段页式管理对应用程序“半透明”）。





4).未命中时的损失不同, 由于主存的存取时间是 Cache 的存取时间的 5~10 倍, 而辅存的存取时间通常是主存的存取时间的上千倍, 故主存未命中时系统的性能损失要远大于 Cache 未命中时的损失。

2.静态存储器和动态存储器存储信息的原理, 了解半导体存储器的分类、磁表面存储器的存储原理及常用磁记录编码方式。

1.半导体存储器的分类: 静态存储器和动态存储器。

从集成短路类型划分: 双极型和 MOS 型。

1).静态存储器:

静态存储器依靠双稳态触发器的两个稳定状态保存信息。没个双稳态电路可以存储一位二进制代码 0 或 1, 一块存储芯片上包含许多个这样的双稳态电路。双稳态电路是有源器件, 需要电源才能工作。只要电源正常, 就能长期稳定的保存信息, 所以称为静态存储器。如果断电, 信息将会失去, 属于挥发性存储器, 或称易失性。

2).动态存储器:

动态存储器是依靠电容上的存储电荷暂存信息, 存储单元的基本工作方式是: 通过 MOS 管 (称为控制管) 向电容充电或放电, 充有电荷状态为 1, 放电后状态为 0。

3).磁表面存储器:

磁记录原理: 在塑料或金属盘基上涂敷或镀上一层磁性材料, 利用磁性材料在外加磁场消失后仍具有两个稳定的剩磁状态的原理, 用这两个稳定的剩磁状态来表示二进制信息 0 或 1, 从而记录二进制信息。

磁记录编码方式:

归零制, 不归零-1 制, 调相制, 调频制, 改进型调频制, 群码制。

3.半导体存储器的逻辑设计方式、动态存储器的刷新原理、差错控制编码 (奇偶校验码、海明码、循环冗余码)。

4.磁盘信息分布和寻址信息、磁盘主要性能指标 (速度、容量)。



5.Cache-主存地址映射方式（直接映射、全相联、组相联），并能够进行地址变换计算。

## 五. I/O 子系统及输入输出设备

1.总线定义，了解总线分类及常用总线标准。

1.总线是计算机各部件之间进行信息传输的公共信号线，具有分时、共享的特点。

2.总线的分类：

从功能分类：局部总线和系统总线之分，或者总线和外总线。

按数据传送格式分：并行总线和串行总线。

按时序控制方式分：同步总线和异步总线。

3.总线的标准：

机械结构规——确定模块尺寸、总线插头、边沿连接器插座等规格及位置。

功能规——确定总线每根线（引脚）信号名称和功能，对它们相互作用的协议（如定时关系）进行说明。

电气规——规定总线每根线其信号工作室的有效高低电平、动态转换时间、负载能力、各电路性能的额定值及最大值。

ISA 总线、EISA 总线、MCA 总线、VESA [局部总线](#)、PCI 总线、AGP 总线、USB 总线、Alpha EV6 总线、PCI-X [局部总线](#)、NGIO 总线、IEEE1394、Future I/O 总线。

总线定义：总线是连接多个部件的信息传输线，是各部件共享的传输介质。

分类：片总线、系统总线、通信总线。

系统总线定义：系统总线是指 CPU 主存、I/O 设备各大部件之间的信息传输线。

分类：数据总线、地址总线、控制总线。

总线标准可视为系统与各模块、模块与模块之间的一个互连的标准界面。

ISA 总线、EISA 总线、PCI 总线、RS-232C 总线、IEEE-488 总线（并行通信总线又称 GP-IP 总线）、USB 总线。



2.程序查询、中断、DMA 传送方式的基本概念及各自优缺点和适用场合。

1.程序查询方式。其特点是主机与 I/O 串行工作。CPU 启动 I/O 后，时刻查询 I/O 是否准备好，若设备准备就绪，CPU 便转入处理 I/O 与主机传送信息的程序；若设备未做好准备，则 CPU 反复查询，“跨步等待”，直到 I/O 准备就绪为止。这种方式 CPU 效率很低。

2.程序中断方式。其特点是主机与 I/O 并行工作。CPU 启动 I/O 后，不必时刻查询 I/O 是否准备好，而是继续执行程序。当 I/O 准备就绪时，向 CPU 发出中断请求信号，CPU 在适当的时候响应 I/O 的中断请求，暂停现执行程序为 I/O 服务。这种方式消除了“跨步”现象，提高了 CPU 的效率。

3.DMA 方式。其特点是主机与 I/O 并行工作，主存与 I/O 之间有一条直接数据通路。CPU 启动后不必查询 I/O 是否准备好，当 I/O 准备就绪后发出 DMA 请求，此时 CPU 不直接参与 I/O 和主存间的信息交换，只是把外部总线（地址线、数据线及有关控制线）的使用权暂时教育 DMA，CPU 仍然可以完成自身的操作（如加法、移位等），故不必中断现执行程序，秩序暂停一个存取周期访存（即周期挪用），CPU 的效率更高。

程序查询方式一般适用于低速外围设备。中断方式常用于打印机输出、键盘输入等还适用于实时控制和紧急事件的处理。DMA 方式常用与读/写磁盘、读/写磁带等。

3.程序传送方式及接口组成。

程序查询方式、程序中断方式、DMA 方式。

程序查询方式接口主要由数据缓冲器、命令/状态寄存器。

程序中断方式接口主要由接口寄存器、命令字寄存器、状态字寄存器、数据缓冲寄存器、其他控制逻辑、中断控制器。

DMA 接口主要由数据缓冲寄存器、主存地址计数器、字计数器、设备地址寄存器、中断机构和 DMA 控制逻辑等组成。

4.中断的全过程（请求、判优、响应、处理、返回），及中断响应的必要条件。

1.中断请求：本阶段保存外部设备的中断请求并进行优先级排队。



所需硬件：中断屏蔽触发器、中断判优逻辑等。

中断请求信号线的传送方式：独立请求信号线方式、公共请求信号线方式、二维结构方式和兼有公共与独立请求线方式。

中断判优方式：软件查询方式、并行排队逻辑、链式优先排队线路、二维结构优先排队线路和采用中断控制器的优先逻辑。

2.中断响应阶段：本阶段完成 CPU 由原来执行主程序的状态转入中断服务程序的准备工作。

中断响应条件：有中断请求、该请求未被屏蔽、CPU 处于开中断状态、当前中断源的优先权足够高、当前指令执行结束（非停机指令）

完成动作：关中断、保存断点、硬件产生中断向量地址并送至 PC、转入中断服务层序等，上述动作由中断隐指令完成。

3.中断处理阶段：本阶段完成中断处理工作，即执行中断服务程序。

多重中断：如果在 CPU 执行中断服务程序的过程中，又出现了新的中断请求，而且这个新的中断请求级别比当前正站在服务的请求级别高，此时 CPU 在此中断现行的中断服务程序，转去处理新的中断请求，这种中断称为多重中断。

为实现多重中断，需设置中断请求触发器、中断屏蔽触发器、判优逻辑、向量地址形成部件、中断标志触发器、中断允许触发器、堆栈及中断查询信号电路等。

4.中断放回阶段：本阶段完成从中断服务程序返回到原来执行的主程序的工作。中断服务程序的最后一条指令通常是中断返回指令，该指令将保存在堆栈中的断点容装入 PC，CPU 根据 PC 容取出下一条指令即为主程序的相应指令。

响应中断的条件：

- 1.有中断请求信号发生，如 IREQ 或 INT<sub>n</sub>。
- 2.该中断请求未被屏蔽。
- 3.CPU 处于开中断状态，即中断允许触发器 TIEN=1(或中断允许标志位 IF=1)。
- 4.没有更重要的事件要处理（如因故障引起部中毒那，或是其优先权高于程序中中断的 DMA 请求等）。
- 5.CPU 刚刚执行的指令不是停机指令。



6.在一条指令结束时响应（因为程序中断的过程是程序切换过程，显然不能在一条指令执行的中间就切换）。

5.DMA 传输的三个阶段及与中断的关系。

(1)DMA 初始化阶段

CPU 对 DMA 控制器进行初始化，设置读/写命令、设置要读/写的数据块存的起始地址、设置传送字节计数器、启动 DMA。

(2)DMA 传输阶段

外设准备接收或发送数据时，向主机发 DMA 请求；CPU 在当前机器周期结束后响应该请求并让出总线控制权；DMA 控制器接管总线，发送主存地址、读/写命令；传送一个字节数据，主存地址加 1，字节计数器减 1；判断数据传输是否完成，若字节计数器为 0，则本次 DMA 完成，否则传送继续。

(3)DMA 结束阶段

DMA 控制器向主机发出中断请求，报告结束。主机响应 DMA 的中断请求后，所后执行的中断服务程序完成 DMA 操作的后处理，包括校验送入存储器的数据是否正确，决定是否继续使用 DMA 方式传送数据还是结束传送，测试传送过程中是否发生错误。

