

## 一、选择题

1、某 SRAM 芯片，其容量为  $512 \times 8$  位，除电源和接地端外，该芯片引出线的最小数目应该是（ ）。

A. 23 B. 25 C. 50 D. 19

2、某计算机的存储系统由 Cache 一主存系统构成，Cache 的存取周期为 10ms，主存的存取周期为 50ms。在 CPU 执行一段程序时，Cache 完成存取的次数为 4800 次，主存完成的存取次数为 200 次，该 Cache 一主存系统的效率是（ ）。

【注：计算机存取时，同时访问 Cache 和主存，Cache 访问命中，则主存访问失效；Cache 访问未命中，则等待主存访问】

A. 0.833 B. 0.856 C. 0.95 D. 0.862

3、用海明码对长度为 8 位的数据进行检/纠错时，若能纠正一位错，则校验位数至少为（ ）。

A. 2 B. 3 C. 4 D. 5

4、在浮点机中，（ ）是隐藏的。

A. 阶码 B. 数符 C. 尾数 D. 基数

5、在浮点机中，判断原码规格化的形式的原则是（ ）。

- A. 尾数的符号位与第一数位不同
- B. 尾数的第一数位为 1，数符任意
- C. 尾数的符号位与第一位相同
- D. 阶符与数符不同

6、某同步总线采用数据线和地址线复用方式，其中地址/数据线有 32 根，总线时钟频率为 66MHz，每个时钟周期传送两次数据（上升沿和下降沿各传送一次数据），该总线的最大数据传输率（总线带宽）是（ ）。

A. 132MB/s B. 264MB/s C. 528MB/s D. 1056MB/s

7、内部总线（又称片内总线）是指（ ）。

- A. CPU 内部连接各寄存器及运算部件之间的总线
- B. CPU 和计算机系统的其他高速功能部件之间互相连接的总线



- C. 多个计算机系统之间互相连接的总线
- D. 计算机系统和其他系统之间互相连接的总线

8、CPU 中不包括（ ）。

- A. 操作码译码器
- B. 指令寄存器
- C. 地址译码器
- D 通用寄存器

9、计算机硬件能够直接执行的是（ ）。

- 1. 机器语言程序 I II. 汇编语言程序 III. 硬件描述语言程序入
- A. 仅 I B. 仅 I、II C. 仅 I、III D. I、II、III

10、中断服务程序的最后一条指令是（ ）。

- A. 转移指令
- B. 出栈指令
- C. 中断返回指令
- D. 开中断指令

11、在 DMA 传送方式中，发出 DMA 请求的是（ ）。

- A. 外部设备
- B. DMA 控制器
- C. CPU
- D. 主存

12、计算机执行乘法指令时，由于其操作复杂，需要更多的时间，通常采用（ ）控制方式。

- A. 异步控制
- B. 延长机器周期内的节拍数
- C. 中央控制与局部控制相结合
- D. 同步控制与异步控制相结合



13、在计算机体系结构中，CPU 内部包括程序计数器（PC）、存储器数据寄存器（MDR）、指令寄存器（IR）和存储器地址寄存器（MAR）等。若 CPU 要执行的指令为 MOV R0, #100（即将数值 100 传送到寄存器 R0 中），则 CPU 首先要完成的操作是（ ）。

A. 100R0 B. 100→MDR C. PC→MAR D. PC→IR

14、某计算机主存空间为 4GB，字长为 32 位，按字节编址，采用 32 位定长指令字格式。若指令按字边界对齐存放，则程序计数器（PC）和指令寄存器（IR）的位数至少分别是（ ）。

A. 30, 30 B. 30, 32 C. 32, 30 D. 32, 32

15、下列对 RISC 的描述中，正确的有（ ）。

I. 支持的寻址方式更多

II. 大部分指令在一个机器周期完成

III. 通用寄存器的数量多

IV. 指令字长不固定

A. I、IV B. II、III C. I、II、III D. I、II、III、IV

## 二、填空题

16、主存储器容量通常以 KB 表示，其中 K=（ ）；硬盘容量通常以 GB 表示，其中 G=（ ）。

17、微程序设计技术是利用（ ）方法设计（ ）的一门技术。

18、双端口存储器和多模块交叉存储器属于（ ）存储器结构。前者采用（ ）技术，后者采用（ ）技术。

19、多媒体 CPU 是带有（ ）技术的处理器，它是一种多媒体扩展结构技术，特别适合于（ ）处理。

20、主存储器容量通常以 MB 表示，其中 M=（ ），B=（ ）硬盘容量通常以 GB 表示，其中 G =（ ）。



21、PCI 总线采用 ( ) 仲裁方式, 每一个 PCI 设备都有独立的总线请求和总线授权两条信号线与 ( ) 相连。

22、数组多路通道允许 ( ) 个设备进行 ( ) 型操作, 数据传送单位是 ( )。

23、CPU 能直接访问 ( ) 和 ( ), 但不能直接访问磁盘和光盘。

24、堆栈是一种特殊的 ( ) 寻址方式, 它采用 ( ) 原理。按构造不同, 分为寄存器堆栈和 ( ) 堆栈。

25、按 IEEE754 标准, 一个浮点数的阶码 E 的值等于指数的 ( ) 加上一个固定的 ( )。

### 三、名词解释题

26、应用软件:

27、型微指令:

28、时钟周期:

29、全写法 (写直达法):

### 四、简答题

30、外围设备的 I/O 控制方式分哪几类? 各具什么特点?

31、中断的过程与子程序调用的区别是什么?

32、什么是存储保护? 通常采用什么方法?

33、I/O 设备有哪些编址方式, 各有何特点?

### 五、计算题

34、设浮点数字长为 16 位, 其中阶码 5 位 (含一位阶符), 尾数 11 位 (含一位数符), 将十进制数  $+13/128$  写成: 二进制定点数和浮点数, 并分别写出它在定点机和浮点机中的机器数形式。



35、假设机器字长为 16 位，其中阶码 6 位（包含两位阶符），尾数 10 位（包含两位数字符）。已知十进制数  $x=125$ ， $y=-18.125$ ，试计算  $[x-y]_{\text{补}}$ 。（其结果用二进制真值表示，舍入时采用 0 舍 1 入法）。

36、假设对于上题中的计算机 M 和程序 P 的机器代码，M 采用页式，虚拟存储管理：P 开始执行时， $(R1) = (R2) = 0$ ， $(R6) = 1000$ ，其机器代码已调入主存但不在 Cache 中：数组 A 未调入主存，且所有数组元素在同一页，并存储在磁盘同一个扇区。请回答下列问题并说明理由。

1) P 执行结束时，R2 的内容是多少？

2) M 的指令 Cache 和数据 Cache 分离。若指令 Cache 共有 16 行，Cache 和主存交换的块大小为 32 字节，则其数据区的容量是多少？若仅考虑程序段 P 的执行，则指令 Cache 的命中率为多少？

3) P 在执行过程中，哪条指令的执行可能发生溢出异常？哪条指令的执行可能产生缺页，异常？对于数组 A 的访问，需要读磁盘和 TLB 至少各多少次？

## 六、综合题

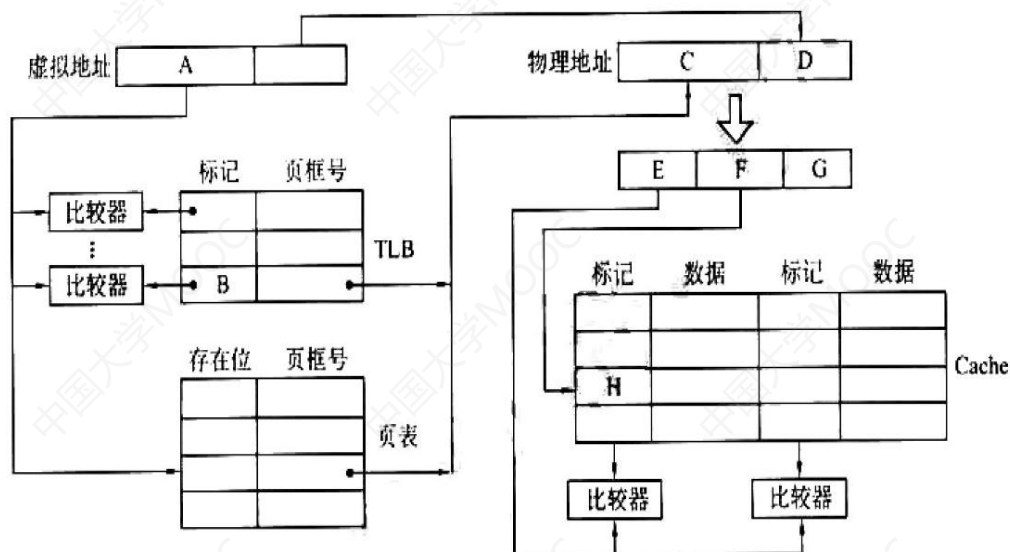
37、某机采用微程序控制方式，微指令字长为 24 位，采用水平型字段直接编码控制方式和断定方式。共有微命令 30 个，构成 4 个互斥类，各包含 5 个、8 个、14 个和 3 个微命令，外部条件共 3 个。

1) 控制存储器的容量应为多少？

2) 设计出微指令的具体格式。

38、某计算机采用页式虚拟存储管理方式，按字节编址，虚拟地址为 32 位，物理地址为 24 位，页大小为 8KB；TLB 采用全相联映射；Cache 数据区大小为 64KB，按 2 路组相联方式组织，主存块大小为 64B。存储访问过程的示意图如图所示。





请回答下列问题。

- 1) 图中字段 A~G 的位数各是多少？TLB 标记字段 B 中存放的是什么信息？
  - 2) 将块号为 4099 的主存块装入到 Cache 中时，所映射的 Cache 组号是多少？对应的 H 字段内容是什么？
  - 3) Cache 缺失处理的时间开销大还是缺页处理的时间开销大？为什么？
  - 4) 为什么 Cache 可以采用直写 (Write Through) 策略，而修改页面内容时总是采用回写 (Write Back) 策略？
- 39、设某机器共能完成 120 种操作，CPU 共有 8 个通用寄存器，且寄存器都为 12 位。主存容量为 16K 字（机器采用按字寻址），采用寄存器-存储器型指令。
- 1) 欲使指令可直接访问主存的任意地址，指令字长应取多少位？
  - 2) 若在上述设计的指令字中设置一寻址特征位 X，且 X=0 表示某个寄存器作为基址寄存器，试画出指令格式。试问采用基址寻址可否访问主存的任意单元？为什么？如不能，提出一种方案，使得指令可访问主存的任意位置。
  - 3) 若存储字长等于指令字长，且主存容量扩大到 64K 字，在不改变硬件结构的前提下，可采用什么方法使得指令可访问存储器的任意位置。





## 答案

### 一、选择题

- 1、D
- 2、D
- 3、C
- 4、D
- 5、B
- 6、C
- 7、A
- 8、C
- 9、A
- 10、C
- 11、A
- 12、C
- 13、C
- 14、B
- 15、B

### 二、填空题

- 16、210 230
- 17、软件 操作控制器
- 18、并行 空间并行 时间并行
- 19、MMX 图像数据
- 20、220 8 位（1 个字节） 230
- 21、集中式 中央仲裁器
- 22、1（单） 传输 数据块
- 23、cache 主存
- 24、数据 先进后出 存储器



25、真值 偏移量

三、名词解释题

26、应用软件：

完成应用功能的软件，专门为解决某个应用领域中的具体任务而编写。

27、型微指令：

一种微指令类型，设置微操作码字段，采用微操作码编码法，由微操作码规定微指令的功能。

28、时钟周期：

节拍，时钟频率的倒数，机器基本操作的最小单位。

29、全写法（写直达法）：

cache 命中时的一种更新策略，写操作时将数据既写入 cache 又写入主存，但块更时不需要将调出的块写回主存。

四、简答题

30、答：外围设备的 I/O 控制方式分类及特点：（1）程序查询方式：CPU 的操作和外围设备的操作能够同步，而且硬件结构比较简单（2）程序中断方式：一般适用于随机出现的服务，且一旦提出要求应立即进行，节省了 CPU 的时间，但硬件结构相对复杂一些。（3）直接内存访问（DMA）方式：数据传输速度很高，传输速率仅受内存访问时间的限制。需更多硬件，适用于内存和高速外设之间大批交换数据的场合。（4）通道方式：可以实现对外设的统一管理和外设与内存之间的数据传送，大大提高了 CPU 的工作效率。（5）外围处理机方式：通道方式的进一步发展，基本上独立于主机工作，结果更接近一般处理机。

31、答：（1）、中断的过程与中断时 cpu 正在运行的程序是相互独立的，它们之间没有确定的关系。子程序调用是转入的子程序与正在执行的程序是同一个程序。（2）中断一般是由硬件信号产生的，软中断除外，子程序调用是转移指令引起的。（3）中断服务程序的地址是由硬件决定的，子程序调用是转移指令在地址码中指定子程序的地址；（4）中断过程要存储所有的状态信息，子程序调





用时可以只保存 pc 的值；(5) 中断程序的调用的过程包括确定产生中断的原因、对多个同时进行的中断裁决等，而在一般的子程序调用时没有这种操作，

32、答：当多个用户共享主存时，为使系统能正常工作，应防止由于一个用户程序出错而破坏其它用户的程序和系统软件，还要防止一个用户程序不合法的访问不是分给它的主存区域。为此，系统提供存储保护。通常采用的方法是：存储区域保护和访问方式保护。

33、答：统一编址和独立编址。统一编址是在主存地址中划出一定的范围作为 I/O 地址，这样通过访存指令即可实现对 I/O 的访问。但主存的容量相应减少了。独立编址，I/O 地址和主存是分开的，I/O 地址不占主存空间，但访存需专门的 I/O 指令。

## 五、计算题

34、解析：假设  $x=+13/128$  其二进制形式可以表示为： $x=0.0001101000$ 。

定点数表示： $x=0.0001101000$ 。

浮点数规格化表示： $x=0.1101000000 \times 2^{-11}$ 。

定点机中： $[x]_{\text{原}}=[x]_{\text{补}}=[x]_{\text{反}}=0.0001101000$ 。

浮点机中：

$[x]_{\text{原}}=1, 0011; 0.1101000000$ 。

$[x]_{\text{补}}=1, 1101; 0.1101000000$ 。

$[x]_{\text{反}}=1, 1100; 0.1101000000$ 。

35、64. 解析：首先将 x 和 y 转换成浮点数

$x=125=0.11111010 \times 2^{011}$

$y=-18.125=-0.10010001 \times 2^{0101}$

由于  $j_x=00, 0111$ ，因此  $[j_x]_{\text{补}}=00, 0111$ ，同理  $[-j_y]_{\text{补}}=11, 1011$  故

$[j_x]_{\text{补}}=00, 0111; 00.11111010$

$[-j_y]_{\text{补}}=00, 0101; 11.01101111$

下面可以按照 5 个步骤来做：

1) 对阶。求阶差：



$$[\Delta j]_{\text{补}} = [j_x]_{\text{补}} - [j_y]_{\text{补}} = [j_x]_{\text{补}} + [-j_y]_{\text{补}} = 0001111 + 1110111 = 000010$$

所以 y 的阶码要低 2，故应该 y 向 x 对齐，y 尾数需要右移两位，阶码加 2，如下：

$$[y]_{\text{补}} = 0001111, 11.110110112)$$

2) 尾数求差。

$$00.11111010$$

+00.00100101 (这里加的是 y 尾数的负数补码)

$$01.00011111$$

$$\text{即 } [x-y]_{\text{补}} = 00, 0111; 01.00011111。$$

3) 规格化。尾数出现 01.  $\times \times \times \dots x$ ，说明需要右规一次即可，阶码加 1，最后可得

$$[x-y]_{\text{补}} = 00, 1000; 00.100011111 \text{ (加了下画线的 1 为右规丢弃的 1)}$$

4) 舍入处理。由于右规低位丢 1，因此尾数末位加 1，即尾数变为 00.10010000。

5) 溢出判断。最后阶符为 00，没有溢出，最后应将  $[x-y]_{\text{补}} = 001000, 00.10010000$  转换为二进制真值，即 500

$$x-y = 0.10010000 \times 2^{001000} = 0.10010000 \times 2^8 = 10010000$$

36、解答：该题继承了上题中的相关信息，统考中首次引入此种设置，具体考察到程序的运行结果、Cache 的大小和命中率的计算以及磁盘和 TLB 的相关计算，是一题比较综合的题型。

1) R2 里装的是 i 的值，循环条件是  $i < N$  (1000)，即当 i 自增到不满足这个条件时跳出循环，程序结束，所以此时 i 的值为 1000。

2) Cache 共有 16 行，每块 32B，所以 Cache 数据区的容量为  $16 \times 32B = 512B$ 。P 共有 6 条指令，占 24B，小于主存块大小 (32B)，其起始地址为 08048100H，对应一块的开始位置，由此可知所有指令都在一个主存块内。读取第一条指令时会发生 Cache 缺失，故将 P 所在的主存块调入 Cache 某一行，以后每次读取指令时，都能在指令 Cache 中命中。因此在 1000 次循环中，只会发生 1 次指令访问缺失，所以指令 Cache 的命中率为： $(1000 \times 6 - 1) / (1000 \times 6) = 99.98\%$ 。



3) 指令 4 为加法指令, 即对应  $\text{sum} += A[i]$ , 当数组 A 中元素的值过大时, 则会导致这条加法指令发生溢出异常: 而指令 2、5 虽然都是加法指令, 但它们分别为数组地址的计算指令和存储变量 i 的寄存器进行自增的指令, 而 i 最大到达 1000, 所以它们都不会产生溢出异常。只有访存指令可能产生缺页异常, 即指令 3 可能产生缺页异常。

因为数组 A 在磁盘的一页上, 而一开始数组并不在内存中, 第一次访问数组时会导致访盘, 把 A 调入内存, 而以后数组 A 的元素都在内存中, 则不会导致访盘, 所以该程序, 共访盘一次。每访问一次内存数据就会查 TLB 一次, 共访问数组 1000 次, 所以此时又访问 TLB 1000 次, 还要考虑到第一次访问数组 A, 即访问 A[0] 时, 会多访问一次 TLB (第一次访问 A[0] 会先查一次 TLB, 然后产生缺页, 处理完缺页中断后, 会重新访问 A[0], 此时又查 TLB), 所以访问 TLB 的次数一共是 1001 次。

## 六、综合题

37、解析: 微指令字长为 24 位, 操作控制字段被分为 4 组, 第 1 组 3 位 (表示 5 个微命令), 第 2 组 4 位, (表示 8 个微命令), 第 3 组 4 位 (表示 14 个微命令), 第 4 组 2 位 (表示 3 个微命令); 判断测试条件字段 2 位, 下地址字段 9 位。

1) 因为下地址字段有 9 位, 所以控制存储器的容量为  $2^9 \times 24$  位。

2) 微指令的具体格式如图所示。



38、解析:



1) 页大小为 8KB, 页内偏移地址为 13 位, 故  $A=B=32-13=19$ ;  $D=13$ ;  $C=24-13=11$ : 主存块大小为 64B, 故  $G=6$ 。2 路组相联, 每组数据区容量有  $64B \times 2=128B$ , 共有  $64KB/128B=512$  组, 故  $F=9$ :  $E=24-G-F=24-6-9=9$ 。因而  $A=19$ ,  $B=19$ ,  $C=11$ ,  $D=13$ ,  $E=9$ ,  $F=9$ ,  $G=6$ 。TLB 中标记字段 B 的内容是虚页号, 表示该 TLB 项对应哪个虚页的页表项。

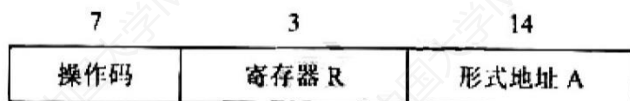
2) 块号  $4099=000001000000000011B$ , 因此所映射的 Cache 组号是  $000000011B=3$ , 对应的 H 字段内容为  $000001000B$ 。

3) Cache 缺失带来的开销小, 而处理缺页的开销大。因为缺页处理需要访问磁盘, 而 Cache 缺失只访问主存。

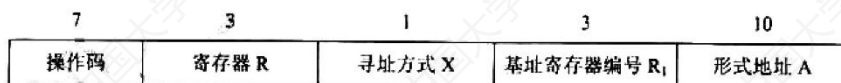
4) 因为采用直写策略时需要同时写快速存储器和慢速存储器, 而写磁盘比写主存慢得多, 所以, 在 Cache——主存层次, Cache 可以采用直写策略, 而在主存——外存 (磁盘) 层次, 修改页面内容时总是采用写回策略。

39、解析:

1) 首先, 操作码可以确定为 7 位; 8 个通用寄存器需要 3 位来表示; 访问 16K 字的主存也需要 14 位, 故指令字长需要  $7+3+14=24$  位, 指令格式如下:



2) 由于增加了一位寻址特征位, 且基址寄存器使用了通用寄存器, 因此除了加一位寻址方式 X, 还得空一个字段 (基址寄存器编号  $R_i$ ) 来表示使用哪一个通用寄存器作为基址寄存器, 故指令格式为



另外, 由于覆盖主存的 16K 字需要 14 位的地址, 而寄存器只有 12 位, 因此采用基址寻址不可以访问主存的任意单元, 但可以将通用寄存器的内容向左移动两位, 低位补 0, 这样就可以形成 14 位的基地址, 然后与形式地址相加, 得到的有效地址就可以访问 16K 字存储器的任意单元。



3) 首先, 由于不能改变硬件结构, 因此把寄存器的位数加长是不可行的。其次, 因为指令字长为 24 位, 而存储字长等于指令字长, 所以恰好使用一次间接寻址就能达到 16M 字的寻址范围, 完全可以满足题目所要求的寻址范围, 而且还超额完成任务。

中国大学MOOC



学长学姐互助答疑群

中国大学MOOC



期末突击课