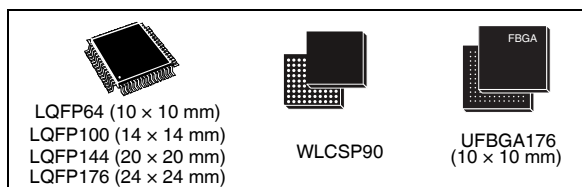


ARM Cortex-M4 32b MCU+FPU、210DMIPS、高达 1MB Flash/192+4KB RAM、加密、USB OTG HS/FS、以太网、17 个定时器、3 个 ADC、15 个通信接口和摄像头

数据手册 – 产品数据

## 特性

- 内核：ARM 32 位 Cortex™-M4 CPU，包含允许以 0 等待周期从 Flash 执行的自适应实时加速器 (ART Accelerator™)、频率高达 168 MHz、存储器保护单元、210 DMIPS、1.25 DMIPS/MHz (Dhrystone 2.1) 以及 DSP 指令
- 存储器
  - 多达 1MB 的 Flash
  - 多达 192+4 KB 的 SRAM，其中包括 64 KB 的 CCM（内核耦合存储器）数据 RAM
  - 灵活的静态存储器控制器，支持 CF 卡、SRAM、PSRAM、NOR 和 NAND 存储器
- LCD 并行接口，兼容 8080/6800 模式
- 时钟、复位和电源管理
  - 1.8 V 到 3.6 V 供电和 I/O
  - 上电复位 (POR)、掉电复位 (PDR)、可编程电压监测器 (PVD) 和欠压复位 (BOR)
  - 4 MHz 到 26 MHz 晶振
  - 内置经工厂校准过的 16 MHz RC 振荡器 (1% 精度)
  - 带校准功能的 32 kHz RTC 振荡器
  - 内置带校准功能的 32 kHz RC 振荡器
- 低功耗
  - 睡眠、停机和待机模式
  - V<sub>BAT</sub> 为 RTC 和 20x32 位备份寄存器 + 可选 4 KB 备份 SRAM 供电
- 3 个 12 位 2.4 MSPS A/D 转换器：多达 24 个通道，在三重交替模式下转换速率高达 7.2 MSPS
- 2 个 12 位 D/A 转换器
- 通用 DMA：支持 FIFO 和突发传输的 16 流 DMA 控制器
- 多达 17 个定时器：多达十二个 16 位定时器和两个 32 位定时器，频率高达 168 MHz，每个定时器有多达 4 个用于 IC/OC/PWM 或脉冲计数的通道和增量编码器输入
- 调试模式
  - 串行线调试 (SWD) 和 JTAG 接口
  - Cortex-M4 嵌入式跟踪宏单元™



- 多达 140 个具有中断功能的 I/O 端口
  - 多达 136 个快速 I/O 端口，频率高达 84 MHz
  - 多达 138 个 5V 容忍 I/O
- 多达 15 个通信接口
  - 多达 3 个 I<sup>2</sup>C 接口 (SMBus/PMBus)
  - 多达 4 个 USART/2 个 UART (10.5 Mb/s、ISO 7816 接口、LIN、IrDA、调制解调器控制)
  - 多达 3 个 SPI (37.5 Mb/s)，其中两个带复用全双工 I<sup>2</sup>S，可通过内部音频 PLL 或外部时钟实现音频级精度
  - 2 个 CAN 接口 (2.0B active)
  - SDIO 接口
- 高级连接
  - 带片上 PHY 的 USB 2.0 全速设备/主机/OTG 控制器
  - 带专用 DMA、片上全速 PHY 和 ULPI 的 USB 2.0 高速/全速设备/主机/OTG 控制器
  - 带专用 DMA 的 10/100 以太网 MAC：支持 IEEE 1588v2，MII/RMII
- 8 位到 14 位并行摄像头接口，传输率高达 54 MB/s
- 硬件加密：用于 AES 128、192、256、Triple DES、HASH (MD5 和 SHA-1) 以及 HMAC 的硬件加速
- 真随机数发生器
- CRC 计算单元
- 96 位唯一 ID
- RTC：亚秒精度、硬件日历

表 1. 器件汇总

缩写	料号
STM32F415xx	STM32F415RG、STM32F415VG、STM32F415ZG 和 STM32F415OG
STM32F417xx	STM32F417VG、STM32F417IG、STM32F417ZG、STM32F417VE、STM32F417ZE 和 STM32F417IE

## 目录

<b>1</b>	<b>前言</b>	<b>10</b>
<b>2</b>	<b>说明</b>	<b>11</b>
2.1	系列之间的全兼容性	14
2.2	器件概述	17
2.2.1	带嵌入式 Flash 和 SRAM 的 ARM® Cortex™-M4F 内核	18
2.2.2	自适应实时存储器加速器 (ART Accelerator™)	18
2.2.3	存储器保护单元	18
2.2.4	嵌入式 Flash	18
2.2.5	CRC (循环冗余校验) 计算单元	19
2.2.6	嵌入式 SRAM	19
2.2.7	多重 AHB 总线矩阵	19
2.2.8	DMA 控制器 (DMA)	20
2.2.9	灵活的静态存储控制器 (FSMC)	20
2.2.10	嵌套向量中断控制器 (NVIC)	21
2.2.11	外部中断/事件控制器 (EXTI)	21
2.2.12	时钟和启动	21
2.2.13	自举模式	21
2.2.14	电源方案	22
2.2.15	电源监控器	22
2.2.16	调压器	22
2.2.17	实时时钟 (RTC)、备份 SRAM 和备份寄存器	25
2.2.18	低功耗模式	26
2.2.19	V <sub>BAT</sub> 操作	26
2.2.20	定时器和看门狗	26
2.2.21	内部集成电路接口 (I <sup>2</sup> C)	29
2.2.22	通用同步/异步收发器 (USART)	29
2.2.23	串行外设接口 (SPI)	30
2.2.24	内部集成音频接口 (I <sup>2</sup> S)	30
2.2.25	音频 PLL (PLL12S)	30
2.2.26	安全数字输入/输出接口 (SDIO)	30
2.2.27	具有专用 DMA 和 IEEE 1588 支持的以太网 MAC 接口	31
2.2.28	控制器区域网络 (bxCAN)	31
2.2.29	全速 USB on-the-go (OTG_FS)	31

2.2.30	高速 USB on-the-go (OTG_HS)	32
2.2.31	数字摄像头接口 (DCMI)	32
2.2.32	硬件加密	33
2.2.33	随机数发生器 (RNG)	33
2.2.34	通用输入/输出接口 (GPIO)	33
2.2.35	模数转换器 (ADC)	33
2.2.36	温度传感器	34
2.2.37	数模转换器 (DAC)	34
2.2.38	串行线 JTAG 调试端口 (SWJ-DP)	34
2.2.39	嵌入式跟踪宏单元™	34
<b>3</b>	<b>引脚排列和引脚说明</b>	<b>35</b>
<b>4</b>	<b>存储器映射</b>	<b>59</b>
<b>5</b>	<b>电气特性</b>	<b>64</b>
5.1	参数条件	64
5.1.1	最小值和最大值	64
5.1.2	典型值	64
5.1.3	典型曲线	64
5.1.4	负载电容	64
5.1.5	引脚输入电压	64
5.1.6	电源方案	65
5.1.7	电流消耗测量	66
5.2	绝对最大额定值	66
5.3	工作条件	67
5.3.1	通用工作条件	67
5.3.2	VCAP1/VCAP2 外部电容	70
5.3.3	上电/掉电时的工作条件（调压器处于开启状态）	70
5.3.4	上电/掉电时的工作条件（调压器处于关闭状态）	70
5.3.5	内置复位和电源控制模块特性	71
5.3.6	供电电流特性	72
5.3.7	低功耗模式唤醒时间	84
5.3.8	外部时钟源特性	85
5.3.9	内部时钟源特性	89
5.3.10	PLL 特性	90
5.3.11	PLL 扩展频谱时钟发生器 (SSCG) 特性	92

5.3.12	存储器特性 .....	93
5.3.13	EMC 特性 .....	95
5.3.14	绝对最大额定值（电气敏感性） .....	97
5.3.15	I/O 电流注入特性 .....	98
5.3.16	I/O 端口特性 .....	99
5.3.17	NRST 引脚特性 .....	103
5.3.18	TIM 定时器特性 .....	104
5.3.19	通信接口 .....	105
5.3.20	12 位 ADC 特性 .....	117
5.3.21	温度传感器特性 .....	122
5.3.22	V <sub>BAT</sub> 监控特性 .....	122
5.3.23	内置参考电压 .....	122
5.3.24	DAC 电气特性 .....	123
5.3.25	FSMC 特性 .....	125
5.3.26	摄像头接口 (DCMI) 时序规范 .....	146
5.3.27	SD/SDIO MMC 卡主机接口 (SDIO) 特性 .....	146
5.3.28	RTC 特性 .....	147
<b>6</b>	<b>封装特性 .....</b>	<b>148</b>
6.1	封装机械数据 .....	148
6.2	热特性 .....	159
<b>7</b>	<b>料号 .....</b>	<b>160</b>
<b>附录 A</b>	<b>应用框图.....</b>	<b>161</b>
A.1	主要应用与封装.....	161
A.2	调压器关闭时的应用示例.....	162
A.3	USB OTG 全速 (FS) 接口解决方案 .....	163
A.4	USB OTG 高速 (HS) 接口解决方案 .....	165
A.5	完整的音频播放器解决方案 .....	166
A.6	以太网接口解决方案 .....	169
<b>8</b>	<b>版本历史 .....</b>	<b>171</b>

## 表格索引

表 1.	器件汇总 .....	1
表 2.	STM32F415xx 和 STM32F417xx: 特性和外设数量 .....	12
表 3.	定时器特性比较 .....	27
表 4.	USART 特性比较 .....	29
表 5.	引脚排列表中使用的图注/缩写 .....	40
表 6.	STM32F41x 引脚和焊球定义 .....	41
表 7.	FSMC 引脚定义 .....	52
表 8.	复用功能映射 .....	54
表 9.	STM32F41x 寄存器边界地址 .....	60
表 10.	电压特性 .....	66
表 11.	电流特性 .....	67
表 12.	热特性 .....	67
表 13.	通用工作条件 .....	67
表 14.	具体限制取决于工作电源电压范围 .....	69
表 15.	VCAP1/VCAP2 工作条件 .....	70
表 16.	上电/掉电时的工作条件 (调压器处于开启状态) .....	70
表 17.	上电/掉电时的工作条件 (调压器处于关闭状态) .....	70
表 18.	内置复位和电源控制模块特性 .....	71
表 19.	运行模式下的典型和最大电流消耗, 数据处理代码从 Flash 运行 (禁止 ART 加速器) ...	73
表 20.	运行模式下的典型和最大电流消耗, 数据处理代码从 Flash (使能 ART 加速器) 或 RAM 运行 .....	74
表 21.	睡眠模式下的典型和最大电流消耗 .....	77
表 22.	停机模式下的典型和最大电流消耗 .....	78
表 23.	待机模式下的典型和最大电流消耗 .....	78
表 24.	V <sub>BAT</sub> 模式下的典型和最大电流消耗 .....	79
表 25.	开关输出 I/O 电流消耗 .....	81
表 26.	外设电流消耗 .....	82
表 27.	低功耗模式唤醒时间 .....	84
表 28.	高速外部用户时钟特性 .....	85
表 29.	低速外部用户时钟特性 .....	85
表 30.	HSE 4-26 MHz 振荡器特性 .....	87
表 31.	LSE 振荡器特性 ( $f_{LSE} = 32.768 \text{ kHz}$ ) .....	88
表 32.	HSI 振荡器特性 .....	89
表 33.	LSI 振荡器特性 .....	89
表 34.	主 PLL 特性 .....	90
表 35.	PLL12S (音频 PLL) 特性 .....	91
表 36.	SSCG 参数限制 .....	92
表 37.	Flash 特性 .....	93
表 38.	Flash 编程 .....	94
表 39.	使用 V <sub>PP</sub> 进行 Flash 编程 .....	94
表 40.	Flash 可擦写次数和数据保存期限 .....	95
表 41.	EMS 特性 .....	96
表 42.	EMI 特性 .....	97
表 43.	ESD 绝对最大额定值 .....	97
表 44.	电气敏感性 .....	98
表 45.	I/O 电流注入敏感性 .....	98
表 46.	I/O 静态特性 .....	99

表 47.	输出电压特性 .....	100
表 48.	I/O 交流特性 .....	101
表 49.	NRST 引脚特性 .....	103
表 50.	与 APB1 域相连的 TIMx 的特性 .....	104
表 51.	与 APB2 域相连的 TIMx 的特性 .....	104
表 52.	I <sup>2</sup> C 特性 .....	105
表 53.	SCL 频率 (f <sub>PCLK1</sub> = 42 MHz, V <sub>DD</sub> = 3.3 V) .....	106
表 54.	SPI 特性 .....	107
表 55.	I <sup>2</sup> S 特性 .....	110
表 56.	USB OTG FS 启动时间 .....	112
表 57.	USB OTG FS 直流电气特性 .....	112
表 58.	USB OTG FS 电气特性 .....	113
表 59.	USB FS 时钟时序参数 .....	113
表 60.	USB HS 直流电气特性 .....	114
表 61.	USB HS 时钟时序参数 .....	114
表 62.	ULPI 时序 .....	115
表 63.	以太网直流电气特性 .....	115
表 64.	动态特性: 以太网 MAC 的 SMI 信号 .....	115
表 65.	动态特性: 以太网 MAC 的 RMII 信号 .....	116
表 66.	动态特性: 以太网 MAC 的 MII 信号 .....	117
表 67.	ADC 特性 .....	117
表 68.	f <sub>ADC</sub> = 30 MHz 时的 ADC 精度 .....	119
表 69.	温度传感器特性 .....	122
表 70.	V <sub>BAT</sub> 监控特性 .....	122
表 71.	内置内部参考电压 .....	122
表 72.	DAC 特性 .....	123
表 73.	异步非复用 SRAM/PSRAM/NOR 读操作时序 .....	126
表 74.	异步非复用 SRAM/PSRAM/NOR 写操作时序 .....	127
表 75.	异步复用 PSRAM/NOR 读操作时序 .....	128
表 76.	异步复用 PSRAM/NOR 写操作时序 .....	129
表 77.	同步复用 NOR/PSRAM 读操作时序 .....	131
表 78.	同步复用 PSRAM 写操作时序 .....	133
表 79.	同步非复用 NOR/PSRAM 读操作时序 .....	135
表 80.	同步非复用 PSRAM 写操作时序 .....	137
表 81.	PC 卡/CF 读写特性空间/通用空间时的时序参数 .....	141
表 82.	PC 卡/CF 读写 I/O 空间时的时序参数 .....	142
表 83.	NAND Flash 读操作时序参数 .....	145
表 84.	NAND Flash 写操作时序参数 .....	145
表 85.	DCMI 特性 .....	146
表 86.	SD/MMC 特性 .....	147
表 87.	RTC 特性 .....	147
表 88.	WLCSP90 - 0.400 mm 间距, 晶圆级芯片尺寸封装机械数据 .....	149
表 89.	LQFP64 - 10 x 10 mm 64 引脚薄型正方扁平封装机械数据 .....	150
表 90.	LQFP100 - 14 x 14 mm 100 引脚薄型正方扁平封装机械数据 .....	152
表 91.	LQFP144, 20 x 20 mm, 144 引脚薄型正方扁平封装机械数据 .....	154
表 92.	UFBGA176+25 - 超细间距球形封装 10 x 10 x 0.6 mm 机械数据 .....	156
表 93.	LQFP176, 24 x 24 mm, 176 引脚薄型正方扁平封装机械数据 .....	157
表 94.	封装热特性 .....	159
表 95.	订货代码 .....	160
表 96.	适用于 STM32F417xx 微控制器的主要应用与封装 .....	161
表 97.	文档版本历史 .....	171

## 图片索引

图 1.	采用 LQFP64 封装的 STM32F10xx/STM32F4xx 的兼容电路板设计 .....	14
图 2.	采用 LQFP100 封装的 STM32F10xx/STM32F2xx/STM32F4xx 的兼容电路板设计 .....	15
图 3.	采用 LQFP144 封装的 STM32F10xx/STM32F2xx/STM32F4xx 的兼容电路板设计 .....	15
图 4.	采用 LQFP176 封装的 STM32F2xx 和 STM32F4xx 的兼容电路板设计 .....	16
图 5.	STM32F41x 框图 .....	17
图 6.	多重 AHB 矩阵 .....	19
图 7.	调压器开启/内部复位关闭 .....	23
图 8.	在调压器关闭模式下启动: $V_{DD}$ 斜率变化较小 - $V_{CAP\_1}/V_{CAP\_2}$ 稳定之后触发掉电复位 .....	24
图 9.	在调压器关闭模式下启动: $V_{DD}$ 斜率变化较大 - $V_{CAP\_1}/V_{CAP\_2}$ 稳定之前触发掉电复位 .....	25
图 10.	STM32F41x LQFP64 引脚排列 .....	35
图 11.	STM32F41x LQFP100 引脚排列 .....	36
图 12.	STM32F41x LQFP144 引脚排列 .....	37
图 13.	STM32F41x LQFP176 引脚排列 .....	38
图 14.	STM32F41x UFBGA176 焊球布局 .....	39
图 15.	STM32F41x WLCSP90 焊球布局 .....	40
图 16.	STM32F41x 存储器映射 .....	59
图 17.	引脚负载条件 .....	64
图 18.	引脚输入电压 .....	64
图 19.	电源方案 .....	65
图 20.	电流消耗测量方案 .....	66
图 21.	外部电容 $C_{EXT}$ .....	70
图 22.	运行模式下的典型电流消耗与温度, 数据处理代码从 Flash (ART 加速器开启) 或 RAM 运行, 外设关闭 .....	75
图 23.	运行模式下的典型电流消耗与温度, 数据处理代码从 Flash (ART 加速器开启) 或 RAM 运行, 外设开启 .....	75
图 24.	运行模式下的典型电流消耗与温度, 数据处理代码从 Flash (ART 加速器关闭) 或 RAM 运行, 外设关闭 .....	76
图 25.	运行模式下的典型电流消耗与温度, 数据处理代码从 Flash (ART 加速器关闭) 或 RAM 运行, 外设开启 .....	76
图 26.	$V_{BAT}$ 的典型电流消耗 (LSE 和 RTC 处于开启状态/备份 RAM 处于关闭状态) .....	79
图 27.	$V_{BAT}$ 的典型电流消耗 (LSE 和 RTC 处于开启状态/备份 RAM 处于开启状态) .....	80
图 28.	高速外部时钟源的交流时序图 .....	86
图 29.	低速外部时钟源的交流时序图 .....	86
图 30.	采用 8 MHz 晶振的典型应用 .....	87
图 31.	采用 32.768 kHz 晶振的典型应用 .....	88
图 32.	$ACC_{LSI}$ - 温度曲线 .....	90
图 33.	中心扩频下的 PLL 输出时钟波形 .....	93
图 34.	向下扩频模式下的 PLL 输出时钟波形 .....	93
图 35.	I/O 交流特性定义 .....	102
图 36.	推荐的 NRST 引脚保护电路 .....	103
图 37.	I <sup>2</sup> C 总线交流波形和测量电路 .....	106
图 38.	SPI 时序图——从模式且 $CPHA = 0$ .....	108
图 39.	SPI 时序图——从模式且 $CPHA = 1^{(1)}$ .....	108



图 40.	SPI 时序图——主模式 <sup>(1)</sup>	109
图 41.	I <sup>2</sup> S 从模式时序图 (Philips 协议) <sup>(1)</sup>	111
图 42.	I <sup>2</sup> S 从模式时序图 (Philips 协议) <sup>(1)</sup>	111
图 43.	USB OTG FS 时序: 数据信号上升时间和下降时间的定义	113
图 44.	ULPI 时序图	114
图 45.	以太网 SMI 时序图	115
图 46.	以太网 RMII 时序图	116
图 47.	以太网 MII 时序图	116
图 48.	ADC 精度特性	120
图 49.	使用 ADC 的典型连接图	120
图 50.	工作电源和参考电源去耦 ( $V_{REF+}$ 未连接到 $V_{DDA}$ )	121
图 51.	工作电源和参考电源去耦 ( $V_{REF+}$ 连接到 $V_{DDA}$ )	121
图 52.	12 位缓冲/非缓冲 DAC	124
图 53.	异步非复用 SRAM/PSRAM/NOR 读操作波形	125
图 54.	异步非复用 SRAM/PSRAM/NOR 写操作波形	127
图 55.	异步复用 PSRAM/NOR 读操作波形	128
图 56.	异步复用 PSRAM/NOR 写操作波形	129
图 57.	同步复用 NOR/PSRAM 读操作时序	130
图 58.	同步复用 PSRAM 写操作时序	132
图 59.	同步非复用 NOR/PSRAM 读操作时序	134
图 60.	同步非复用 PSRAM 写操作时序	136
图 61.	PC 卡/CF 卡控制器对存储器通用空间读操作波形	138
图 62.	PC 卡/CF 卡控制器对存储器通用空间写操作波形	138
图 63.	PC 卡/CF 卡控制器对存储器特性空间读操作波形	139
图 64.	PC 卡/CF 卡控制器对存储器特性空间写操作波形	140
图 65.	PC 卡/CF 卡控制器对存储器 I/O 空间读操作波形	140
图 66.	PC 卡/CF 卡控制器对存储器 I/O 空间写操作波形	141
图 67.	NAND 控制器的读访问波形	143
图 68.	NAND 控制器的写访问波形	144
图 69.	NAND 控制器的存储器通用空间读访问波形	144
图 70.	NAND 控制器的存储器通用空间写访问波形	145
图 71.	SDIO 高速模式	146
图 72.	SD 默认模式	146
图 73.	WLCSP90 - 0.400 mm 间距, 晶圆级芯片尺寸封装图	149
图 74.	LQFP64 - 10 x 10 mm 64 引脚薄型正方扁平封装图	150
图 75.	LQFP64 推荐的封装图	151
图 76.	LQFP100, 14 x 14 mm 100 引脚薄型正方扁平封装图	152
图 77.	LQFP100 推荐的封装图	153
图 78.	LQFP144, 20 x 20 mm, 144 引脚薄型正方扁平封装图	154
图 79.	LQFP144 推荐的封装图	155
图 80.	UFBGA176+25 - 超细间距球形封装 10 x 10 x 0.6 mm, 封装图	156
图 81.	LQFP176 24 x 24 mm, 176 引脚薄型正方扁平封装图	157
图 82.	LQFP176 推荐的封装图	158
图 83.	调压器关闭/内部复位开启	162
图 84.	调压器关闭/内部复位关闭	162
图 85.	USB 控制器配置为“仅作设备”并在全速模式下使用	163
图 86.	USB 控制器配置为“仅作主机”并在全速模式下使用	163
图 87.	USB 控制器在双角色模式下配置并在全速模式下使用	164



图 88. USB 控制器配置为设备模式、主机模式或双角色模式并在高速模式下使用 ..... 165

图 89. 完整的音频播放器解决方案 1 ..... 166

图 90. 完整的音频播放器解决方案 2 ..... 166

图 91. 使用 PLL、PLLI2S、USB 和 1 个晶振的音频播放器解决方案 ..... 167

图 92. 提供精确的 I2S 时钟的音频 PLL (PLLI2S) ..... 167

图 93. 需要主时钟 (MCK) 驱动外部音频 DAC 时 ..... 168

图 94. 不需要主时钟 (MCK) 驱动外部音频 DAC 时 ..... 168

图 95. 使用 25 MHz 晶振的 MII 模式 ..... 169

图 96. 使用 50 MHz 振荡器的 RMII 模式 ..... 169

图 97. 使用 25 MHz 晶振的 RMII 和带 PLL 的 PHY ..... 170

# 1 前言

本数据手册介绍了 STM32F415xx 和 STM32F417xx 系列微控制器。有关意法半导体整个 STM32™ 系列的更多详细信息，请参见 [第 2.1 节：系列之间的全兼容性](#)。

应将 STM32F415xx 和 STM32F417xx 数据手册与 STM32F4xx 参考手册相结合来阅读。

有关内部 Flash 的编程、擦除和保护等信息，请参见《STM32F4xx Flash 编程手册》(PM0081)。

参考手册和 Flash 编程参考手册均可在 ST 网站下载：[www.st.com](http://www.st.com)。

有关 Cortex™-M4 内核的信息，请参见《Cortex™-M4 技术参考手册》，可从 [www.arm.com](http://www.arm.com) 网站的以下地址下载：<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0439b/>。

## 2 说明

STM32F415xx 和 STM32F417xx 系列基于高性能 ARM® Cortex™-M4 32 位 RISC 内核，工作频率高达 168 MHz。Cortex-M4 内核具有浮点运算单元 (FPU)，该单元支持所有 ARM 单精度数据处理指令和数据类型。它还具有一整套 DSP 指令以及可增强应用安全性的存储器保护单元 (MPU)。在本文档中，将具有 FPU 的 Cortex-M4 内核称为 Cortex-M4F。

STM32F415xx 和 STM32F417xx 系列集成了高速嵌入式存储器（Flash 多达 1 MB，SRAM 多达 192 KB）、多达 4 KB 的备份 SRAM 以及诸多连接到两根 APB 总线、三根 AHB 总线和 32 位多重 AHB 总线矩阵的增强 I/O 和外设。

所有器件均提供三个 12 位 ADC、两个 DAC、一个低功耗 RTC、十二个通用 16 位定时器（其中包括两个用于电机控制的 PWM 定时器）、两个通用 32 位定时器、一个真随机数发生器 (RNG) 以及一个硬件加密单元。它们也具有以下标准和高级通信接口。

- 多达三个 I<sup>2</sup>C
- 三个 SPI，两个 I<sup>2</sup>S，均为全双工。要达到音频级精度，可通过专用内部音频 PLL 或外部时钟来驱动 I<sup>2</sup>S 外设以实现同步。
- 四个 USART + 两个 UART
- 一个全速 USB OTG 和一个具有全速功能的高速 USB OTG（带 ULPI）
- 两个 CAN
- 一个 SDIO/MMC 接口
- 以太网和摄像头接口（仅限 STM32F417xx 器件）。

新款高级外设包括一个 SDIO、一个增强型灵活静态存储控制器 (FSMC) 接口（用于采用 100 个及更多引脚封装的器件）、一个用于 CMOS 传感器的摄像头接口以及一个硬件加密单元。有关各料号的可用外设列表，请参见 [表 2: STM32F415xx 和 STM32F417xx: 特性和外设数量](#)。

STM32F415xx 和 STM32F417xx 系列的工作温度范围为 -40 °C 到 +105 °C，电源电压范围为 1.8 V 到 3.6 V。当器件在 0 °C 到 70 °C 的温度范围内工作时，通过对 PDR\_ON 施加一个低电平复位信号，电源电压可降到 1.7 V。该系列提供了一套全面的节能模式，可实现低功耗应用设计。

STM32F415xx 和 STM32F417xx 系列提供了多种封装的器件：从 64 引脚到 176 引脚。根据所选器件的不同，其中包含的外设也有所不同。



这些特性使 STM32F415xx 和 STM32F417xx 微控制器系列适合于多种应用：

- 电机驱动和应用控制
- 医疗设备
- 工业应用：PLC、逆变器、断路器
- 打印机和扫描仪
- 报警系统、可视对讲和 HVAC
- 家用音频设备

图 5 给出了该器件系列的总体框图。

表 2. STM32F415xx 和 STM32F417xx：特性和外设数量

外设		STM32F415RG	STM32F415OG	STM32F415VG	STM32F415ZG	STM32F417Vx		STM32F417Zx		STM32F417Ix	
Flash (KB)		1024				512	1024	512	1024	512	1024
SRAM (KB)	系统	192(112+16+64)									
	备份	4									
FSMC 存储控制器		无	有 <sup>(1)</sup>								
以太网		无				有					
定时器	通用	10									
	高级控制	2									
	基本	2									
	IWDG	有									
	WWDG	有									
	RTC	有									
随机数发生器		有									
通信接口	SPI/I <sup>2</sup> S	3/2（全双工） <sup>(2)</sup>									
	I <sup>2</sup> C	3									
	USART/UART	4/2									
	USB OTG FS	有									
	USB OTG HS	有									
	CAN	2									
	SDIO	有									

**表 2. STM32F415xx 和 STM32F417xx: 特性和外设数量 (续)**

外设	STM32F415RG	STM32F415OG	STM32F415VG	STM32F415ZG	STM32F417Vx	STM32F417Zx	STM32F417Ix
摄像头接口	无				有		
加密	有						
GPIO	51	72	82	114	82	114	140
12 位 ADC 通道数	3						
	16	13	16	24	16	24	24
12 位 DAC 通道数	有						
	2						
最大 CPU 频率	168 MHz						
工作电压	1.8 V 到 3.6 V <sup>(3)</sup>						
工作温度	环境温度：-40 °C 到 +85 °C/-40 °C 到 +105 °C						
	结温：-40 °C 到 125 °C						
封装	LQFP64	WLCSP90	LQFP100	LQFP144	LQFP100	LQFP144	UFBGA176 LQFP176

- 对于 LQFP100 封装, 只有 FSMC Bank1 或 Bank2 可用。Bank1 只能通过片选信号 NE1 以复用模式支持 NOR/PSRAM 存储器。Bank2 只能通过片选信号 NE2 支持 16 位或 8 位 NAND Flash。由于此封装中未提供端口 G, 因此无法使用中断线。
- SPI2 和 SPI3 接口可以在 SPI 模式和 I2S 音频模式这两种工作方式之间灵活切换。
- 当器件在 0 °C 到 70 °C 的温度范围内工作时, 通过对 PDR\_ON 施加一个低电平复位信号, 可使  $V_{DD}/V_{DDA}$  达到最小值 1.7 V。

## 2.1 系列之间的全兼容性

STM32F415xx 和 STM32F417xx 属于 STM32F4 系列。它们的引脚、软件和功能与 STM32F2xx 器件完全兼容，从而允许用户尝试不同的存储容量、外设和性能（FPU，更高频率），并在开发期间提供更大的自由度。

STM32F415xx 和 STM32F417xx 器件与整个 STM32F10xxx 系列保持着紧密的兼容性。所有功能引脚均为引脚到引脚兼容。但是，STM32F415xx 和 STM32F417xx 并不能直接替代 STM32F10xxx 器件：这两种系列的电源方案不同，因此它们的电源引脚也有所不同。尽管如此，从 STM32F10xxx 转换到 STM32F41x 系列仍然很简单，因为只有少量引脚受到影响。

图 4、图 3、图 2 和 图 1 给出了 STM32F41x、STM32F2xx 和 STM32F10xxx 系列间的兼容电路板设计。

图 1. 采用 LQFP64 封装的 STM32F10xx/STM32F4xx 的兼容电路板设计

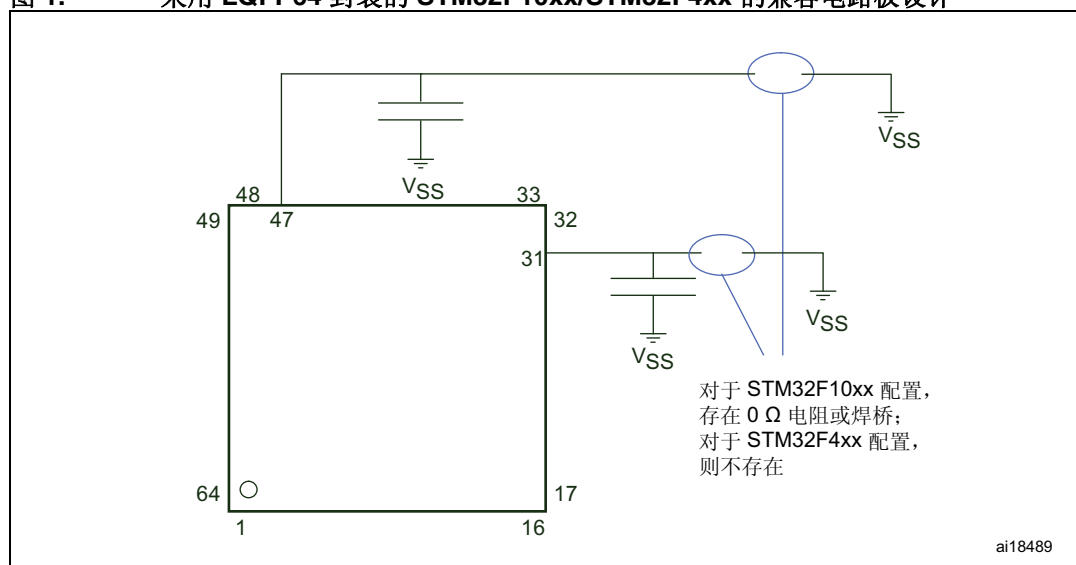


图 2. 采用 LQFP100 封装的 STM32F10xx/STM32F2xx/STM32F4xx 的兼容电路板设计

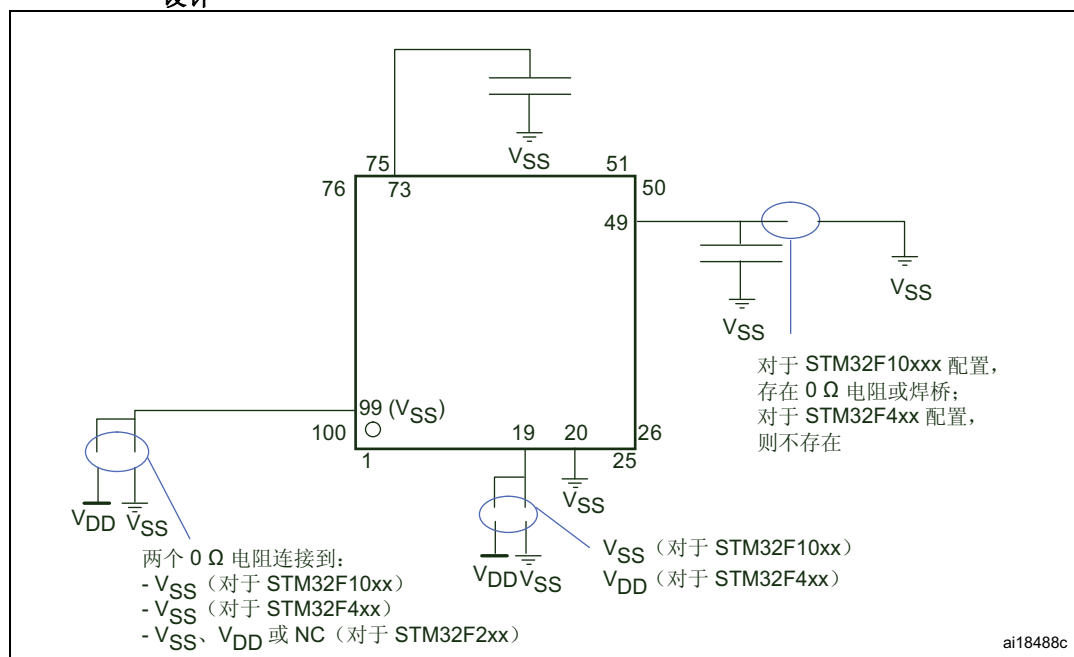


图 3. 采用 LQFP144 封装的 STM32F10xx/STM32F2xx/STM32F4xx 的兼容电路板设计

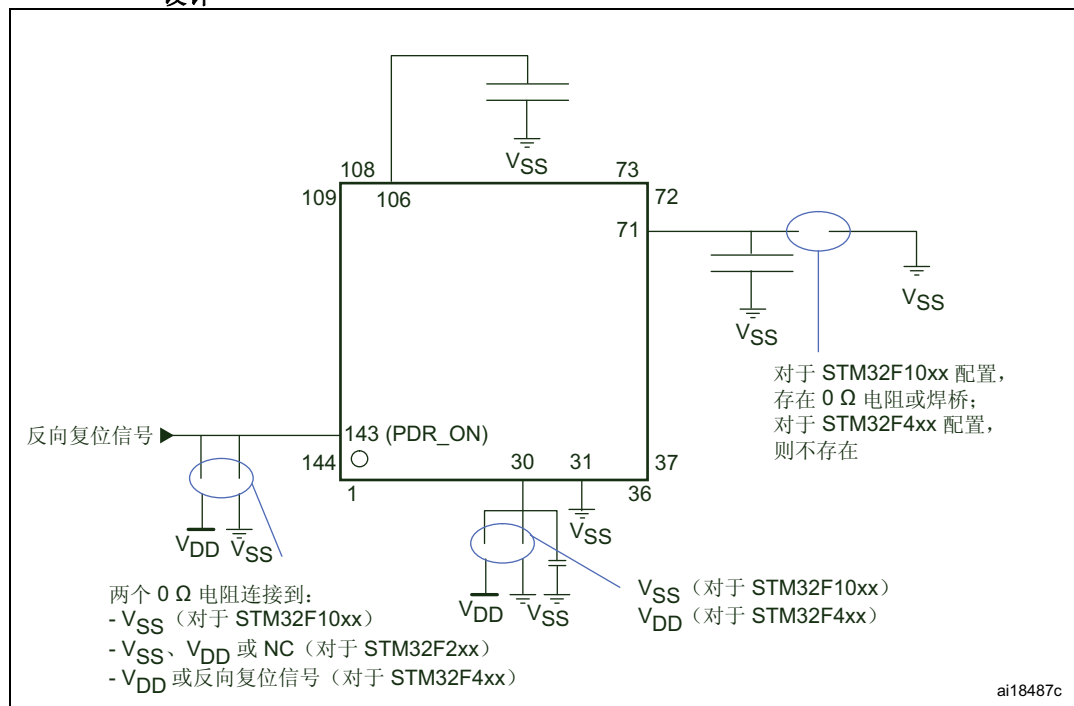
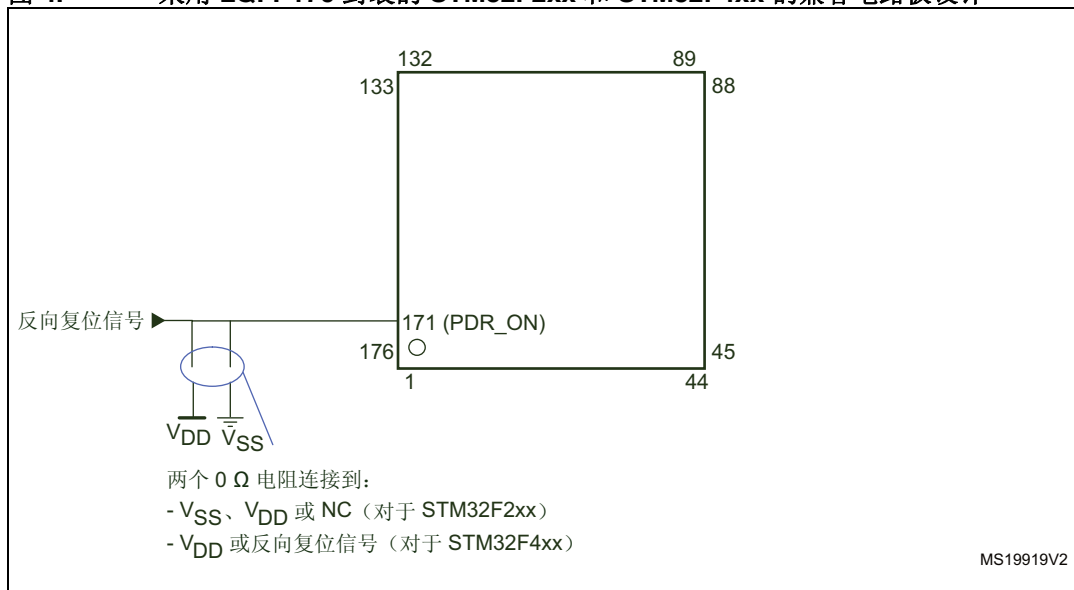


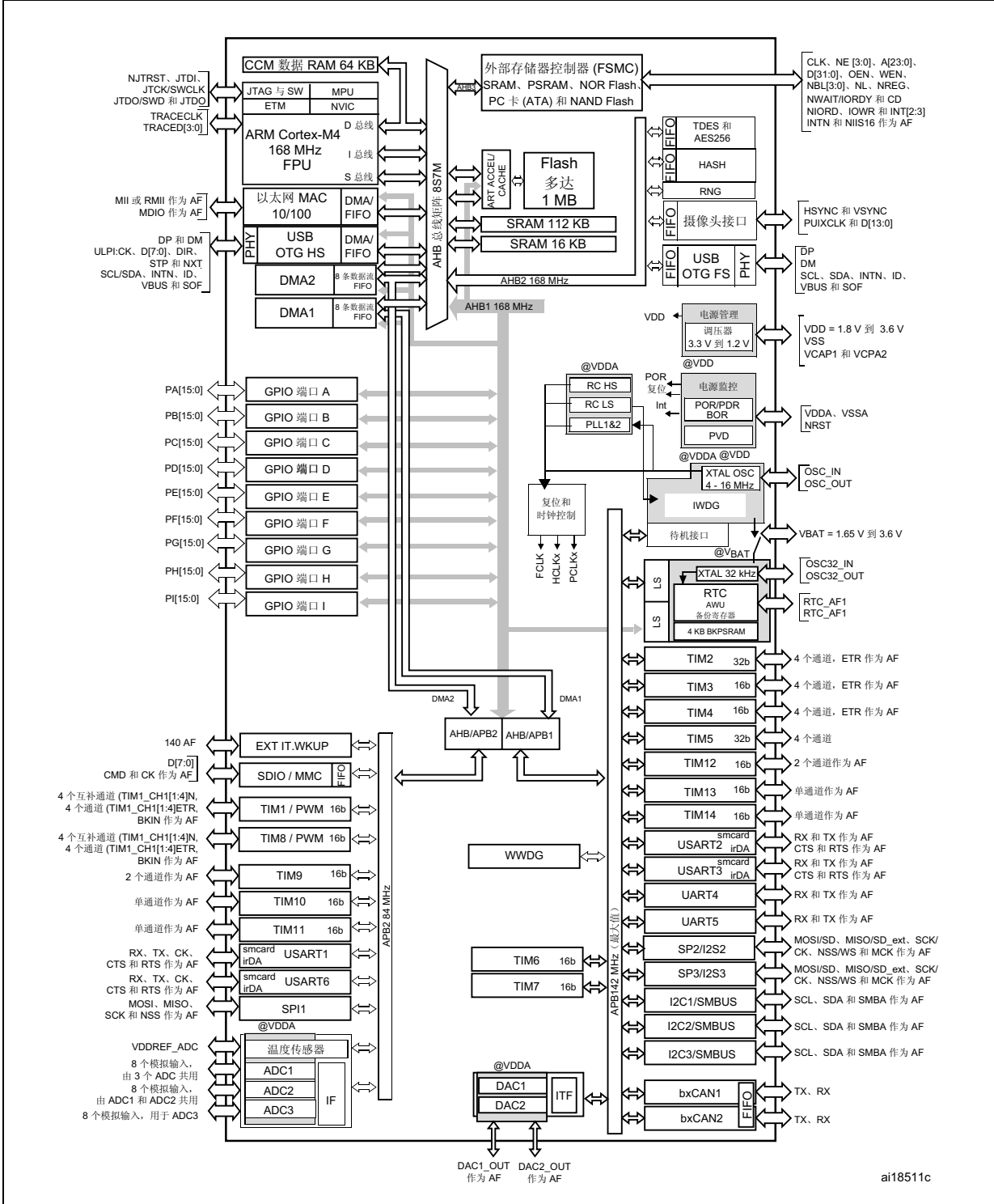


图 4. 采用 LQFP176 封装的 STM32F2xx 和 STM32F4xx 的兼容电路板设计



2.2 器件概述

图 5. STM32F41x 框图



1. 与 APB2 连接的定时器通过频率高达 168 MHz 的 TIMxCLK 驱动，而与 APB1 连接的定时器则通过频率高达 84 MHz 的 TIMxCLK 驱动。

2. 只有 STM32F417xx 器件提供摄像头接口和以太网。

## 2.2.1 带嵌入式 Flash 和 SRAM 的 ARM® Cortex™-M4F 内核

ARM Cortex-M4F 处理器是最新一代的嵌入式系统 ARM 处理器。该处理器引脚数少、功耗低，能够提供满足 MCU 实现要求的低成本平台，同时具备卓越的计算性能和先进的中断响应。

ARM Cortex-M4F 32 位 RISC 处理器具有优异的代码效率，通常采用 8 位和 16 位器件的存储器空间即可发挥 ARM 内核的高性能。

该处理器支持一套 DSP 指令，可实现高效的信号处理和复杂的算法执行。

其单精度 FPU（浮点运算单元）可使用元语言开发工具，同时可避免饱和，从而加快软件开发。

STM32F415xx 和 STM32F417xx 系列兼容所有 ARM 工具和软件。

[图 5](#) 给出了 STM32F41x 系列的总体框图。

注：Cortex-M4F 与 Cortex-M3 代码兼容。

## 2.2.2 自适应实时存储器加速器 (ART Accelerator™)

ART Accelerator™ 是一款针对 STM32 工业标准 ARM® Cortex™-M4F 处理器优化的存储器加速器。对于传统的 FLASH 技术而言，通常高速的 MCU 需要等待低速的 FLASH，从而影响性能。而 ART 加速器很好地平衡了 ARM Cortex - M4F 与 FLASH 之间的性能差异。

为在此频率下充分发挥处理器的 210 DMIPS 性能，该加速器实施了指令预取队列和分支缓存，从而提高了 128 位 Flash 的程序执行速度。根据 CoreMark 基准测试，凭借 ART 加速器所获得的性能相当于 Flash 在 CPU 频率高达 168 MHz 时以 0 个等待周期执行程序。

## 2.2.3 存储器保护单元

存储器保护单元 (MPU) 用于管理 CPU 对存储器的访问，以防止某个任务对任何其它激活任务所使用的存储器或资源造成意外损坏。此存储区划分为多达 8 个保护区域，每个区域还可以进一步划分为 8 个子区域。保护区域的大小介于 32 字节与整个 4 GB 可寻址存储器之间。

在一些应用中，需要防止某些关键或认证的代码受到其他任务不当行为的影响，此时 MPU 尤其有帮助。MPU 通常由 RTOS（实时操作系统）管理。如果某个程序对 MPU 禁止的存储单元进行访问，则 RTOS 会检测到并采取相应措施。在 RTOS 环境中，内核可根据要执行的进程动态更新 MPU 区域设置。

MPU 为可选项，如果应用不需要，可以将其忽略。

## 2.2.4 嵌入式 Flash

STM32F41x 器件内置一个 512 KB 或 1 MB 的 Flash，用于存储程序和数据。

### 2.2.5 CRC（循环冗余校验）计算单元

CRC（循环冗余校验）计算单元使用一个固定的生成多项式从一个 32 位的数据字中产生 CRC 码。

在众多的应用中，基于 CRC 的技术还常用来验证数据传输或存储的完整性。根据 EN/IEC 60335-1 标准的规定，这些技术提供了验证 Flash 完整性的方法。CRC 计算单元有助于在运行期间计算软件签名，并将该签名与链接时生成并存储在指定存储单元的参考签名加以比较。

### 2.2.6 嵌入式 SRAM

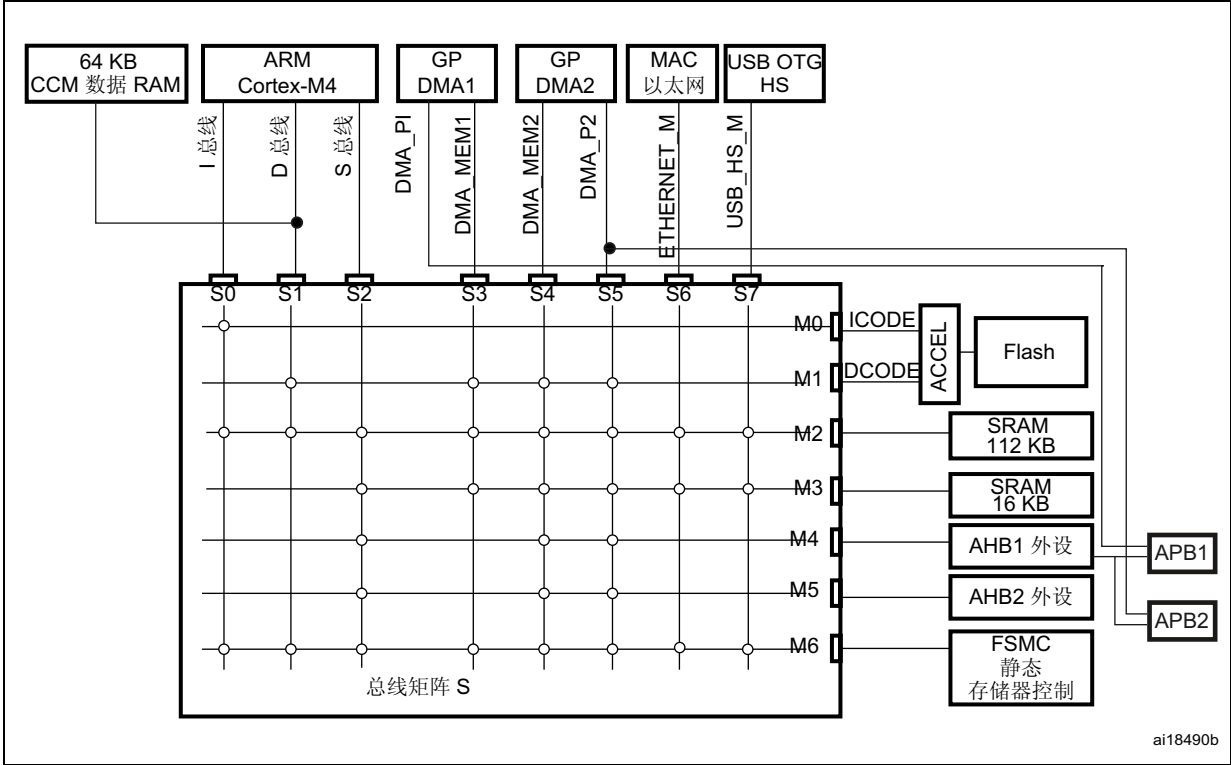
所有 STM32F41x 产品均内置：

- 多达 192 KB 的系统 SRAM，其中包括 64 KB 的 CCM（内核耦合存储器）数据 RAM  
RAM 存储器可在 CPU 时钟速度下以 0 等待周期访问（读/写）。
- 4 KB 的备份 SRAM  
只能通过 CPU 访问该区域。其内容会受到保护，以防止意外的写访问，并保持在待机或 VBAT 模式。

### 2.2.7 多重 AHB 总线矩阵

32 位多重 AHB 总线矩阵可与所有主器件（CPU、DMA、以太网和 USB HS）和从器件（Flash、RAM、FSMC、AHB 和 APB 外设）互连，并确保即使多个高速外设同时工作时仍可无缝且高效地操作。

图 6. 多重 AHB 矩阵



## 2.2.8 DMA 控制器 (DMA)

器件提供两个通用双端口 DMA (DMA1 和 DMA2)，每个 DMA 具有 8 个数据流。这两个 DMA 能够管理存储器到存储器、外设到存储器和存储器到外设的传输。它们具有专用于 APB/AHB 外设的 FIFO，支持突发传输并可提供最大外设带宽 (AHB/APB)。

这两个 DMA 控制器支持循环缓冲区管理，因此当控制器到达缓冲区末尾时，无需特定的代码。这两个 DMA 控制器还具有双缓冲功能，该功能可自动使用和切换两个存储器缓冲区，无需任何特殊代码。

每个数据流都与专用的硬件 DMA 请求相连，同时支持软件触发。通过软件进行相关配置，并且数据源和数据目标之间传输的数据量不受限制。

DMA 可与以下主要外设配合使用：

- SPI 和 I<sup>2</sup>S
- I<sup>2</sup>C
- USART
- 通用基本/高级控制定时器 TIMx
- DAC
- SDIO
- 硬件加密
- 摄像头接口 (DCMI)
- ADC

## 2.2.9 灵活的静态存储控制器 (FSMC)

STM32F415xx 和 STM32F417xx 系列中内置了 FSMC。它具有四个片选输出，支持以下模式：PC 卡/CF 卡、SRAM、PSRAM、NOR Flash 和 NAND Flash。

功能概述：

- 写 FIFO
- 用于同步访问的最大 FSMC\_CLK 频率为 60 MHz。

### LCD 并行接口

FSMC 可以和大多数图形 LCD 控制器无缝连接。它支持 Intel 8080 和 Motorola 6800 模式，并且可以灵活适应特定的 LCD 接口。凭借这种 LCD 并行接口功能，可使用带嵌入式控制器的 LCD 模块轻松构建经济高效的图形应用，也可使用带专用加速功能的外部控制器轻松构建高性能解决方案。

### 2.2.10 嵌套向量中断控制器 (NVIC)

STM32F415xx 和 STM32F417xx 内置有一个嵌套向量中断控制器。该中断控制器可以管理 16 个不同的中断优先级，并处理多达 82 个可屏蔽中断通道以及 Cortex™-M4F 的 16 根中断线。

- 紧耦合的 NVIC 使得中断响应更快
- 直接向内核传递中断入口向量地址
- 允许对中断进行早期处理
- 处理后到但优先级较高的中断
- 支持中断咬尾功能
- 自动保存处理器状态
- 退出中断时自动恢复现场，无需指令开销

此硬件模块以最短的中断延迟提供了灵活的中断管理功能。

### 2.2.11 外部中断/事件控制器 (EXTI)

外部中断/事件控制器包含 23 根用于产生中断/事件请求的边沿检测中断线。每根中断线都可以独立配置以选择触发事件（上升沿触发、下降沿触发或边沿触发），并且可以单独屏蔽。挂起寄存器用于保持中断请求的状态。EXTI 可检测到脉冲宽度小于内部 APB2 时钟周期的外部中断信号。外部中断线最多有 16 根，可从最多 140 个 GPIO 中选择连接。

### 2.2.12 时钟和启动

复位时，选择 16 MHz 内部 RC 振荡器作为默认 CPU 时钟。该 16 MHz 内部 RC 振荡器经工厂调校，可在整个温度范围内提供 1% 的精度。应用可以选择 RC 振荡器或外部 4-26 MHz 时钟源作为系统时钟。可以监视此时钟是否失效。如果检测到该时钟失效，系统将自动切换回内部 RC 振荡器，并生成一个软件中断（如果已使能）。此时钟源可以作为 PLL 的输入，因此允许将频率提高到 168 MHz。类似地，必要时（例如，当间接使用的外部振荡器发生故障时）可以对 PLL 时钟输入进行完全的中断管理。

可通过多个预分频器配置三根 AHB 总线、高速 APB (APB2) 和低速 APB (APB1) 域。三根 AHB 总线的最大频率为 168 MHz，而高速 APB 域的最大频率为 84 MHz。低速 APB 域的最大允许频率为 42 MHz。

器件内置一个专用 PLL (PLL12S)，可实现音频级性能。在这种情况下，I<sup>2</sup>S 主时钟可生成所有介于 8 kHz 到 192 kHz 之间的标准采样频率。

### 2.2.13 自举模式

启动时，通过自举引脚来选择以下三种自举模式之一：

- 从用户 Flash 自举
- 从系统存储器自举
- 从内嵌的 SRAM 自举

自举程序位于系统存储器中。它可使用 USART1 (PA9/PA10)、USART3 (PC10/PC11 或 PB10/PB11)、CAN2 (PB5/PB13)、USB OTG FS 器件模式 (PA11/PA12) 通过 DFU（设备固件更新）对 Flash 重新编程。

### 2.2.14 电源方案

- $V_{DD} = 1.8\text{ V}$  到  $3.6\text{ V}$ : I/O 和内部调压器（使能时）的外部电源，通过  $V_{DD}$  引脚从外部提供。
- $V_{SSA}$  和  $V_{DDA} = 1.8\text{ V}$  到  $3.6\text{ V}$ : ADC、DAC、复位模块、RC 和 PLL 的外部模拟电源。 $V_{DDA}$  和  $V_{SSA}$  必须分别连接到  $V_{DD}$  和  $V_{SS}$ 。
- $V_{BAT} = 1.65\text{ V}$  到  $3.6\text{ V}$ : 当  $V_{DD}$  不存在时，作为 RTC、外部时钟 32 kHz 振荡器和备份寄存器的电源（通过电源开关供电）。

更多详细信息，请参见图 19: 电源方案。

注: 当器件在  $0\text{ }^{\circ}\text{C}$  到  $70\text{ }^{\circ}\text{C}$  的温度范围内工作时，通过对  $PDR\_ON$  施加一个低电平复位信号，可使  $V_{DD}/V_{DDA}$  达到最小值  $1.7\text{ V}$ 。

### 2.2.15 电源监控器

通过将  $PDR\_ON$  保持高电平使能电源监控器。

本器件内部集成有与欠压复位 (BOR) 电路耦合的上电复位 (POR)/掉电复位 (PDR) 电路。上电时，BOR 始终处于活动状态，并确保从  $1.8\text{ V}$  开始正常工作。达到  $1.8\text{ V}$  BOR 阈值电压之后，选项字节加载过程将启动，以确认或修改默认阈值，或者立即禁止 BOR。通过选项字节可使用三个 BOR 阈值。

当  $V_{DD}$  低于指定阈值  $V_{POR/PDR}$  或  $V_{BOR}$  时，器件保持复位模式，无需外部复位电路。

该器件还有一个嵌入式可编程电压检测器 (PVD)，用于监视  $V_{DD}/V_{DDA}$  电源并将其与  $V_{PVD}$  阈值进行比较。当  $V_{DD}/V_{DDA}$  低于  $V_{PVD}$  阈值和/或  $V_{DD}/V_{DDA}$  高于  $V_{PVD}$  阈值时，将产生中断。随后，中断服务程序会生成一条警告消息并且/或者使 MCU 进入安全状态。PVD 由软件使能。

除 LQFP64 和 LQFP100 以外，所有封装都可以通过  $PDR\_ON$  信号控制内部复位。

### 2.2.16 调压器

调压器具有以下八种工作模式：

- 调压器开启/内部复位开启
  - 主调压器模式 (MR)
  - 低功耗调压器 (LPR)
  - 掉电
- 调压器开启/内部复位关闭
  - 主调压器模式 (MR)
  - 低功耗调压器 (LPR)
  - 掉电
- 调压器关闭/内部复位开启
- 调压器关闭/内部复位关闭



### 调压器开启

- 调压器开启/内部复位开启
 

对于 LQFP64 和 LQFP100 封装，始终使能调压器开启/内部复位开启模式。

对于 LQFP144 封装，通过将 PDR\_ON 设置为  $V_{DD}$  来激活此模式。

对于 UFBGA176 封装，必须通过将 BYPASS\_REG 连接到  $V_{SS}$  以及将 PDR\_ON 连接到  $V_{DD}$  来激活内部调压器。

对于 LQFP176 封装，必须通过将 PDR\_ON 连接到  $V_{DD}$  来激活内部复位。

有三种低功耗模式：

  - MR 用于标称调压模式（运行）
  - LPR 用于停机模式
  - 掉电用于待机模式：调压器输出处于高阻态：内核电路掉电，调压器功耗变为零（但寄存器和 SRAM 的内容将丢失）。
- 调压器开启/内部复位关闭
 

LQFP64 和 LQFP100 封装不提供调压器开启/内部复位关闭模式。

对于 LQFP144 和 LQFP176 封装，通过对 PDR\_ON 引脚施加反向复位信号来控制内部复位。

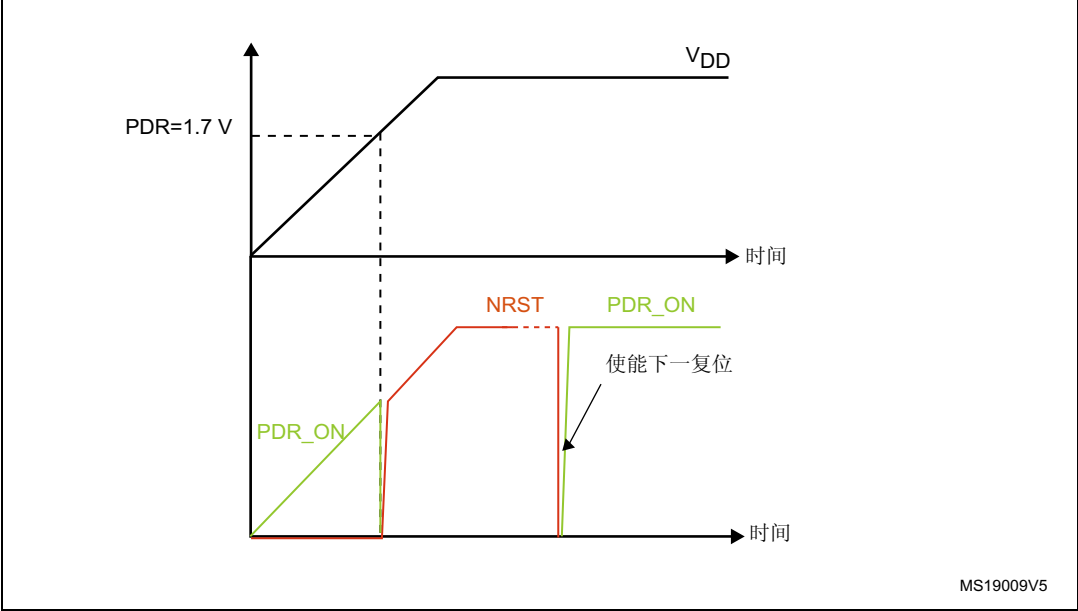
对于 UFBGA176 封装，必须通过将 BYPASS\_REG 连接到  $V_{SS}$  来激活内部调压器。

对于 LQFP176 封装，必须通过对 PDR\_ON 引脚施加反向复位信号来激活内部复位。

当器件在  $0^{\circ}\text{C}$  到  $70^{\circ}\text{C}$  的温度范围内工作时，通过对 PDR\_ON 施加一个低电平复位信号，可使  $V_{DD}/V_{DDA}$  达到最小值 1.7 V。

应通过外部复位控制器控制 NRST 引脚，以在  $V_{DD}$  低于 1.8 V 时，使器件保持在复位状态下（参见图 7）。

图 7. 调压器开启/内部复位关闭



MS19009V5

### 调压器关闭

在此模式下，只要  $V_{DD}$  达到 1.8 V，就会为器件供电。

- 调压器关闭/内部复位开启
 

只有 UFBGA 和 WLCSP90 封装提供此模式。通过将 BYPASS\_REG 和 PDR\_ON 引脚设置为  $V_{DD}$  来激活此模式。

在调压器关闭/内部复位开启模式下，除  $V_{DD}$  外，还可以通过  $V_{CAP\_1}$  和  $V_{CAP\_2}$  引脚从外部提供 1.2 V 电压源。

必须满足以下条件：

  - $V_{DD}$  应始终高于  $V_{CAP\_1}$  和  $V_{CAP\_2}$ ，以避免电源域之间的电流注入。
  - 如果  $V_{CAP\_1}$  和  $V_{CAP\_2}$  达到 1.08 V 的时间比  $V_{DD}$  达到 1.8 V 的时间短，则应该将 PA0 连接到 NRST 引脚（参见图 8）。否则，应在 POR 期间从外部将 PA0 置为低电平，直到  $V_{DD}$  达到 1.8 V（参见图 9）。
  - 如果  $V_{CAP\_1}$  和  $V_{CAP\_2}$  低于 1.08 V 而  $V_{DD}$  高于 1.7 V，则必须对 PA0 引脚执行复位。

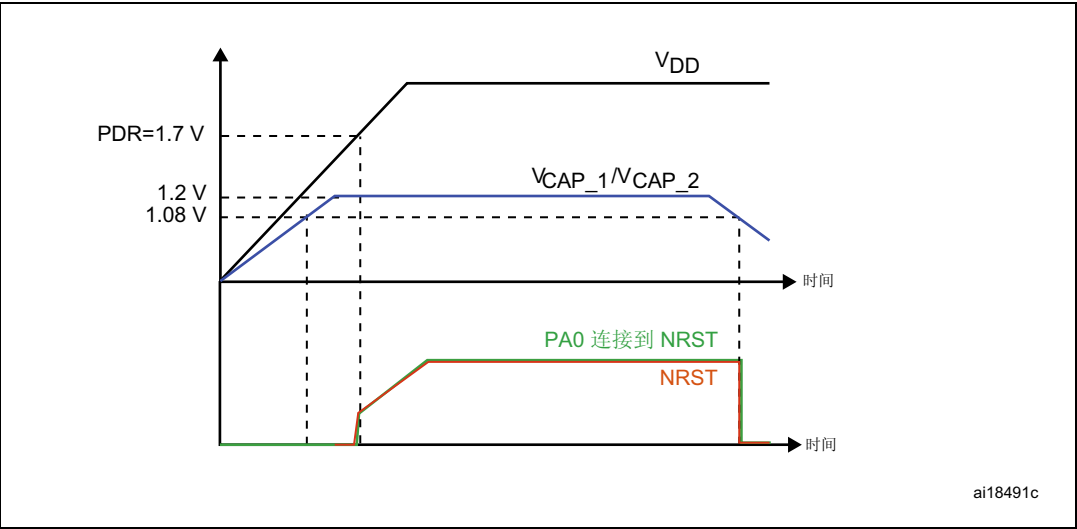
在调压器关闭/内部复位开启模式下，PA0 不能用作 GPIO 引脚，因为当内部调压器关闭时，它用于对未通过 NRST 引脚复位的部分 1.2 V 逻辑进行复位。
- 调压器关闭/内部复位关闭
 

只有 UFBGA 和 WLCSP 封装提供此模式。通过将 BYPASS\_REG 引脚设置为  $V_{DD}$  并对 PDR\_ON 施加反向复位信号来激活此模式。在此模式下，除  $V_{DD}$  外，还可以通过  $V_{CAP\_1}$  和  $V_{CAP\_2}$  引脚从外部提供 1.2 V 电压源。

必须满足以下条件：

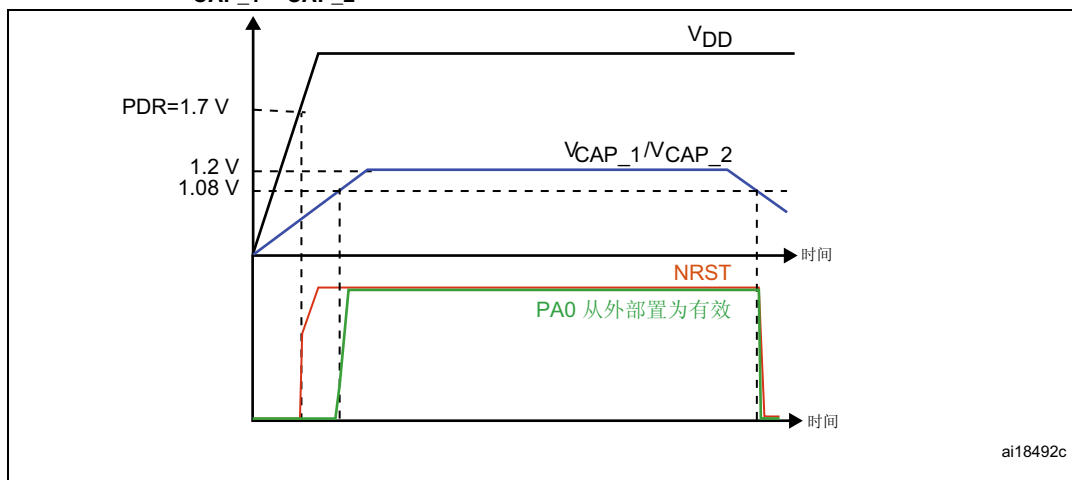
  - $V_{DD}$  应始终高于  $V_{CAP\_1}$  和  $V_{CAP\_2}$ ，以避免电源域之间的电流注入。
  - PA0 应保持低电平以满足以下两个条件： $V_{CAP\_1}$  和  $V_{CAP\_2}$  达到 1.08 V 并且  $V_{DD}$  达到 1.8 V（参见图 8）。
  - 应通过外部复位控制器控制 NRST 引脚，以在  $V_{DD}$  低于 1.8 V 时，使器件保持在复位状态下（参见图 9）。

图 8. 在调压器关闭模式下启动： $V_{DD}$  斜率变化较小  
-  $V_{CAP\_1}/V_{CAP\_2}$  稳定之后触发掉电复位



1. 此图对两种内部复位模式（开启或关闭）均有效。

图 9. 在调压器关闭模式下启动： $V_{DD}$  斜率变化较大  
-  $V_{CAP\_1}/V_{CAP\_2}$  稳定之前触发掉电复位



1. 此图对两种内部复位模式（开启或关闭）均有效。

## 2.2.17 实时时钟 (RTC)、备份 SRAM 和备份寄存器

STM32F415xx 和 STM32F417xx 的备份域包括：

- 实时时钟 (RTC)
- 4 KB 的备份 SRAM
- 20 个备份寄存器

实时时钟 (RTC) 是一种独立的 BCD 定时器/计数器专用寄存器包含 BCD（二进制十进制）格式的秒、分钟、小时（12/24 小时制）、星期几、日期、月份和年份。系统可以自动将月份的天数修正为 28、29（闰年）、30 和 31 天。RTC 提供了可编程的闹钟中断和可编程的周期性中断，以从停机和待机模式唤醒。此外，还可提供二进制格式的亚秒值。

实时时钟由 32.768 kHz 的外部晶振、谐振器或振荡器、内部低功耗 RC 振荡器或者经 128 分频的高速外部时钟驱动。内部低速 RC 的典型频率为 32 kHz。为补偿外部晶体振荡器的偏差，可通过 512 Hz 的外部输出对 RTC 进行校准。

两个闹钟寄存器用于在特定时间生成闹钟，可以单独屏蔽日历字段以进行闹钟比较。为生成周期性中断，该实时时钟提供了一个分辨率可编程的 16 位可编程二进制自动重载递减计数器，可实现自动唤醒和周期性闹钟（周期范围为 120  $\mu$ s 到 36 小时）。

时基时钟使用 20 位预分频器。默认情况下，该预分频器通过 32.768 kHz 的时钟生成 1 秒的时基。

4 KB 的备份 SRAM 是一个类似于 EEPROM 的存储器区域。它可用于存储需要在 VBAT 和待机模式下保持的数据。默认情况下，禁止此存储器区域，以最大程度地降低功耗（参见第 2.2.18 节：低功耗模式）。可通过软件将其使能。

备份寄存器由 32 位寄存器组成，用于在  $V_{DD}$  电源不存在时存储 80 字节的用户应用数据。备份寄存器不会在系统或电源复位时复位，也不会从待机模式唤醒时复位（参见第 2.2.18 节：低功耗模式）。

其它 32 位寄存器还包含可编程的闹钟亚秒、秒、分钟、小时、星期几和日期。

类似于备份 SRAM，RTC 和备份寄存器通过开关供电，当  $V_{DD}$  电源存在时，该开关选择  $V_{DD}$  供电，否则选择由 VBAT 引脚供电。

## 2.2.18 低功耗模式

STM32F415xx 和 STM32F417xx 支持三种低功耗模式，可在低功耗、短启动时间和可用唤醒源之间取得最佳平衡。

- **睡眠模式**

在睡眠模式下，只有 CPU 停止工作。所有外设继续运行并可在发生中断/事件时唤醒 CPU。

- **停机模式**

停机模式下可以实现最低功耗，同时保持 SRAM 和寄存器的内容。此时，1.2 V 域中的所有时钟都会停止，PLL、HSI RC 和 HSE 晶振也被禁止。还可以将调压器置于正常模式或低功耗模式。

可通过任意 EXTI 线将器件从停机模式唤醒（EXTI 中断线源可以是 16 根外部中断线之一、PVD 输出、RTC 闹钟/唤醒/入侵/时间戳事件、USB OTG FS/HS 唤醒或以太网唤醒）。

- **待机模式**

待机模式下可达到最低功耗。此时，内部调压器关闭，因此整个 1.2 V 域将断电。PLL、HSI RC 和 HSE 晶振也会关闭。进入待机模式后，除备份域和备份 SRAM 中的寄存器外，SRAM 和寄存器的内容都将消失。

发生外部复位（NRST 引脚）、IWDG 复位、WKUP 引脚上出现上升沿或者触发 RTC 闹钟/唤醒/入侵/时间戳事件时，器件退出待机模式。

当内置调压器被旁路且 1.2 V 域由外部电源控制时，不支持待机模式。

注：在待机模式下，如果  $V_{DD}$  由外部电池提供，则只有 RTC 闹钟/事件或外部复位可唤醒器件。

## 2.2.19 $V_{BAT}$ 操作

借助  $V_{BAT}$  引脚，可通过外部电池、外部超级电容或  $V_{DD}$ （当不存在外部电池和外部超级电容时）为器件  $V_{BAT}$  域供电。

当  $V_{DD}$  不存在时，可激活  $V_{BAT}$  操作。

$V_{BAT}$  引脚可为 RTC、备份寄存器和备份 SRAM 供电。

注：当微控制器由  $V_{BAT}$  供电时，外部中断和 RTC 闹钟/事件不会从  $V_{BAT}$  操作中退出。

## 2.2.20 定时器和看门狗

STM32F415xx 和 STM32F417xx 器件包含两个高级控制定时器、八个通用定时器、两个基本定时器以及两个看门狗定时器。

在调试模式下，所有定时器计数器均可冻结。

表 3 比较了高级控制定时器、通用定时器和基本定时器的特性。

表 3. 定时器特性比较

定时器类型	定时器	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕捉/比较通道	互补输出	最大接口时钟 (MHz)	最大定时器时钟 (MHz)
高级控制	TIM1 和 TIM8	16 位	递增、递减、递增/递减	1 和 65536 之间的任意整数	有	4	有	84	168
通用	TIM2 和 TIM5	32 位	递增、递减、递增/递减	1 和 65536 之间的任意整数	有	4	无	42	84
	TIM3 和 TIM4	16 位	递增、递减、递增/递减	1 和 65536 之间的任意整数	有	4	无	42	84
	TIM9	16 位	递增	1 和 65536 之间的任意整数	无	2	无	84	168
	TIM10 和 TIM11	16 位	递增	1 和 65536 之间的任意整数	无	1	无	84	168
	TIM12	16 位	递增	1 和 65536 之间的任意整数	无	2	无	42	84
	TIM13 和 TIM14	16 位	递增	1 和 65536 之间的任意整数	无	1	无	42	84
基本	TIM6 和 TIM7	16 位	递增	1 和 65536 之间的任意整数	有	0	无	42	84

### 高级控制定时器（TIM1 和 TIM8）

高级控制定时器（TIM1 和 TIM8）可以看作在 6 个通道上复用的三相 PWM 发生器。它们具有带可编程插入死区的互补 PWM 输出。也可以将它们看作一个完整的通用定时器。其 4 个独立通道可以用于：

- 输入捕捉
- 输出比较
- PWM 生成（边沿或中心对齐模式）
- 单脉冲模式输出

如果配置为标准 16 位定时器，则功能与通用 TIMx 定时器相同。如果配置为 16 位 PWM 发生器，则具有完整的调制能力 (0-100%)。

高级控制定时器可通过定时器链接功能与 TIMx 定时器协同工作，提供同步或事件链接功能。

TIM1 和 TIM8 均支持独立的 DMA 请求生成机制。

## 通用定时器 (TIMx)

STM32F41x 器件中嵌入了十个可同步的通用定时器（具体差别参见表 3）。

- **TIM2、TIM3、TIM4 和 TIM5**

STM32F41x 包含 4 个全功能通用定时器：TIM2、TIM5、TIM3 和 TIM4。TIM2 和 TIM5 定时器基于 32 位自动重载递增/递减计数器和 16 位预分频器。TIM3 和 TIM4 定时器基于 16 位自动重载递增/递减计数器和 16 位预分频器。它们都具有 4 个独立通道，可用于输入捕捉/输出比较、PWM 或单脉冲模式输出。在最大的封装中，可提供多达 16 个输入捕捉/输出比较/PWM。

TIM2、TIM3、TIM4 和 TIM5 通用定时器可协同工作，也可以通过定时器链接功能与其它通用定时器和高级控制定时器 TIM1 和 TIM8 协同工作，提供同步或事件链接功能。

任何通用定时器都可用于产生 PWM 输出。

TIM2、TIM3、TIM4 和 TIM5 都有独立的 DMA 请求生成机制。这些定时器能够处理正交（增量）编码器信号，也能处理 1 到 4 个霍尔效应传感器的数字输出。

- **TIM9、TIM10、TIM11、TIM12、TIM13 和 TIM14**

这些定时器基于 16 位自动重载递增计数器和 16 位预分频器。TIM10、TIM11、TIM13 和 TIM14 具有一个独立通道，而 TIM9 和 TIM12 具有两个独立通道，可用于输入捕捉/输出比较、PWM 或单脉冲模式输出。这些定时器可以与 TIM2、TIM3、TIM4 和 TIM5 全功能通用定时器同步。它们还可用作简单的时基。

## 基本定时器 TIM6 和 TIM7

这两个定时器主要用于生成 DAC 触发信号和波形。也可用作通用 16 位时基。

TIM6 和 TIM7 均支持独立的 DMA 请求生成机制。

## 独立看门狗

独立看门狗基于 12 位递减计数器和 8 位预分频器。它由独立的 32 kHz 内部 RC 提供时钟；由于内部 RC 独立于主时钟，因此它可在停机和待机模式下工作。它既可用作看门狗，以在发生问题时复位器件，也可用作自由运行的定时器，以便为应用程序提供超时管理。通过选项字节，可对其进行硬件或软件配置。

## 窗口看门狗

窗口看门狗基于可设置为自由运行的 7 位递减计数器。它可以作为看门狗以在发生问题时复位器件。它由主时钟驱动。具有早期警告中断功能，并且计数器可在调试模式下被冻结。

## SysTick 定时器

此定时器专用于实时操作系统，但也可用作标准递减计数器。它具有以下特性：

- 24 位递减计数器
- 自动重载功能
- 当计数器计为 0 时，产生可屏蔽的系统中断
- 可编程时钟源

## 2.2.21 内部集成电路接口 (I<sup>2</sup>C)

多达三个 I<sup>2</sup>C 总线接口可以在多主模式或从模式下工作。它们可支持标准和快速模式。它们支持 7/10 位寻址模式和 7 位双寻址模式（从模式下）。其中内置了硬件 CRC 生成/校验功能。

该接口可以使用 DMA 并且支持 SMBus 2.0/PMBus。

## 2.2.22 通用同步/异步收发器 (USART)

STM32F415xx 和 STM32F417xx 内置四个通用同步/异步收发器 (USART1、USART2、USART3 和 USART6) 和两个通用异步收发器 (UART4 和 UART5)。

这六个接口可提供异步通信、IrDA SIR ENDEC 支持、多处理器通信模式和单线半双工通信模式，并具有 LIN 主/从功能。USART1 和 USART6 接口能够以高达 10.5 Mb/s 的速度进行通信。其它可用接口的通信速度高达 5.25 Mb/s。

USART1、USART2、USART3 和 USART6 还提供了 CTS 和 RTS 信号的硬件管理、智能卡模式（符合 ISO 7816）和与 SPI 类似的通信功能。所有接口均可使用 DMA 控制器。

表 4. USART 特性比较

USART 名称	标准特性	调制解调器 (RTS/CTS)	LIN	SPI 主模式	IrDA	智能卡 (ISO 7816)	最大波特率 (Mb/s) (16 倍过采样)	最大波特率 (Mb/s) (8 倍过采样)	APB 映射
USART1	X	X	X	X	X	X	5.25	10.5	APB2 (最大 84 MHz)
USART2	X	X	X	X	X	X	2.62	5.25	APB1 (最大 42 MHz)
USART3	X	X	X	X	X	X	2.62	5.25	APB1 (最大 42 MHz)
UART4	X	-	X	-	X	-	2.62	5.25	APB1 (最大 42 MHz)
UART5	X	-	X	-	X	-	2.62	5.25	APB1 (最大 42 MHz)
USART6	X	X	X	X	X	X	5.25	10.5	APB2 (最大 84 MHz)



### 2.2.23 串行外设接口 (SPI)

STM32F41x 提供多达三个 SPI，它们在主模式和从模式下以全双工和单工通信模式工作。SPI1 的通信速度可达 37.5 Mb/s，SPI2 和 SPI3 的通信速度可高达 21 Mb/s。3 位预分频器可提供 8 种主模式频率，而且帧可配置为 8 位或 16 位。硬件 CRC 生成/校验支持基本的 SD 卡/MMC 模式。所有 SPI 均可使用 DMA 控制器。

可将 SPI 接口配置为在 TI 模式下工作，从而实现在主模式和从模式下的通信。

### 2.2.24 内部集成音频接口 (I<sup>2</sup>S)

提供两个标准 I<sup>2</sup>S 接口（与 SPI2 和 SPI3 复用）。这两个接口可在主模式或从模式下以全双工和单工通信模式工作，并且可以作为输入或输出通道以 16/32 位分辨率工作。支持的音频采样频率为 8 kHz 到 192 kHz。当其中一个或两个 I<sup>2</sup>S 接口配置为主模式时，主时钟将以 256 倍采样频率输出到外部 DAC/CODEC。

所有 I<sup>2</sup>S 均可使用 DMA 控制器。

### 2.2.25 音频 PLL (PLLI2S)

器件为音频 I<sup>2</sup>S 应用提供了一个额外的专用 PLL。在使用 USB 外设时，该 PLL 可实现无误差的 I<sup>2</sup>S 采样时钟精度，且不会影响 CPU 性能。

可通过修改 PLLI2S 配置来管理 I<sup>2</sup>S 采样率变化，而无需禁止用于 CPU、USB 和以太网接口的主 PLL (PLL)。

音频 PLL 经过适当编程后可获得非常低的错误率，从而实现范围为 8 KHz 到 192 KHz 的采样率。

除音频 PLL 外，还可以使用主时钟输入引脚将 I<sup>2</sup>S 流与外部 PLL（或编解码器输出）同步。

### 2.2.26 安全数字输入/输出接口 (SDIO)

器件提供了 SD/SDIO/MMC 主机接口，该接口支持多媒体卡系统规范版本 4.2 中三种不同的数据总线模式：1 位（默认）、4 位和 8 位。

该接口的数据传输速率可达 48 MHz，符合 SD 存储卡规范版本 2.0。

该接口还支持 SDIO 卡规范版本 2.0 中两种不同的数据总线模式：1 位（默认）和 4 位。

当前版本每次只支持一个 SD/SDIO/MMC4.2 卡，但支持多个 MMC4.1 或之前版本的卡。

除 SD/SDIO/MMC 外，该接口还完全符合 CE-ATA 数字协议版本 1.1。

### 2.2.27 具有专用 DMA 和 IEEE 1588 支持的以太网 MAC 接口

只有 STM32F417xx 器件提供此外设。

STM32F417xx 器件提供了一个符合 IEEE-802.3-2002 标准的介质访问控制器 (MAC)，用于通过工业标准介质独立接口 (MII) 或简化介质独立接口 (RMII) 进行以太网 LAN 通信。STM32F417xx 需要一个外部物理接口设备 (PHY) 才能连接到物理 LAN 总线（双绞线、光纤等）。PHY 可通过 17 个信号（对于 MII）或 9 个信号（对于 RMII）与 STM32F417xx MII 端口连接，并且可通过 STM32F417xx 的 25 MHz 时钟 (MII) 信号驱动。

STM32F417xx 包含以下特性：

- 支持 10 Mb/s 和 100 Mb/s 速率
- 专用 DMA 控制器可实现专用 SRAM 与描述符之间的高速传输（有关详细信息，请参见 STM32F46x 参考手册）
- 带标记的 MAC 帧支持（VLAN 支持）
- 半双工 (CSMA/CD) 和全双工操作
- MAC 控制子层（控制帧）支持
- 32 位 CRC 生成和移除
- 多种地址过滤模式，适用于物理和多播地址（多播和组地址）
- 32 位状态码，用于每个发送或接收的帧
- 内部 FIFO，用于缓冲发送和接收帧。发送 FIFO 和接收 FIFO 均为 2 KB。
- 支持符合 IEEE 1588 2008 (PTP V2) 的硬件 PTP（精密时间协议）以及与 TIM2 输入连接的时间戳比较器
- 系统时间大于目标时间时触发中断

### 2.2.28 控制器区域网络 (bxCAN)

两个 CAN 均符合 2.0A 和 2.0B (active) 规范，比特率高达 1 Mb/s。它们可接收和发送包含 11 位标识符的标准帧和包含 29 位标识符的扩展帧。每个 CAN 均提供三个发送邮箱、两个具有 3 级深度的接收 FIFO 和 28 个可调整的共用滤波器组（即使仅使用一个 CAN 也可以使用上述所有组件）。为每个 CAN 均分配 256 字节的 SRAM。

### 2.2.29 全速 USB on-the-go (OTG\_FS)

STM32F415xx 和 STM32F417xx 内置了具有集成收发器的 USB OTG 全速设备/主机/OTG 外设。USB OTG FS 外设符合 USB 2.0 规范和 OTG 1.0 规范。它具有可由软件配置的端点设置，并支持挂起/恢复功能。USB OTG 全速控制器需要一个专用的 48 MHz 时钟，该时钟由连接到 HSE 振荡器的 PLL 生成。主要特性有：

- 组合的 Rx 和 Tx FIFO 大小为 320 × 35 位，且 FIFO 大小可动态调整
- 支持会话请求协议 (SRP) 和主机协商协议 (HNP)
- 4 个双向端点
- 8 个支持周期性输出的主机通道
- 内置 HNP/SNP/IP（无需任何外部电阻）
- 对于 OTG/主机模式，如果连接总线供电的设备，还需要一个电源开关

### 2.2.30 高速 USB on-the-go (OTG\_HS)

STM32F415xx 和 STM32F417xx 器件内置了 USB OTG 高速（高达 480 Mb/s）设备/主机/OTG 外设。USB OTG HS 支持全速和高速操作。它集成了用于全速操作 (12 Mb/s) 的收发器，并且提供一个用于高速操作 (480 Mb/s) 的 UTMI 低引脚接口 (ULPI)。在 HS 模式下使用 USB OTG HS 时，需要将外部 PHY 设备连接到 ULPI。

USB OTG HS 外设符合 USB 2.0 规范和 OTG 1.0 规范。它具有可由软件配置的端点设置，并支持挂起/恢复功能。USB OTG 全速控制器需要一个专用的 48 MHz 时钟，该时钟由连接到 HSE 振荡器的 PLL 生成。

主要特性有：

- 组合的 Rx 和 Tx FIFO 大小为 1Kb × 35，且 FIFO 大小可动态调整
- 支持会话请求协议 (SRP) 和主机协商协议 (HNP)
- 6 个双向端点
- 12 个支持周期性输出的主机通道
- 内部 FS OTG PHY 支持
- 外部 HS 或 HS OTG 操作，在 SDR 模式下支持 ULPI。OTG PHY 通过 12 个信号与微控制器 ULPI 端口连接。可以使用 60 MHz 输出为其提供时钟。
- 内部 USB DMA
- 内置 HNP/SNP/IP（无需任何外部电阻）
- 对于 OTG/主机模式，如果连接总线供电的设备，还需要一个电源开关

### 2.2.31 数字摄像头接口 (DCMI)

STM32F415xx 器件不提供摄像头接口。

STM32F417xx 产品内置一个摄像头接口，可通过 8 位到 14 位并行接口与摄像机模块和 CMOS 传感器连接，以接收视频数据。在 54 MHz 频率下，摄像头接口可将数据传输率维持在 54 MB/s。它具有以下特性：

- 用于输入像素时钟和同步信号的极性可编程
- 并行数据通信可以是 8、10、12 或 14 位
- 支持 8 位逐行视频单色或 raw bayer 格式、YCbCr 4:2:2 逐行视频、RGB 565 逐行视频或压缩数据（如 JPEG）
- 支持连续模式或快照（单帧）模式
- 自动修剪图像功能

### 2.2.32 硬件加密

STM32F415xx 和 STM32F417xx 器件内置了密码加速器。该密码加速器为高级密码算法提供了一组硬件加速功能，当与对方交换消息时，通常需要这些算法提供保密性、身份验证、数据完整性以及不可否认性。

这些算法包括：

加密/解密

- DES/TDES（数据加密标准/三重数据加密标准）：ECB（电子密码本）和 CBC（密码块链接）链接算法，64、128 或 192 位密钥
- AES（高级加密标准）：ECB、CBC 和 CTR（计数器模式）链接算法，128、192 或 256 位密钥

通用散列

- SHA-1（安全散列算法）
- MD5
- HMAC

密码加速器支持 DMA 请求生成机制。

### 2.2.33 随机数发生器 (RNG)

所有 STM32F415xx 和 STM32F417xx 产品均内置一个 RNG，可通过集成模拟电路生成 32 位随机数。

### 2.2.34 通用输入/输出接口 (GPIO)

每个 GPIO 引脚都可以由软件配置为输出（推挽或开漏、带或不带上拉/下拉）、输入（悬空、带或不带上拉/下拉）或外设复用功能。大多数 GPIO 引脚都具有数字或模拟复用功能。所有 GPIO 均可承载高电流，并且可以选择不同的速度以更好地管理内部噪声、功耗和电磁辐射。

如果需要，可在特定序列后锁定 I/O 配置，以避免对 I/O 寄存器执行意外写操作。

快速 I/O 处理可实现最高为 84 MHz 的 I/O 切换频率。

### 2.2.35 模数转换器 (ADC)

器件内置三个 12 位模数转换器，每个 ADC 可共享多达 16 个外部通道，在单发或扫描模式下执行转换。在扫描模式下，将对一组选定的模拟输入执行自动转换。

ADC 接口内置的其它逻辑功能允许：

- 同步采样和保持
- 交叉采样和保持

ADC 可以使用 DMA 控制器。利用模拟看门狗功能，可以非常精确地监视一路、多路或所有选定通道的转换电压。当转换电压超出编程的阈值时，将产生中断。

要同步 A/D 转换和定时器，可通过 TIM1、TIM2、TIM3、TIM4、TIM5 或 TIM8 定时器中的任意一个触发 ADC。

### 2.2.36 温度传感器

温度传感器产生随温度线性变化的电压。转换范围为 1.8 V 到 3.6 V。温度传感器内部连接到 ADC1\_IN16 输入通道，该通道用于将传感器输出电压转换为数字值。

由于工艺不同，不同芯片的温度传感器偏差也有所不同，因此内部温度传感器主要适合于检测温度变化而不是检测绝对温度的应用。如果需要精确的温度读数，则应该使用外部温度传感器部件。

### 2.2.37 数模转换器 (DAC)

两个 12 位缓冲 DAC 通道可用于将两路数字信号转换为两路模拟电压信号输出。

该双数字接口支持以下功能：

- 两个 DAC 转换器：各对应一个输出通道
- 8 位或 12 位单调输出
- 12 位模式下数据采用左对齐或右对齐
- 同步更新功能
- 生成噪声波
- 生成三角波
- DAC 双通道单独或同时转换
- 每个通道都具有 DMA 功能
- 通过外部触发信号进行转换
- 输入参考电压  $V_{REF+}$

器件中使用八个 DAC 触发输入。DAC 通道通过定时器更新输出来触发，这些输出也连接到不同的 DMA 数据流。

### 2.2.38 串行线 JTAG 调试端口 (SWJ-DP)

内置的 ARM SWJ-DP 接口由 JTAG 和串行线调试端口结合而成，可以实现要连接到目标的串行线调试探头或 JTAG 探头。

执行调试时，只需使用 2 个引脚，而不像 JTAG 一样需要 5 个引脚（JTAG 引脚可通过复用功能重用为 GPIO 引脚）：JTAG TMS 和 TCK 引脚分别与 SWDIO 和 SWCLK 共用，TMS 引脚上的特定序列可用于在 JTAG-DP 和 SW-DP 之间切换。

### 2.2.39 嵌入式跟踪宏单元™

ARM 嵌入式跟踪宏单元能够通过少量 ETM 引脚、以极高的速率将压缩数据流从 STM32F41x 传输到外部硬件跟踪端口分析器 (TPA) 设备中，从而提高了 CPU 内核中的指令和数据流的可见性。TPA 通过 USB、以太网或任何其它高速通道与主机计算机相连。可在运行调试软件的主机计算机上记录实时指令和数据流活动，并将其格式化以供显示。TPA 硬件可从通用开发工具供应商处购得。

嵌入式跟踪宏单元与第三方调试软件工具配合使用。

3 引脚排列和引脚说明

图 10. STM32F41x LQFP64 引脚排列

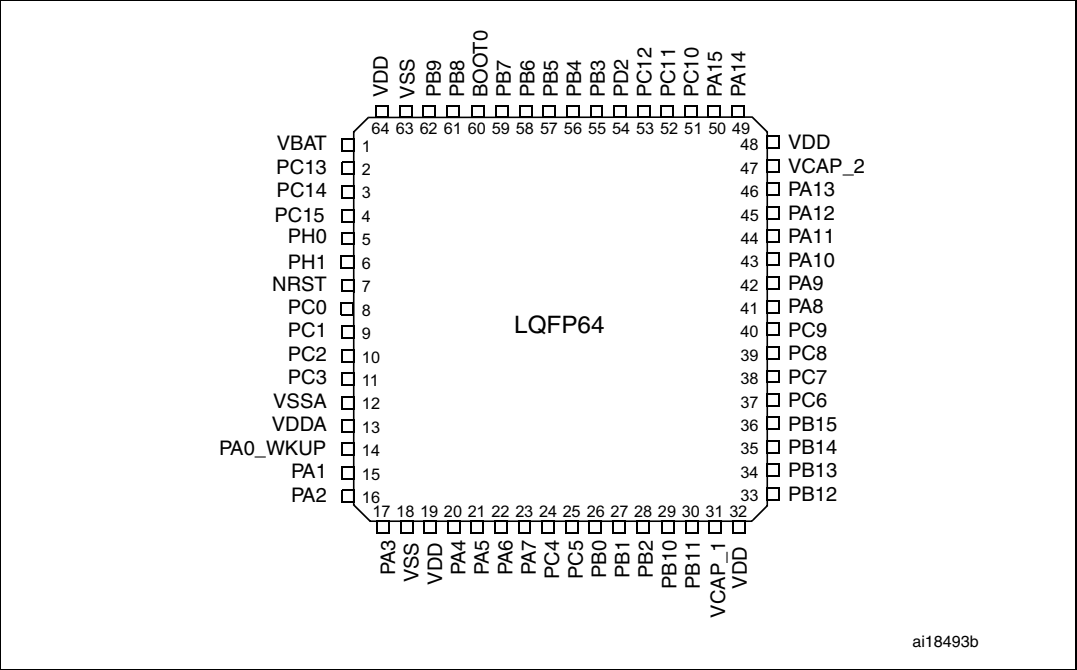


图 11. STM32F41x LQFP100 引脚排列

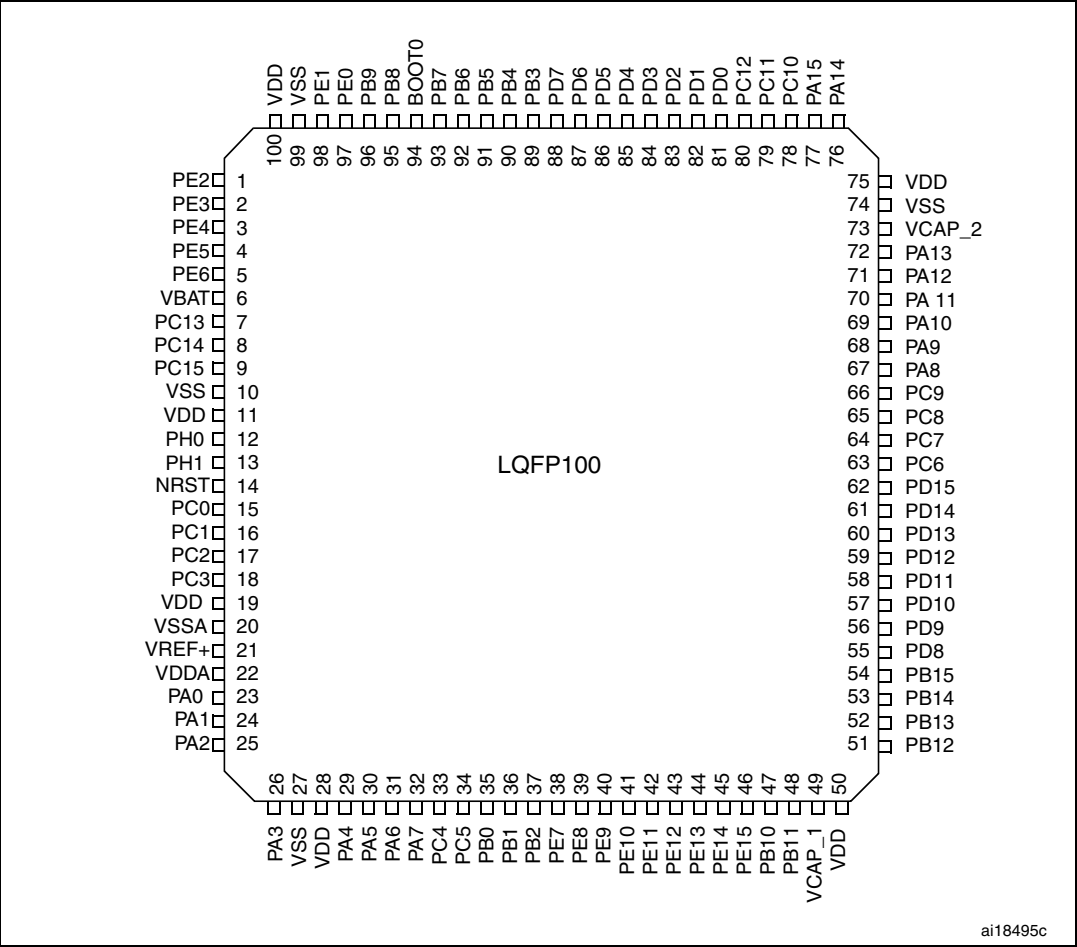
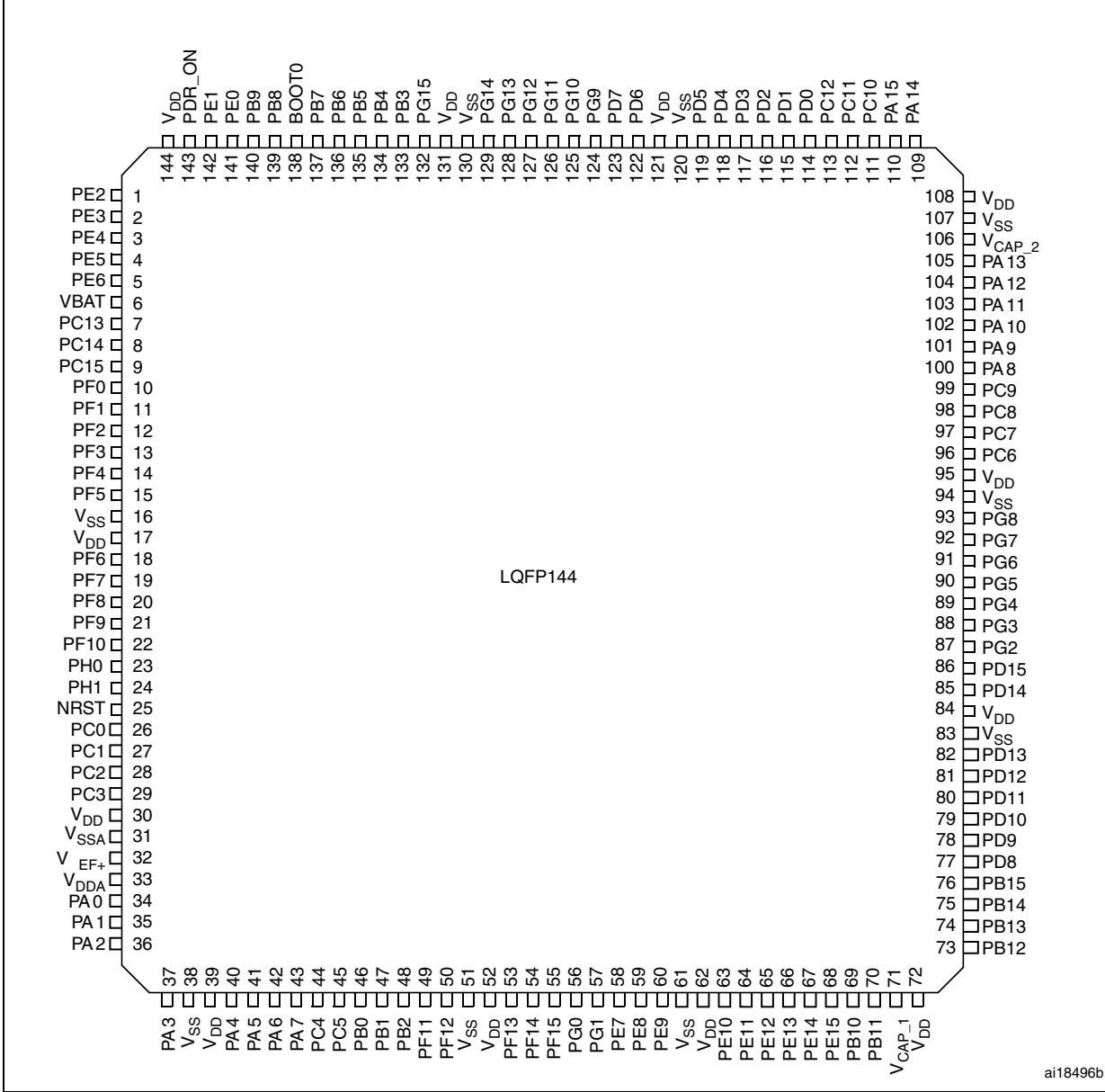




图 12. STM32F41x LQFP144 引脚排列



ai18496b

MS191916V1

图 14. STM32F41x UFBGA176 焊球布局

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15																														
A	PE3	PE2	PE1	PE0	PB8	PB5	PG14	PG13	PB4	PB3	PD7	PC12	PA15	PA14	PA13																														
B	PE4	PE5	PE6	PB9	PB7	PB6	PG15	PG12	PG11	PG10	PD6	PD0	PC11	PC10	PA12																														
C	VBAT	PI7	PI6	PI5	VDD	PDR_ON	VDD	VDD	VDD	PG9	PD5	PD1	PI3	PI2	PA11																														
D	PC13	PI8	PI9	PI4	VSS	BOOT0	VSS	VSS	VSS	PD4	PD3	PD2	PH15	PI1	PA10																														
E	PC14	PF0	PI10	PI11	<table><tr><td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td></tr><tr><td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td></tr><tr><td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td></tr><tr><td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td></tr><tr><td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td></tr><tr><td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td></tr></table>							VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	PH13	PH14	PI0	PA9
VSS	VSS	VSS	VSS	VSS																																									
VSS	VSS	VSS	VSS	VSS																																									
VSS	VSS	VSS	VSS	VSS																																									
VSS	VSS	VSS	VSS	VSS																																									
VSS	VSS	VSS	VSS	VSS																																									
VSS	VSS	VSS	VSS	VSS																																									
F	PC15	VSS	VDD	PH2	VSS	VCAP_2	PC9	PA8																																					
G	PH0	VSS	VDD	PH3	VSS	VDD	PC8	PC7																																					
H	PH1	PF2	PF1	PH4	VSS	VDD	PG8	PC6																																					
J	NRST	PF3	PF4	PH5	VDD	VDD	PG7	PG6																																					
K	PF7	PF6	PF5	VDD	PH12	PG5	PG4	PG3																																					
L	PF10	PF9	PF8	BYPASS_REG	PH11	PH10	PD15	PG2																																					
M	VSSA	PC0	PC1	PC2	PC3	PB2	PG1	VSS	VSS	VCAP_1	PH6	PH8	PH9	PD14	PD13																														
N	V EF-	PA1	PA0	PA4	PC4	PF13	PG0	VDD	VDD	VDD	PE13	PH7	PD12	PD11	PD10																														
P	V EF+	PA2	PA6	PA5	PC5	PF12	PF15	PE8	PE9	PE11	PE14	PB12	PB13	PD9	PD8																														
	VDDA	PA3	PA7	PB1	PB0	PF11	PF14	PE7	PE10	PE12	PE15	PB10	PB11	PB14	PB15																														

ai18497b

1. 上图显示了封装的俯视图。

图 15. STM32F41x WLCSP90 焊球布局

	10	9	8	7	6	5	4	3	2	1
A	VBAT	PC13	PDR_ON	BOOT0	PB4	PD7	PD4	PC12	PA14	VDD
B	PC14	PC15	VDD	PB7	PB3	PD6	PD2	PA15	PI1	VCAP_2
C	PA0	VSS	PB9	PB6	PD5	PD1	PC11	PI0	PA12	PA11
D	PC2	BYPASS_REG	PB8	PB5	PD0	PC10	PA13	PA10	PA9	PA8
E	PC0	PC3	VSS	VSS	VDD	VSS	VDD	PC9	PC8	PC7
F	PH0	PH1	PA1	VDD	PE10	PE14	VCAP_1	PC6	PD14	PD15
G	NRST	VDDA	PA5	PB0	PE7	PE13	PE15	PD10	PD12	PD11
H	VSSA	PA3	PA6	PB1	PE8	PE12	PB10	PD9	PD8	PB15
J	PA2	PA4	PA7	PB2	PE9	PE11	PB11	PB12	PB14	PB13

MS30402V1

1. 上图显示了封装的凹凸视图。

表 5. 引脚排列表中使用的图注/缩写

名称	缩写	定义
引脚名称		除非在引脚名称下使用括号特别说明，否则在复位期间和复位之后的引脚功能均与实际引脚名称相同。
引脚类型	S	电源引脚
	I	仅输入引脚
	I/O	输入/输出引脚
I/O 结构	FT	5 V 容忍 I/O
	FTf	5 V 容忍 I/O，FM+ 功能
	TTa	3.3 V 容忍 I/O，直接连接到 ADC
	TC	标准 3.3V I/O
	B	专用 BOOT0 引脚
	RST	嵌入了弱上拉电阻的双向复位引脚
注释		除非通过注释特别说明，否则所有 I/O 在复位期间和复位之后均设置为悬空输入
复用功能		通过 GPIOx_AFR 寄存器选择的功能
附加功能		通过外设寄存器直接选择/使能的功能

表 6. STM32F41x 引脚和焊球定义

引脚编号						引脚名称 (复位后的 功能) <sup>(1)</sup>	引脚类型	I/O 逻辑电平	备注	复用功能	附加功能
LQFP64	WLCSP90	LQFP100	LQFP144	UFBGA176	LQFP176						
-	-	1	1	A2	1	PE2	I/O	FT		TRACECLK/ FSMC_A23 / ETH_MII_TXD3 / EVENTOUT	
-	-	2	2	A1	2	PE3	I/O	FT		TRACED0/FSMC_A19 / EVENTOUT	
-	-	3	3	B1	3	PE4	I/O	FT		TRACED1/FSMC_A20 / DCMI_D4/ EVENTOUT	
-	-	4	4	B2	4	PE5	I/O	FT		TRACED2 / FSMC_A21 / TIM9_CH1 / DCMI_D6 / EVENTOUT	
-	-	5	5	B3	5	PE6	I/O	FT		TRACED3 / FSMC_A22 / TIM9_CH2 / DCMI_D7 / EVENTOUT	
1	A10	6	6	C1	6	V <sub>BAT</sub>	S				
-	-	-	-	D2	7	PI8	I/O	FT	(2)(3)	EVENTOUT	RTC_AF2
2	A9	7	7	D1	8	PC13	I/O	FT	(2)(3)	EVENTOUT	RTC_AF1
3	B10	8	8	E1	9	PC14-OSC32_IN (PC14)	I/O	FT	(2)(3)	EVENTOUT	OSC32_IN <sup>(4)</sup>
4	B9	9	9	F1	10	PC15- OSC32_OUT (PC15)	I/O	FT	(2)(3)	EVENTOUT	OSC32_OUT <sup>(4)</sup>
-	-	-	-	D3	11	PI9	I/O	FT		CAN1_RX / EVENTOUT	
-	-	-	-	E3	12	PI10	I/O	FT		ETH_MII_RX_ER / EVENTOUT	
-	-	-	-	E4	13	PI11	I/O	FT		OTG_HS_ULPI_DIR / EVENTOUT	
-	-	-	-	F2	14	V <sub>SS</sub>	S				
-	-	-	-	F3	15	V <sub>DD</sub>	S				
-	-	-	10	E2	16	PF0	I/O	FT		FSMC_A0 / I2C2_SDA / EVENTOUT	
-	-	-	11	H3	17	PF1	I/O	FT		FSMC_A1 / I2C2_SCL / EVENTOUT	
-	-	-	12	H2	18	PF2	I/O	FT		FSMC_A2 / I2C2_SMBA / EVENTOUT	
-	-	-	13	J2	19	PF3	I/O	FT	(4)	FSMC_A3/EVENTOUT	ADC3_IN9
-	-	-	14	J3	20	PF4	I/O	FT	(4)	FSMC_A4/EVENTOUT	ADC3_IN14
-	-	-	15	K3	21	PF5	I/O	FT	(4)	FSMC_A5/EVENTOUT	ADC3_IN15

表 6. STM32F41x 引脚和焊球定义 (续)

引脚编号						引脚名称 (复位后的 功能) <sup>(1)</sup>	引脚类型	I/O 逻辑电平	注释	复用功能	附加功能
LQFP64	WLCSP90	LQFP100	LQFP144	UFBGA176	LQFP176						
-	C9	10	16	G2	22	V <sub>SS</sub>	S				
-	B8	11	17	G3	23	V <sub>DD</sub>	S				
-	-	-	18	K2	24	PF6	I/O	FT	(4)	TIM10_CH1 / FSMC_NIORD/ EVENTOUT	ADC3_IN4
-	-	-	19	K1	25	PF7	I/O	FT	(4)	TIM11_CH1/FSMC_NREG/ EVENTOUT	ADC3_IN5
-	-	-	20	L3	26	PF8	I/O	FT	(4)	TIM13_CH1 / FSMC_NIOWR/ EVENTOUT	ADC3_IN6
-	-	-	21	L2	27	PF9	I/O	FT	(4)	TIM14_CH1 / FSMC_CD/ EVENTOUT	ADC3_IN7
-	-	-	22	L1	28	PF10	I/O	FT	(4)	FSMC_INTR/ EVENTOUT	ADC3_IN8
5	F10	12	23	G1	29	PH0-OSC_IN (PH0)	I/O	FT		EVENTOUT	OSC_IN <sup>(4)</sup>
6	F9	13	24	H1	30	PH1-OSC_OUT (PH1)	I/O	FT		EVENTOUT	OSC_OUT <sup>(4)</sup>
7	G10	14	25	J1	31	NRST	I/O	RST			
8	E10	15	26	M2	32	PC0	I/O	FT	(4)	OTG_HS_ULPI_STP/ EVENTOUT	ADC123_IN10
9	-	16	27	M3	33	PC1	I/O	FT	(4)	ETH_MDC/ EVENTOUT	ADC123_IN11
10	D10	17	28	M4	34	PC2	I/O	FT	(4)	SPI2_MISO / OTG_HS_ULPI_DIR / TH_MII_TXD2 /I2S2ext_SD/ EVENTOUT	ADC123_IN12
11	E9	18	29	M5	35	PC3	I/O	FT	(4)	SPI2_MOSI / I2S2_SD / OTG_HS_ULPI_NXT / ETH_MII_TX_CLK/ EVENTOUT	ADC123_IN13
-	-	19	30	G3	36	V <sub>DD</sub>	S				
12	H10	20	31	M1	37	V <sub>SSA</sub>	S				
-	-	-	-	N1	-	V <sub>REF-</sub>	S				
-	-	21	32	P1	38	V <sub>REF+</sub>	S				
13	G9	22	33	R1	39	V <sub>DDA</sub>	S				

表 6. STM32F41x 引脚和焊球定义 (续)

引脚编号						引脚名称 (复位后的 功能) <sup>(1)</sup>	引脚类型	I/O 逻辑电平	注释	复用功能	附加功能
LQFP64	WLCSP90	LQFP100	LQFP144	UFBGA176	LQFP176						
14	C10	23	34	N3	40	PA0-WKUP (PA0)	I/O	FT	(5)	USART2_CTS/ UART4_TX/ ETH_MII_CRS / TIM2_CH1_ETR/ TIM5_CH1 / TIM8_ETR/ EVENTOUT	ADC123_IN0/WKUP <sup>(4)</sup>
15	F8	24	35	N2	41	PA1	I/O	FT	(4)	USART2_RTS / UART4_RX/ ETH_RMII_REF_CLK / ETH_MII_RX_CLK / TIM5_CH2 / TIM2_CH2/ EVENTOUT	ADC123_IN1
16	J10	25	36	P2	42	PA2	I/O	FT	(4)	USART2_TX/TIM5_CH3 / TIM9_CH1 / TIM2_CH3 / ETH_MDIO/ EVENTOUT	ADC123_IN2
-	-	-	-	F4	43	PH2	I/O	FT		ETH_MII_CRS/EVENTOUT	
-	-	-	-	G4	44	PH3	I/O	FT		ETH_MII_COL/EVENTOUT	
-	-	-	-	H4	45	PH4	I/O	FT		I2C2_SCL / OTG_HS_ULPI_NXT/ EVENTOUT	
-	-	-	-	J4	46	PH5	I/O	FT		I2C2_SDA/ EVENTOUT	
17	H9	26	37	R2	47	PA3	I/O	FT	(4)	USART2_RX/TIM5_CH4 / TIM9_CH2 / TIM2_CH4 / OTG_HS_ULPI_D0 / ETH_MII_COL/ EVENTOUT	ADC123_IN3
18	E5	27	38	-	48	V <sub>SS</sub>	S				
	D9			L4	-	BYPASS_REG	I	FT			
19	E4	28	39	K4	49	V <sub>DD</sub>	S				
20	J9	29	40	N4	50	PA4	I/O	TC	(4)	SPI1_NSS / SPI3_NSS / USART2_CK / DCMI_HSYNC / OTG_HS_SOF/ I2S3_WS/ EVENTOUT	ADC12_IN4 /DAC1_OUT
21	G8	30	41	P4	51	PA5	I/O	TC	(4)	SPI1_SCK/ OTG_HS_ULPI_CK / TIM2_CH1_ETR/ TIM8_CHIN/ EVENTOUT	ADC12_IN5/DAC2_OUT
22	H8	31	42	P3	52	PA6	I/O	FT	(4)	SPI1_MISO / TIM8_BKIN/TIM13_CH1 / DCMI_PIXCLK / TIM3_CH1 / TIM1_BKIN/ EVENTOUT	ADC12_IN6

表 6. STM32F41x 引脚和焊球定义 (续)

引脚编号						引脚名称 (复位后的 功能) <sup>(1)</sup>	引脚类型	I/O 逻辑电平	注释	复用功能	附加功能
LQFP64	WLCSP90	LQFP100	LQFP144	UFBGA176	LQFP176						
23	J8	32	43	R3	53	PA7	I/O	FT	(4)	SPI1_MOSI/ TIM8_CH1N / TIM14_CH1/TIM3_CH2/ ETH_MII_RX_DV / TIM1_CH1N / RMII_CRS_DV/ EVENTOUT	ADC12_IN7
24	-	33	44	N5	54	PC4	I/O	FT	(4)	ETH_RMII_RX_D0 / ETH_MII_RX_D0/ EVENTOUT	ADC12_IN14
25	-	34	45	P5	55	PC5	I/O	FT	(4)	ETH_RMII_RX_D1 / ETH_MII_RX_D1/ EVENTOUT	ADC12_IN15
26	G7	35	46	R5	56	PB0	I/O	FT	(4)	TIM3_CH3 / TIM8_CH2N/ OTG_HS_ULPI_D1/ ETH_MII_RXD2 / TIM1_CH2N/ EVENTOUT	ADC12_IN8
27	H7	36	47	R4	57	PB1	I/O	FT	(4)	TIM3_CH4 / TIM8_CH3N/ OTG_HS_ULPI_D2/ ETH_MII_RXD3 / TIM1_CH3N/ EVENTOUT	ADC12_IN9
28	J7	37	48	M6	58	PB2-BOOT1 (PB2)	I/O	FT		EVENTOUT	
-	-	-	49	R6	59	PF11	I/O	FT		DCMI_12/ EVENTOUT	
-	-	-	50	P6	60	PF12	I/O	FT		FSMC_A6/ EVENTOUT	
-	-	-	51	M8	61	V <sub>SS</sub>	S				
-	-	-	52	N8	62	V <sub>DD</sub>	S				
-	-	-	53	N6	63	PF13	I/O	FT		FSMC_A7/ EVENTOUT	
-	-	-	54	R7	64	PF14	I/O	FT		FSMC_A8/ EVENTOUT	
-	-	-	55	P7	65	PF15	I/O	FT		FSMC_A9/ EVENTOUT	
-	-	-	56	N7	66	PG0	I/O	FT		FSMC_A10/ EVENTOUT	
-	-	-	57	M7	67	PG1	I/O	FT		FSMC_A11/ EVENTOUT	
-	G6	38	58	R8	68	PE7	I/O	FT		FSMC_D4/TIM1_ETR/ EVENTOUT	
-	H6	39	59	P8	69	PE8	I/O	FT		FSMC_D5/ TIM1_CH1N/ EVENTOUT	
-	J6	40	60	P9	70	PE9	I/O	FT		FSMC_D6/TIM1_CH1/ EVENTOUT	
-	-	-	61	M9	71	V <sub>SS</sub>	S				
-	-	-	62	N9	72	V <sub>DD</sub>	S				



表 6. STM32F41x 引脚和焊球定义 (续)

引脚编号						引脚名称 (复位后的 功能) <sup>(1)</sup>	引脚类型	I/O 逻辑电平	注释	复用功能	附加功能
LQFP64	WLCSP90	LQFP100	LQFP144	UFBGA176	LQFP176						
-	F6	41	63	R9	73	PE10	I/O	FT		FSMC_D7/TIM1_CH2N/ EVENTOUT	
-	J5	42	64	P10	74	PE11	I/O	FT		FSMC_D8/TIM1_CH2/ EVENTOUT	
-	H5	43	65	R10	75	PE12	I/O	FT		FSMC_D9/TIM1_CH3N/ EVENTOUT	
-	G5	44	66	N11	76	PE13	I/O	FT		FSMC_D10/TIM1_CH3/ EVENTOUT	
-	F5	45	67	P11	77	PE14	I/O	FT		FSMC_D11/TIM1_CH4/ EVENTOUT	
-	G4	46	68	R11	78	PE15	I/O	FT		FSMC_D12/TIM1_BKIN/ EVENTOUT	
29	H4	47	69	R12	79	PB10	I/O	FT		SPI2_SCK / I2S2_CK / I2C2_SCL/ USART3_TX / OTG_HS_ULPI_D3 / ETH_MII_RX_ER / TIM2_CH3/ EVENTOUT	
30	J4	48	70	R13	80	PB11	I/O	FT		I2C2_SDA/USART3_RX/ OTG_HS_ULPI_D4 / ETH_RMII_TX_EN/ ETH_MII_TX_EN / TIM2_CH4/ EVENTOUT	
31	F4	49	71	M10	81	V <sub>CAP_1</sub>	S				
32	-	50	72	N10	82	V <sub>DD</sub>	S				
-	-	-	-	M11	83	PH6	I/O	FT		I2C2_SMBA / TIM12_CH1 / ETH_MII_RXD2/ EVENTOUT	
-	-	-	-	N12	84	PH7	I/O	FT		I2C3_SCL / ETH_MII_RXD3/ EVENTOUT	
-	-	-	-	M12	85	PH8	I/O	FT		I2C3_SDA / DCMI_HSYNC/ EVENTOUT	
-	-	-	-	M13	86	PH9	I/O	FT		I2C3_SMBA / TIM12_CH2/ DCMI_D0/ EVENTOUT	
-	-	-	-	L13	87	PH10	I/O	FT		TIM5_CH1 / DCMI_D1/ EVENTOUT	
-	-	-	-	L12	88	PH11	I/O	FT		TIM5_CH2 / DCMI_D2/ EVENTOUT	

表 6. STM32F41x 引脚和焊球定义 (续)

引脚编号						引脚名称 (复位后的 功能) <sup>(1)</sup>	引脚类型	I/O 逻辑电平	注释	复用功能	附加功能
LQFP64	WLCSP90	LQFP100	LQFP144	UFBGA176	LQFP176						
-	-	-	-	K12	89	PH12	I/O	FT		TIM5_CH3 / DCMI_D3/ EVENTOUT	
-	-	-	-	H12	90	V <sub>SS</sub>	S				
-	-	-	-	J12	91	V <sub>DD</sub>	S				
33	J3	51	73	P12	92	PB12	I/O	FT		SPI2_NSS / I2S2_WS / I2C2_SMBA/ USART3_CK/ TIM1_BKIN / CAN2_RX / OTG_HS_ULPI_D5/ ETH_RMII_TXD0 / ETH_MII_TXD0/ OTG_HS_ID/ EVENTOUT	
34	J1	52	74	P13	93	PB13	I/O	FT		SPI2_SCK / I2S2_CK / USART3_CTS/ TIM1_CH1N / CAN2_TX / OTG_HS_ULPI_D6 / ETH_RMII_TXD1 / ETH_MII_TXD1/ EVENTOUT	OTG_HS_VBUS
35	J2	53	75	R14	94	PB14	I/O	FT		SPI2_MISO/ TIM1_CH2N / TIM12_CH1 / OTG_HS_DM/ USART3_RTS / TIM8_CH2N/I2S2ext_SD/ EVENTOUT	
36	H1	54	76	R15	95	PB15	I/O	FT		SPI2_MOSI / I2S2_SD/ TIM1_CH3N / TIM8_CH3N / TIM12_CH2 / OTG_HS_DP/ EVENTOUT	
-	H2	55	77	P15	96	PD8	I/O	FT		FSMC_D13 / USART3_TX/ EVENTOUT	
-	H3	56	78	P14	97	PD9	I/O	FT		FSMC_D14 / USART3_RX/ EVENTOUT	
-	G3	57	79	N15	98	PD10	I/O	FT		FSMC_D15 / USART3_CK/ EVENTOUT	
-	G1	58	80	N14	99	PD11	I/O	FT		FSMC_CLE / FSMC_A16/USART3_CTS/ EVENTOUT	
-	G2	59	81	N13	100	PD12	I/O	FT		FSMC_ALE/ FSMC_A17/TIM4_CH1 / USART3_RTS/ EVENTOUT	

表 6. STM32F41x 引脚和焊球定义 (续)

引脚编号						引脚名称 (复位后的 功能) <sup>(1)</sup>	引脚类型	I/O 逻辑电平	注释	复用功能	附加功能
LQFP64	WLCSP90	LQFP100	LQFP144	UFBGA176	LQFP176						
-	-	60	82	M15	101	PD13	I/O	FT		FSMC_A18/TIM4_CH2/ EVENTOUT	
-	-	-	83	-	102	V <sub>SS</sub>	S				
-	-	-	84	J13	103	V <sub>DD</sub>	S				
-	F2	61	85	M14	104	PD14	I/O	FT		FSMC_D0/TIM4_CH3/ EVENTOUT/ EVENTOUT	
-	F1	62	86	L14	105	PD15	I/O	FT		FSMC_D1/TIM4_CH4/ EVENTOUT	
-	-	-	87	L15	106	PG2	I/O	FT		FSMC_A12/ EVENTOUT	
-	-	-	88	K15	107	PG3	I/O	FT		FSMC_A13/ EVENTOUT	
-	-	-	89	K14	108	PG4	I/O	FT		FSMC_A14/ EVENTOUT	
-	-	-	90	K13	109	PG5	I/O	FT		FSMC_A15/ EVENTOUT	
-	-	-	91	J15	110	PG6	I/O	FT		FSMC_INT2/ EVENTOUT	
-	-	-	92	J14	111	PG7	I/O	FT		FSMC_INT3/USART6_CK/ EVENTOUT	
-	-	-	93	H14	112	PG8	I/O	FT		USART6_RTS / ETH_PPS_OUT/ EVENTOUT	
-	-	-	94	G12	113	V <sub>SS</sub>	S				
-	-	-	95	H13	114	V <sub>DD</sub>	S				
37	F3	63	96	H15	115	PC6	I/O	FT		I2S2_MCK / TIM8_CH1/SDIO_D6 / USART6_TX / DCMI_D0/TIM3_CH1/ EVENTOUT	
38	E1	64	97	G15	116	PC7	I/O	FT		I2S3_MCK / TIM8_CH2/SDIO_D7 / USART6_RX / DCMI_D1/TIM3_CH2/ EVENTOUT	
39	E2	65	98	G14	117	PC8	I/O	FT		TIM8_CH3/SDIO_D0 /TIM3_CH3/ USART6_CK / DCMI_D2/ EVENTOUT	
40	E3	66	99	F14	118	PC9	I/O	FT		I2S_CKIN/ MCO2 / TIM8_CH4/SDIO_D1 / /I2C3_SDA / DCMI_D3 / TIM3_CH4/ EVENTOUT	

表 6. STM32F41x 引脚和焊球定义 (续)

引脚编号						引脚名称 (复位后的 功能) <sup>(1)</sup>	引脚类型	I/O 逻辑电平	注释	复用功能	附加功能
LQFP64	WLCSP90	LQFP100	LQFP144	UFBGA176	LQFP176						
41	D1	67	100	F15	119	PA8	I/O	FT		MCO1 / USART1_CK/ TIM1_CH1/ I2C3_SCL/ OTG_FS_SOF/ EVENTOUT	
42	D2	68	101	E15	120	PA9	I/O	FT		USART1_TX/ TIM1_CH2 / I2C3_SMBA / DCMI_D0/ EVENTOUT	OTG_FS_VBUS
43	D3	69	102	D15	121	PA10	I/O	FT		USART1_RX/ TIM1_CH3/ OTG_FS_ID/DCMI_D1/ EVENTOUT	
44	C1	70	103	C15	122	PA11	I/O	FT		USART1_CTS / CAN1_RX / TIM1_CH4 / OTG_FS_DM/ EVENTOUT	
45	C2	71	104	B15	123	PA12	I/O	FT		USART1_RTS / CAN1_TX/ TIM1_ETR/ OTG_FS_DP/ EVENTOUT	
46	F8	72	105	A15	124	PA13 (JTMS-SWDIO)	I/O	FT		JTMS-SWDIO/ EVENTOUT	
47	B1	73	106	F13	125	V <sub>CAP_2</sub>	S				
-	E7	74	107	F12	126	V <sub>SS</sub>	S				
48	E6	75	108	G13	127	V <sub>DD</sub>	S				
-	-	-	-	E12	128	PH13	I/O	FT		TIM8_CH1N / CAN1_TX/ EVENTOUT	
-	-	-	-	E13	129	PH14	I/O	FT		TIM8_CH2N / DCMI_D4/ EVENTOUT	
-	-	-	-	D13	130	PH15	I/O	FT		TIM8_CH3N / DCMI_D11/ EVENTOUT	
-	C3	-	-	E14	131	PI0	I/O	FT		TIM5_CH4 / SPI2_NSS / I2S2_WS / DCMI_D13/ EVENTOUT	
-	B2	-	-	D14	132	PI1	I/O	FT		SPI2_SCK / I2S2_CK / DCMI_D8/ EVENTOUT	
-	-	-	-	C14	133	PI2	I/O	FT		TIM8_CH4 / SPI2_MISO / DCMI_D9 / I2S2ext_SD/ EVENTOUT	
-	-	-	-	C13	134	PI3	I/O	FT		TIM8_ETR / SPI2_MOSI / I2S2_SD / DCMI_D10/ EVENTOUT	
-	-	-	-	D9	135	V <sub>SS</sub>	S				
-	-	-	-	C9	136	V <sub>DD</sub>	S				

表 6. STM32F41x 引脚和焊球定义 (续)

引脚编号						引脚名称 (复位后的 功能) <sup>(1)</sup>	引脚类型	I/O 逻辑电平	注释	复用功能	附加功能
LQFP64	WLCSP90	LQFP100	LQFP144	UFBGA176	LQFP176						
49	A2	76	109	A14	137	PA14 (JTCK-SWCLK)	I/O	FT		JTCK-SWCLK/ EVENTOUT	
50	B3	77	110	A13	138	PA15 (JTDI)	I/O	FT		JTDI/ SPI3_NSS/ I2S3_WS/TIM2_CH1_ETR / SPI1_NSS / EVENTOUT	
51	D5	78	111	B14	139	PC10	I/O	FT		SPI3_SCK / I2S3_CK/ UART4_TX/SDIO_D2 / DCMI_D8 / USART3_TX/ EVENTOUT	
52	C4	79	112	B13	140	PC11	I/O	FT		UART4_RX/ SPI3_MISO / SDIO_D3 / DCMI_D4/USART3_RX / I2S3ext_SD/ EVENTOUT	
53	A3	80	113	A12	141	PC12	I/O	FT		UART5_TX/SDIO_CK / DCMI_D9 / SPI3_MOSI /I2S3_SD / USART3_CK/ EVENTOUT	
-	D6	81	114	B12	142	PD0	I/O	FT		FSMC_D2/CAN1_RX/ EVENTOUT	
-	C5	82	115	C12	143	PD1	I/O	FT		FSMC_D3 / CAN1_TX/ EVENTOUT	
54	B4	83	116	D12	144	PD2	I/O	FT		TIM3_ETR/UART5_RX/ SDIO_CMD / DCMI_D11/ EVENTOUT	
-	-	84	117	D11	145	PD3	I/O	FT		FSMC_CLK/USART2_CTS / EVENTOUT	
-	A4	85	118	D10	146	PD4	I/O	FT		FSMC_NOE/USART2_RTS / EVENTOUT	
-	C6	86	119	C11	147	PD5	I/O	FT		FSMC_NWE/USART2_TX/ EVENTOUT	
-	-	-	120	D8	148	V <sub>SS</sub>	S				
-	-	-	121	C8	149	V <sub>DD</sub>	S				
-	B5	87	122	B11	150	PD6	I/O	FT		FSMC_NWAIT/ USART2_RX/ EVENTOUT	
-	A5	88	123	A11	151	PD7	I/O	FT		USART2_CK/FSMC_NE1/ FSMC_NCE2/ EVENTOUT	
-	-	-	124	C10	152	PG9	I/O	FT		USART6_RX / FSMC_NE2/FSMC_NCE3/ EVENTOUT	

表 6. STM32F41x 引脚和焊球定义 (续)

引脚编号						引脚名称 (复位后的 功能) <sup>(1)</sup>	引脚类型	I/O 逻辑电平	注释	复用功能	附加功能
LQFP64	WLCSP90	LQFP100	LQFP144	UFBGA176	LQFP176						
-	-	-	125	B10	153	PG10	I/O	FT		FSMC_NCE4_1/ FSMC_NE3/ EVENTOUT	
-	-	-	126	B9	154	PG11	I/O	FT		FSMC_NCE4_2 / ETH_MII_TX_EN/ ETH_RMII_TX_EN/ EVENTOUT	
-	-	-	127	B8	155	PG12	I/O	FT		FSMC_NE4 / USART6_RTS/ EVENTOUT	
-	-	-	128	A8	156	PG13	I/O	FT		FSMC_A24 / USART6_CTS /ETH_MII_TXD0/ ETH_RMII_TXD0/ EVENTOUT	
-	-	-	129	A7	157	PG14	I/O	FT		FSMC_A25 / USART6_TX /ETH_MII_TXD1/ ETH_RMII_TXD1/ EVENTOUT	
-	E8	-	130	D7	158	V <sub>SS</sub>	S				
-	F7	-	131	C7	159	V <sub>DD</sub>	S				
-	-	-	132	B7	160	PG15	I/O	FT		USART6_CTS / DCMI_D13/ EVENTOUT	
55	B6	89	133	A10	161	PB3 (JTDO/ TRACESWO)	I/O	FT		JTDO/ TRACESWO/ SPI3_SCK / I2S3_CK / TIM2_CH2 / SPI1_SCK/ EVENTOUT	
56	A6	90	134	A9	162	PB4 (NJTRST)	I/O	FT		NJTRST/ SPI3_MISO / TIM3_CH1 / SPI1_MISO / I2S3ext_SD/ EVENTOUT	
57	D7	91	135	A6	163	PB5	I/O	FT		I2C1_SMBA/ CAN2_RX / OTG_HS_ULPI_D7 / ETH_PPS_OUT/TIM3_CH 2 / SPI1_MOSI/ SPI3_MOSI / DCMI_D10 / I2S3_SD/ EVENTOUT	
58	C7	92	136	B6	164	PB6	I/O	FT		I2C1_SCL/ TIM4_CH1 / CAN2_TX / DCMI_D5/USART1_TX/ EVENTOUT	

表 6. STM32F41xx 引脚和焊球定义 (续)

引脚编号						引脚名称 (复位后的 功能) <sup>(1)</sup>	引脚类型	I/O 逻辑电平	注释	复用功能	附加功能
LQFP64	WLCSP90	LQFP100	LQFP144	UFBGA176	LQFP176						
59	B7	93	137	B5	165	PB7	I/O	FT		I2C1_SDA / FSMC_NL / DCMI_VSYNC / USART1_RX/ TIM4_CH2/ EVENTOUT	
60	A7	94	138	D6	166	BOOT0	I	B			V <sub>PP</sub>
61	D8	95	139	A5	167	PB8	I/O	FT		TIM4_CH3/SDIO_D4/ TIM10_CH1 / DCMI_D6 / ETH_MII_TXD3 / I2C1_SCL/ CAN1_RX/ EVENTOUT	
62	C8	96	140	B4	168	PB9	I/O	FT		SPI2_NSS/ I2S2_WS / TIM4_CH4/ TIM11_CH1/ SDIO_D5 / DCMI_D7 / I2C1_SDA / CAN1_TX/ EVENTOUT	
-	-	97	141	A4	169	PE0	I/O	FT		TIM4_ETR / FSMC_NBL0 / DCMI_D2/ EVENTOUT	
-	-	98	142	A3	170	PE1	I/O	FT		FSMC_NBL1 / DCMI_D3/ EVENTOUT	
63	-	99	-	D5	-	V <sub>SS</sub>	S				
-	A8	-	143	C6	171	PDR_ON	I	FT			
64	A1	100	144	C5	172	V <sub>DD</sub>	S				
-	-	-	-	D4	173	PI4	I/O	FT		TIM8_BKIN / DCMI_D5/ EVENTOUT	
-	-	-	-	C4	174	PI5	I/O	FT		TIM8_CH1 / DCMI_VSYNC/ EVENTOUT	
-	-	-	-	C3	175	PI6	I/O	FT		TIM8_CH2 / DCMI_D6/ EVENTOUT	
-	-	-	-	C2	176	PI7	I/O	FT		TIM8_CH3 / DCMI_D7/ EVENTOUT	

1. 可用功能取决于所选器件。
2. PC13、PC14、PC15 和 Pi8 通过电源开关供电。由于该开关的灌电流能力有限 (3 mA)，因此在使用输出模式下的 GPIO PC13 到 PC15 以及 Pi8 时存在以下限制：
  - 速度不得超过 2 MHz，最大负载为 30 pF。
  - 这些 I/O 不能用作电流源（例如，用于驱动 LED）。
3. 备份域第一次上电后的主要功能。之后，即使复位，这些引脚的状态也取决于 RTC 寄存器的内容（因为主复位不会复位这些寄存器）。有关如何管理这些 I/O 的详细信息，请参见 STM32F4xx 参考手册中介绍 RTC 寄存器的部分，可从 ST 网站下载该手册：[www.st.com](http://www.st.com)。
4. FT = 5 V 容忍，在模拟模式或振荡器模式下除外（针对 PC14、PC15、PH0 和 PH1）。
5. 如果器件采用 UFBGA176 或 WLCSP90 封装，并且 BYPASS\_REG 引脚设置为 VDD（调压器关闭/内部复位开启模式），则将 PA0 用作内部复位（低电平有效）。

表 7. FSMC 引脚定义

引脚 <sup>(1)</sup>	FSMC				LQFP100 <sup>(2)</sup>	WLCSP90 <sup>(2)</sup>
	CF	NOR/PSRAM/ SRAM	NOR/PSRAM 复用	16 位 NAND		
PE2		A23	A23		有	
PE3		A19	A19		有	
PE4		A20	A20		有	
PE5		A21	A21		有	
PE6		A22	A22		有	
PF0	A0	A0			-	-
PF1	A1	A1			-	-
PF2	A2	A2			-	-
PF3	A3	A3			-	-
PF4	A4	A4			-	-
PF5	A5	A5			-	-
PF6	NIORD				-	-
PF7	NREG				-	-
PF8	NIOWR				-	-
PF9	CD				-	-
PF10	INTR				-	-
PF12	A6	A6			-	-
PF13	A7	A7			-	-
PF14	A8	A8			-	-
PF15	A9	A9			-	-
PG0	A10	A10			-	-
PG1		A11			-	-
PE7	D4	D4	DA4	D4	有	有
PE8	D5	D5	DA5	D5	有	有
PE9	D6	D6	DA6	D6	有	有
PE10	D7	D7	DA7	D7	有	有
PE11	D8	D8	DA8	D8	有	有
PE12	D9	D9	DA9	D9	有	有
PE13	D10	D10	DA10	D10	有	有
PE14	D11	D11	DA11	D11	有	有
PE15	D12	D12	DA12	D12	有	有
PD8	D13	D13	DA13	D13	有	有
PD9	D14	D14	DA14	D14	有	有



表 7. FSMC 引脚定义 (续)

引脚 <sup>(1)</sup>	FSMC				LQFP100 <sup>(2)</sup>	WLCSP90 <sup>(2)</sup>
	CF	NOR/PSRAM/ SRAM	NOR/PSRAM 复用	16 位 NAND		
PD10	D15	D15	DA15	D15	有	有
PD11		A16	A16	CLE	有	有
PD12		A17	A17	ALE	有	有
PD13		A18	A18		有	
PD14	D0	D0	DA0	D0	有	
PD15	D1	D1	DA1	D1	有	
PG2		A12			-	-
PG3		A13			-	-
PG4		A14			-	-
PG5		A15			-	-
PG6				INT2	-	-
PG7				INT3	-	-
PD0	D2	D2	DA2	D2	有	有
PD1	D3	D3	DA3	D3	有	有
PD3		CLK	CLK		有	
PD4	NOE	NOE	NOE	NOE	有	有
PD5	NWE	NWE	NWE	NWE	有	有
PD6	NWAIT	NWAIT	NWAIT	NWAIT	有	有
PD7		NE1	NE1	NCE2	有	有
PG9		NE2	NE2	NCE3	-	-
PG10	NCE4_1	NE3	NE3		-	-
PG11	NCE4_2				-	-
PG12		NE4	NE4		-	-
PG13		A24	A24		-	-
PG14		A25	A25		-	-
PB7		NADV	NADV		有	有
PE0		NBL0	NBL0		有	
PE1		NBL1	NBL1		有	

1. LQFP144、LQFP176 和 UFBGA176 封装均提供完整的 FSMC 功能。专用封装列中给出了小型封装提供的功能。
2. 采用 100 引脚封装的器件不提供端口 F 和端口 G。

表 8. 复用功能映射

端口		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF014	AF15
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/ I2S2/I2S2ext	SPI3/I2Sext/ I2S3	USART1/2/3/ I2S3ext	UART4/5/ USART6	CAN1/CAN2/ TIM12/13/14	OTG_FS/ OTG_HS	ETH	FSMC/SDIO/ OTG_FS	DCMI		
端口 A	PA0		TIM2_CH1 TIM2_ETR	TIM5_CH1	TIM8_ETR				USART2_CTS	UART4_TX			ETH_MII_CRS				EVENTOUT
	PA1		TIM2_CH2	TIM5_CH2					USART2_RTS	UART4_RX			ETH_MII_RX_CLK ETH_RMII_REF_CLK				EVENTOUT
	PA2		TIM2_CH3	TIM5_CH3	TIM9_CH1				USART2_TX				ETH_MDIO				EVENTOUT
	PA3		TIM2_CH4	TIM5_CH4	TIM9_CH2				USART2_RX			OTG_HS_ULPI_D0	ETH_MII_COL				EVENTOUT
	PA4						SPI1_NSS	SPI3_NSS I2S3_WS	USART2_CK					OTG_HS_SOF	DCMI_HSYNC		EVENTOUT
	PA5		TIM2_CH1 TIM2_ETR		TIM8_CH1N		SPI1_SCK					OTG_HS_ULPI_CK					EVENTOUT
	PA6		TIM1_BKIN	TIM3_CH1	TIM8_BKIN		SPI1_MISO				TIM13_CH1				DCMI_PIXCK		EVENTOUT
	PA7		TIM1_CH1N	TIM3_CH2	TIM8_CH1N		SPI1_MOSI				TIM14_CH1		ETH_MII_RX_DV ETH_RMII_CRS_DV				EVENTOUT
	PA8	MCO1	TIM1_CH1			I2C3_SCL			USART1_CK			OTG_FS_SOF					EVENTOUT
	PA9		TIM1_CH2			I2C3_SMBA			USART1_TX						DCMI_D0		EVENTOUT
	PA10		TIM1_CH3						USART1_RX			OTG_FS_ID			DCMI_D1		EVENTOUT
	PA11		TIM1_CH4						USART1_CTS		CAN1_RX	OTG_FS_DM					EVENTOUT
	PA12		TIM1_ETR						USART1_RTS		CAN1_TX	OTG_FS_DP					EVENTOUT
	PA13	JTMS-SWDIO															EVENTOUT
	PA14	JTCK-SWCLK															EVENTOUT
	PA15	JTDI	TIM2_CH1 TIM2_ETR				SPI1_NSS	SPI3_NSS/ I2S3S_WS									EVENTOUT





表 8. 复用功能映射 (续)

端口		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF014	AF15
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/ I2S2/I2S2ext	SPI3/I2Sext/ I2S3	USART1/2/3/ I2S3ext1	UART4/5/ USART6	CAN1/CAN2/ TIM12/13/14	OTG_FS/ OTG_HS	ETH	FSMC/SDIO/ OTG_FS	DCMI		
端口 B	PB0		TIM1_CH2N	TIM3_CH3	TIM8_CH2N							OTG_HS_ULPI_D1	ETH_MII_RXD2				EVENTOUT
	PB1		TIM1_CH3N	TIM3_CH4	TIM8_CH3N							OTG_HS_ULPI_D2	ETH_MII_RXD3				EVENTOUT
	PB2																EVENTOUT
	PB3	JTDO/ TRACESWO	TIM2_CH2				SPI1_SCK	SPI3_SCK I2S3_CK									EVENTOUT
	PB4	NJTRST		TIM3_CH1			SPI1_MISO	SPI3_MISO	I2S3ext_SD								EVENTOUT
	PB5			TIM3_CH2		I2C1_SMBA	SPI1_MOSI	SPI3_MOSI I2S3_SD			CAN2_RX	OTG_HS_ULPI_D7	ETH_PPS_OUT		DCMI_D10		EVENTOUT
	PB6			TIM4_CH1		I2C1_SCL			USART1_TX		CAN2_TX				DCMI_D5		EVENTOUT
	PB7			TIM4_CH2		I2C1_SDA			USART1_RX					FSMC_NL	DCMI_VSYNC		EVENTOUT
	PB8			TIM4_CH3	TIM10_CH1	I2C1_SCL					CAN1_RX		ETH_MII_TXD3	SDIO_D4	DCMI_D6		EVENTOUT
	PB9			TIM4_CH4	TIM11_CH1	I2C1_SDA	SPI2_NSS I2S2_WS				CAN1_TX			SDIO_D5	DCMI_D7		EVENTOUT
	PB10		TIM2_CH3			I2C2_SCL	SPI2_SCK I2S2_CK		USART3_TX			OTG_HS_ULPI_D3	ETH_MII_RX_ER				EVENTOUT
	PB11		TIM2_CH4			I2C2_SDA			USART3_RX			OTG_HS_ULPI_D4	ETH_MII_TX_EN ETH_RMII_TX_EN				EVENTOUT
	PB12		TIM1_BKIN			I2C2_SMBA	SPI2_NSS I2S2_WS		USART3_CK		CAN2_RX	OTG_HS_ULPI_D5	ETH_MII_TXD0 ETH_RMII_TXD0	OTG_HS_ID			EVENTOUT
	PB13		TIM1_CH1N				SPI2_SCK I2S2_CK		USART3_CTS		CAN2_TX	OTG_HS_ULPI_D6	ETH_MII_TXD1 ETH_RMII_TXD1				EVENTOUT
	PB14		TIM1_CH2N		TIM8_CH2N		SPI2_MISO	I2S2ext_SD	USART3_RTS		TIM12_CH1			OTG_HS_DM			EVENTOUT
	PB15	RTC_50Hz	TIM1_CH3N		TIM8_CH3N		SPI2_MOSI I2S2_SD				TIM12_CH2			OTG_HS_DP			EVENTOUT
端口 C	PC0											OTG_HS_ULPI_STP					EVENTOUT
	PC1												ETH_MDC				EVENTOUT
	PC2						SPI2_MISO	I2S2ext_SD				OTG_HS_ULPI_DIR	ETH_MII_TXD2				EVENTOUT
	PC3						SPI2_MOSI I2S2_SD					OTG_HS_ULPI_NXT	ETH_MII_TX_CLK				EVENTOUT
	PC4												ETH_MII_RXD0 ETH_RMII_RXD0				EVENTOUT
	PC5												ETH_MII_RXD1 ETH_RMII_RXD1				EVENTOUT
	PC6			TIM3_CH1	TIM8_CH1		I2S2_MCK			USART6_TX				SDIO_D6	DCMI_D0		EVENTOUT
	PC7			TIM3_CH2	TIM8_CH2			I2S3_MCK		USART6_RX				SDIO_D7	DCMI_D1		EVENTOUT
	PC8			TIM3_CH3	TIM8_CH3					USART6_CK				SDIO_D0	DCMI_D2		EVENTOUT
	PC9	MCO2		TIM3_CH4	TIM8_CH4	I2C3_SDA	I2S_CKIN							SDIO_D1	DCMI_D3		EVENTOUT
	PC10							SPI3_SCK/ I2S3S_CK	USART3_TX/	UART4_TX				SDIO_D2	DCMI_D8		EVENTOUT
	PC11						I2S3ext_SD	SPI3_MISO/	USART3_RX	UART4_RX				SDIO_D3	DCMI_D4		EVENTOUT
	PC12							SPI3_MOSI I2S3_SD	USART3_CK	UART5_TX				SDIO_CK	DCMI_D9		EVENTOUT
	PC13																
	PC14																
	PC15																

表 8. 复用功能映射（续）

端口		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF014	AF15
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/ I2S2/I2S2ext	SPI3/I2Sext/ I2S3	USART1/2/3/ I2S3ext1	UART4/5/ USART6	CAN1/CAN2/ TIM12/13/14	OTG_FS/ OTG_HS	ETH	FSMC/SDIO/ OTG_FS	DCMI		
端口 D	PD0										CAN1_RX			FSMC_D2			EVENTOUT
	PD1										CAN1_TX			FSMC_D3			EVENTOUT
	PD2			TIM3_ETR						UART5_RX				SDIO_CMD	DCMI_D11		EVENTOUT
	PD3								USART2_CTS					FSMC_CLK			EVENTOUT
	PD4								USART2_RTS					FSMC_NOE			EVENTOUT
	PD5								USART2_TX					FSMC_NWE			EVENTOUT
	PD6								USART2_RX					FSMC_NWAIT			EVENTOUT
	PD7								USART2_CK					FSMC_NE1/ FSMC_NCE2			EVENTOUT
	PD8								USART3_TX					FSMC_D13			EVENTOUT
	PD9								USART3_RX					FSMC_D14			EVENTOUT
	PD10								USART3_CK					FSMC_D15			EVENTOUT
	PD11								USART3_CTS					FSMC_A16			EVENTOUT
	PD12			TIM4_CH1					USART3_RTS					FSMC_A17			EVENTOUT
	PD13			TIM4_CH2										FSMC_A18			EVENTOUT
	PD14			TIM4_CH3										FSMC_D0			EVENTOUT
端口 E	PE0			TIM4_ETR										FSMC_D1			EVENTOUT
	PE1													FSMC_NBL0	DCMI_D2		EVENTOUT
	PE2	TRACECLK												FSMC_BLN1	DCMI_D3		EVENTOUT
	PE3	TRACED0											ETH_MII_TXD3	FSMC_A23			EVENTOUT
	PE4	TRACED1												FSMC_A19			EVENTOUT
	PE5	TRACED2			TIM9_CH1									FSMC_A20	DCMI_D4		EVENTOUT
	PE6	TRACED3			TIM9_CH2									FSMC_A21	DCMI_D6		EVENTOUT
	PE7		TIM1_ETR											FSMC_A22	DCMI_D7		EVENTOUT
	PE8		TIM1_ETR											FSMC_D4			EVENTOUT
	PE9		TIM1_CH1N											FSMC_D5			EVENTOUT
	PE10		TIM1_CH1											FSMC_D6			EVENTOUT
	PE11		TIM1_CH2N											FSMC_D7			EVENTOUT
	PE12		TIM1_CH2											FSMC_D8			EVENTOUT
	PE13		TIM1_CH3N											FSMC_D9			EVENTOUT
	PE14		TIM1_CH3											FSMC_D10			EVENTOUT
	PE15		TIM1_CH4											FSMC_D11			EVENTOUT
	PE15		TIM1_BKIN											FSMC_D12			EVENTOUT





表 8. 复用功能映射（续）

端口		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF014	AF15
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/ I2S2/I2S2ext	SPI3/I2Sext/ I2S3	USART1/2/3/ I2S3ext	UART4/5/ USART6	CAN1/CAN2/ TIM12/13/14	OTG_FS/ OTG_HS	ETH	FSMC/SDIO/ OTG_FS	DCMI		
端口 F	PF0					I2C2_SDA								FSMC_A0			EVENTOUT
	PF1					I2C2_SCL								FSMC_A1			EVENTOUT
	PF2					I2C2_SMB4								FSMC_A2			EVENTOUT
	PF3													FSMC_A3			EVENTOUT
	PF4													FSMC_A4			EVENTOUT
	PF5													FSMC_A5			EVENTOUT
	PF6				TIM10_CH1									FSMC_NIORD			EVENTOUT
	PF7				TIM11_CH1									FSMC_NREG			EVENTOUT
	PF8										TIM13_CH1			FSMC_NIOWR			EVENTOUT
	PF9										TIM14_CH1			FSMC_CD			EVENTOUT
	PF10													FSMC_INTR			EVENTOUT
	PF11														DCMI_D12		EVENTOUT
	PF12													FSMC_A6			EVENTOUT
	PF13													FSMC_A7			EVENTOUT
	PF14													FSMC_A8			EVENTOUT
	PF15													FSMC_A9			EVENTOUT
端口 G	PG0													FSMC_A10			EVENTOUT
	PG1													FSMC_A11			EVENTOUT
	PG2													FSMC_A12			EVENTOUT
	PG3													FSMC_A13			EVENTOUT
	PG4													FSMC_A14			EVENTOUT
	PG5													FSMC_A15			EVENTOUT
	PG6													FSMC_INT2			EVENTOUT
	PG7									USART6_CK				FSMC_INT3			EVENTOUT
	PG8									USART6_RTS			ETH_PPS_OUT				EVENTOUT
	PG9									USART6_RX				FSMC_NE2/ FSMC_NCE3			EVENTOUT
	PG10													FSMC_NCE4_1/ FSMC_NE3			EVENTOUT
	PG11												ETH_MII_TX_EN ETH_RMII_TX_EN	FSMC_NCE4_2			EVENTOUT
	PG12									USART6_RTS				FSMC_NE4			EVENTOUT
	PG13									UART6_CTS				ETH_MII_TXD0 ETH_RMII_TXD0	FSMC_A24		EVENTOUT
	PG14									USART6_TX				ETH_MII_TXD1 ETH_RMII_TXD1	FSMC_A25		EVENTOUT
	PG15									USART6_CTS					DCMI_D13		EVENTOUT

表 8. 复用功能映射（续）

端口		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF014	AF15
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/ I2S2/I2S2ext	SPI3/I2Sext/ I2S3	USART1/2/3/ I2S3ext	UART4/5/ USART6	CAN1/CAN2/ TIM12/13/14	OTG_FS/ OTG_HS	ETH	FSMC/SDIO/ OTG_FS	DCMI		
端口 H	PH0																
	PH1																
	PH2												ETH_MII_CRS				EVENTOUT
	PH3												ETH_MII_COL				EVENTOUT
	PH4					I2C2_SCL						OTG_HS_ULPI_NXT					EVENTOUT
	PH5					I2C2_SDA											EVENTOUT
	PH6					I2C2_SMBA					TIM12_CH1		ETH_MII_RXD2				EVENTOUT
	PH7					I2C3_SCL							ETH_MII_RXD3				EVENTOUT
	PH8					I2C3_SDA									DCMI_HSYNC		EVENTOUT
	PH9					I2C3_SMBA					TIM12_CH2				DCMI_D0		EVENTOUT
	PH10			TIM5_CH1											DCMI_D1		EVENTOUT
	PH11			TIM5_CH2											DCMI_D2		EVENTOUT
	PH12			TIM5_CH3											DCMI_D3		EVENTOUT
	PH13				TIM8_CH1N						CAN1_TX						EVENTOUT
	PH14				TIM8_CH2N										DCMI_D4		EVENTOUT
端口 I	PH15				TIM8_CH3N										DCMI_D11		EVENTOUT
	PI0			TIM5_CH4			SPI2_NSS I2S2_WS								DCMI_D13		EVENTOUT
	PI1						SPI2_SCK I2S2_CK								DCMI_D8		EVENTOUT
	PI2				TIM8_CH4		SPI2_MISO	I2S2ext_SD							DCMI_D9		EVENTOUT
	PI3				TIM8_ETR		SPI2_MOSI I2S2_SD								DCMI_D10		EVENTOUT
	PI4				TIM8_BKIN										DCMI_D5		EVENTOUT
	PI5				TIM8_CH1										DCMI_VSYNC		EVENTOUT
	PI6				TIM8_CH2										DCMI_D6		EVENTOUT
	PI7				TIM8_CH3										DCMI_D7		EVENTOUT
	PI8																
	PI9										CAN1_RX						EVENTOUT
	PI10												ETH_MII_RX_ER				EVENTOUT
	PI11											OTG_HS_ULPI_DIR					EVENTOUT



4 存储器映射

存储器映射如图 16 所示。

图 16. STM32F41x 存储器映射

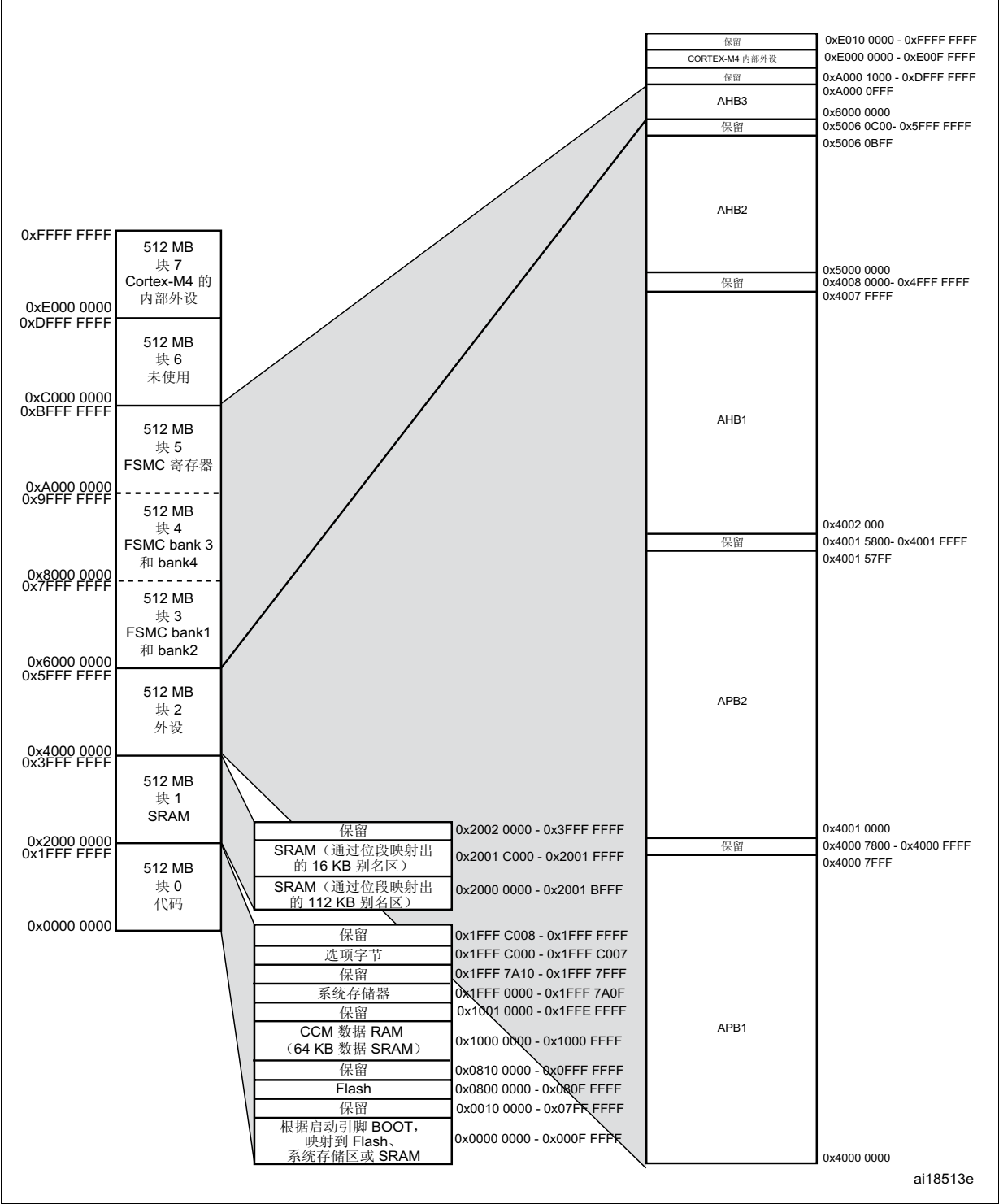


表 9. STM32F41x 寄存器边界地址

总线	边界地址	外设
	0xE00F FFFF - 0xFFFF FFFF	保留
Cortex-M4	0xE000 0000 - 0xE00F FFFF	Cortex-M4 内部外设
	0xA000 1000 - 0xDFFF FFFF	保留
AHB3	0xA000 0000 - 0xA000 0FFF	FSMC 控制寄存器
	0x9000 0000 - 0x9FFF FFFF	FSMC bank 4
	0x8000 0000 - 0x8FFF FFFF	FSMC bank 3
	0x7000 0000 - 0x7FFF FFFF	FSMC bank 2
	0x6000 0000 - 0x6FFF FFFF	FSMC bank 1
	0x5006 0C00- 0x5FFF FFFF	保留
AHB2	0x5006 0800 - 0x5006 0BFF	RNG
	0x5006 0400 - 0x5006 07FF	HASH
	0x5006 0000 - 0x5006 03FF	CRYP
	0x5005 0400 - 0x5005 FFFF	保留
	0x5005 0000 - 0x5005 03FF	DCMI
	0x5004 0000- 0x5004 FFFF	保留
	0x5000 0000 - 0x5003 FFFF	USB OTG FS
	0x4008 0000- 0x4FFF FFFF	保留



表 9. STM32F41x 寄存器边界地址 (续)

总线	边界地址	外设
AHB1	0x4004 0000 - 0x4007 FFFF	USB OTG HS
	0x4002 9400 - 0x4003 FFFF	保留
	0x4002 9000 - 0x4002 93FF	ETHERNET MAC
	0x4002 8C00 - 0x4002 8FFF	
	0x4002 8800 - 0x4002 8BFF	
	0x4002 8400 - 0x4002 87FF	
	0x4002 8000 - 0x4002 83FF	
	0x4002 6800 - 0x4002 7FFF	保留
	0x4002 6400 - 0x4002 67FF	DMA2
	0x4002 6000 - 0x4002 63FF	DMA1
	0x4002 5000 - 0x4002 5FFF	保留
	0x4002 4000 - 0x4002 4FFF	BKPSRAM
	0x4002 3C00 - 0x4002 3FFF	Flash 接口寄存器
	0x4002 3800 - 0x4002 3BFF	RCC
	0x4002 3400 - 0x4002 37FF	保留
	0x4002 3000 - 0x4002 33FF	CRC
	0x4002 2400 - 0x4002 2FFF	保留
	0x4002 2000 - 0x4002 23FF	GPIOI
	0x4002 1C00 - 0x4002 1FFF	GPIOH
	0x4002 1800 - 0x4002 1BFF	GPIOG
	0x4002 1400 - 0x4002 17FF	GPIOF
	0x4002 1000 - 0x4002 13FF	GPIOE
	0x4002 0C00 - 0x4002 0FFF	GPIOD
	0x4002 0800 - 0x4002 0BFF	GPIOC
	0x4002 0400 - 0x4002 07FF	GPIOB
	0x4002 0000 - 0x4002 03FF	GPIOA
	0x4001 5800 - 0x4001 FFFF	保留

表 9. STM32F41x 寄存器边界地址 (续)

总线	边界地址	外设
APB2	0x4001 4C00 - 0x4001 57FF	保留
	0x4001 4800 - 0x4001 4BFF	TIM11
	0x4001 4400 - 0x4001 47FF	TIM10
	0x4001 4000 - 0x4001 43FF	TIM9
	0x4001 3C00 - 0x4001 3FFF	EXTI
	0x4001 3800 - 0x4001 3BFF	SYSCFG
	0x4001 3400 - 0x4001 37FF	保留
	0x4001 3000 - 0x4001 33FF	SPI1
	0x4001 2C00 - 0x4001 2FFF	SDIO
	0x4001 2400 - 0x4001 2BFF	保留
	0x4001 2000 - 0x4001 23FF	ADC1 - ADC2 - ADC3
	0x4001 1800 - 0x4001 1FFF	保留
	0x4001 1400 - 0x4001 17FF	USART6
	0x4001 1000 - 0x4001 13FF	USART1
	0x4001 0800 - 0x4001 0FFF	保留
	0x4001 0400 - 0x4001 07FF	TIM8
	0x4001 0000 - 0x4001 03FF	TIM1
	0x4000 7800 - 0x4000 FFFF	保留

表 9. STM32F41x 寄存器边界地址 (续)

总线	边界地址	外设
APB1	0x4000 7800 - 0x4000 7FFF	保留
	0x4000 7400 - 0x4000 77FF	DAC
	0x4000 7000 - 0x4000 73FF	PWR
	0x4000 6C00 - 0x4000 6FFF	保留
	0x4000 6800 - 0x4000 6BFF	CAN2
	0x4000 6400 - 0x4000 67FF	CAN1
	0x4000 6000 - 0x4000 63FF	保留
	0x4000 5C00 - 0x4000 5FFF	I2C3
	0x4000 5800 - 0x4000 5BFF	I2C2
	0x4000 5400 - 0x4000 57FF	I2C1
	0x4000 5000 - 0x4000 53FF	UART5
	0x4000 4C00 - 0x4000 4FFF	UART4
	0x4000 4800 - 0x4000 4BFF	USART3
	0x4000 4400 - 0x4000 47FF	USART2
	0x4000 4000 - 0x4000 43FF	I2S3ext
	0x4000 3C00 - 0x4000 3FFF	SPI3 / I2S3
	0x4000 3800 - 0x4000 3BFF	SPI2 / I2S2
	0x4000 3400 - 0x4000 37FF	I2S2ext
	0x4000 3000 - 0x4000 33FF	IWDG
	0x4000 2C00 - 0x4000 2FFF	WWDG
	0x4000 2800 - 0x4000 2BFF	RTC 和 BKP 寄存器
	0x4000 2400 - 0x4000 27FF	保留
	0x4000 2000 - 0x4000 23FF	TIM14
	0x4000 1C00 - 0x4000 1FFF	TIM13
	0x4000 1800 - 0x4000 1BFF	TIM12
	0x4000 1400 - 0x4000 17FF	TIM7
	0x4000 1000 - 0x4000 13FF	TIM6
	0x4000 0C00 - 0x4000 0FFF	TIM5
	0x4000 0800 - 0x4000 0BFF	TIM4
	0x4000 0400 - 0x4000 07FF	TIM3
	0x4000 0000 - 0x4000 03FF	TIM2

## 5 电气特性

### 5.1 参数条件

若无另行说明，所有电压都以  $V_{SS}$  为基准。

#### 5.1.1 最小值和最大值

除非特别说明，所有器件的最小值和最大值已在生产期间进行过测试，测试环境温度为  $T_A = 25\text{ }^{\circ}\text{C}$  和  $T_A = T_{Amax}$ （取决于所选器件的温度范围），这些值能在最坏的环境温度、供电电压和时钟频率条件下得到保证。

根据特性分析结果、设计仿真和/或技术特性得到的数据在表格的脚注中说明，并未在生产中进行测试。在特性分析基础上，最小值和最大值是通过样本测试后，取其平均值再加上或减去三倍的标准差（平均值  $\pm 3\sigma$ ）得到。

#### 5.1.2 典型值

除非特别说明，否则典型数据都是在  $T_A = 25\text{ }^{\circ}\text{C}$ 、 $V_{DD} = 3.3\text{ V}$  条件下测试得出的（针对  $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$  电压范围）。这些数据未经测试，仅供设计参考。

典型的 ADC 精度值是通过对于一个标准扩散批次采样，在整个温度范围内执行特性分析确定的，其中 95% 的器件的误差小于或等于指定的值（平均值  $\pm 2\sigma$ ）。

#### 5.1.3 典型曲线

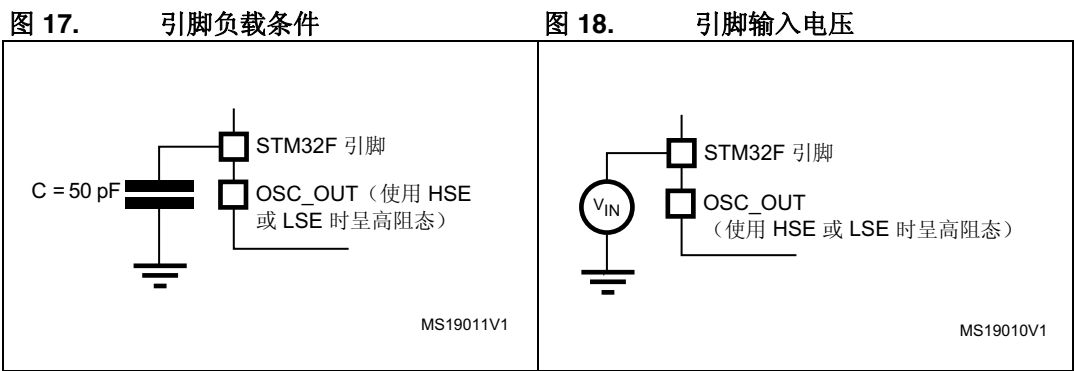
除非特别说明，否则所有典型曲线未经测试，仅供设计参考。

#### 5.1.4 负载电容

图 17 中显示了用于测量引脚参数的负载条件。

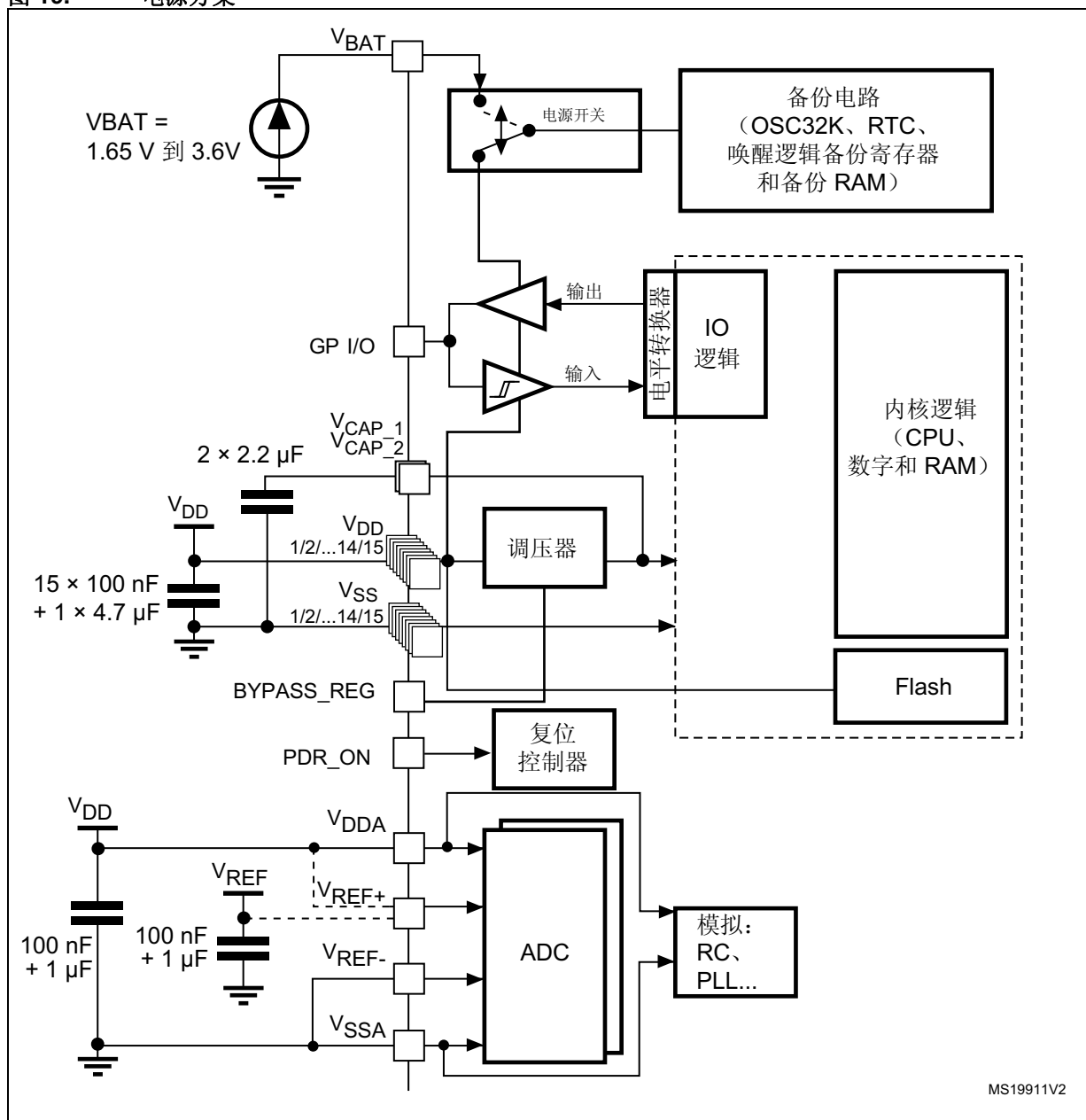
#### 5.1.5 引脚输入电压

图 18 中显示了器件引脚上输入电压的测量方法。



### 5.1.6 电源方案

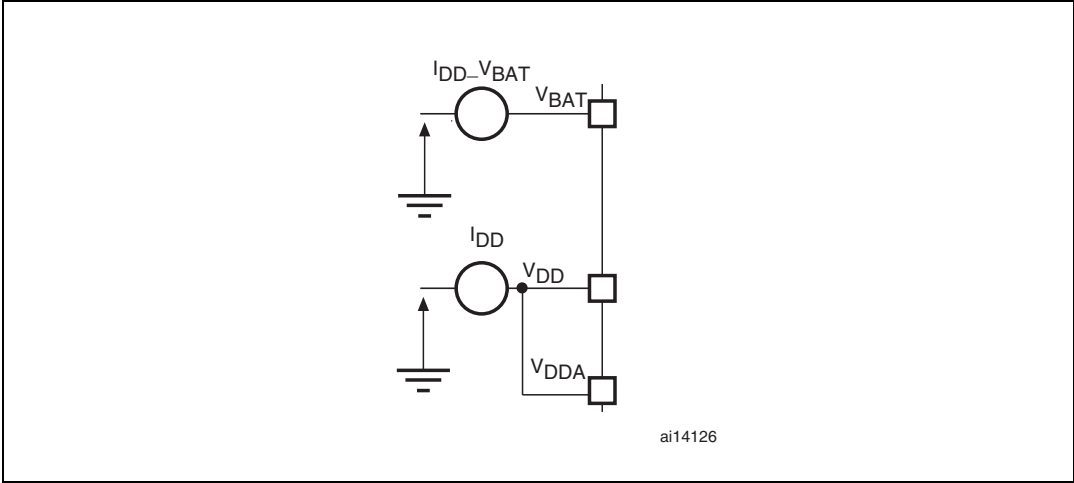
图 19. 电源方案



1. 必须使用滤波陶瓷电容对所有电源对进行去耦，如上面所示。这些电容必须尽可能置于 PCB 底面相应引脚附近或下方，以确保器件功能良好。
2. 要连接 `BYPASS_REG` 和 `PDR_ON` 引脚，请参见 [第 2.2.16 节：调压器](#)。
3. 当调压器处于关闭状态时，不得连接这两个  $2.2\ \mu\text{F}$  陶瓷电容。
4.  $4.7\ \mu\text{F}$  陶瓷电容必须连接到一个  $V_{DD}$  引脚。
5.  $V_{DDA} = V_{DD}$ ,  $V_{SSA} = V_{SS}$ 。

5.1.7 电流消耗测量

图 20. 电流消耗测量方案



5.2 绝对最大额定值

如果加在器件上的载荷超过 [表 10：电压特性](#)、[表 11：电流特性](#) 和 [表 12：热特性](#) 中列出的绝对最大额定值，则可能导致器件永久损坏。这些数值只是额定应力，并不意味着器件在这些条件下功能正常。长期工作在最大额定值条件下可能会影响器件的可靠性。

表 10. 电压特性

符号	额定值	最小值	最大值	单位
$V_{DD}-V_{SS}$	外部主电源电压（包括 $V_{DDA}$ 和 $V_{DD}$ ） <sup>(1)</sup>	-0.3	4.0	V
$V_{IN}$	5 V 容忍引脚上的输入电压 <sup>(2)</sup>	$V_{SS}-0.3$	$V_{DD}+4$	
	任何其它引脚上的输入电压	$V_{SS}-0.3$	4.0	
$ \Delta V_{DDx} $	不同 $V_{DD}$ 电源引脚之间的电压变化	-	50	mV
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压变化	-	50	
$V_{ESD(HBM)}$	静电放电电压（人体模型）	请参见 <a href="#">第 5.3.14 节：绝对最大额定值（电气敏感性）</a>		

1. 在允许的范围内，所有主电源（ $V_{DD}$ 、 $V_{DDA}$ ）和接地（ $V_{SS}$ 、 $V_{SSA}$ ）引脚必须始终连接到外部电源。
2. 必须始终遵循  $V_{IN}$  的最大值。有关允许的最大注入电流值的信息，请参见 [表 11](#)。

表 11. 电流特性

符号	额定值	最大值	单位
$I_{VDD}$	流入 $V_{DD}$ 电源线的总电流（拉电流） <sup>(1)</sup>	150	mA
$I_{VSS}$	流出 $V_{SS}$ 接地线的总电流（灌电流） <sup>(1)</sup>	150	
$I_{IO}$	任意 I/O 和控制引脚的输出灌电流	25	
	任意 I/O 和控制引脚的输出拉电流	25	
$I_{INJ(PIN)}^{(2)}$	5 V 容忍 I/O 上的注入电流 <sup>(3)</sup>	-5/+0	
	任何其它引脚上的注入电流 <sup>(4)</sup>	±5	
$\Sigma I_{INJ(PIN)}^{(4)}$	所有 I/O 和控制引脚上的总注入电流 <sup>(5)</sup>	±25	

1. 在允许的范围内，所有主电源（ $V_{DD}$ 、 $V_{DDA}$ ）和接地（ $V_{SS}$ 、 $V_{SSA}$ ）引脚必须始终连接到外部电源。
2. 反向注入电流会干扰器件的模拟性能。请参见第 5.3.20 节：12 位 ADC 特性中的注释。
3. 这些 I/O 上不存在正向注入电流。当  $V_{IN} < V_{SS}$  时，会产生反向注入电流。不得超过  $I_{INJ(PIN)}$ 。有关允许的最大输入电压值的信息，请参见表 10。
4. 当  $V_{IN} > V_{DD}$  时，会产生正向注入电流；当  $V_{IN} < V_{SS}$  时，会产生反向注入电流。不得超过  $I_{INJ(PIN)}$ 。有关允许的最大输入电压值的信息，请参见表 10。
5. 当多个输入同时存在注入电流时， $\Sigma I_{INJ(PIN)}$  的最大值等于正向注入电流和反向注入电流（瞬时值）的绝对值之和。

表 12. 热特性

符号	额定值	值	单位
$T_{STG}$	储存温度范围	-65 到 +150	°C
$T_J$	最大结温	125	°C

## 5.3 工作条件

### 5.3.1 通用工作条件

表 13. 通用工作条件

符号	参数	条件	最小值	最大值	单位
$f_{HCLK}$	内部 AHB 时钟频率	PWR_CR 寄存器的 VOS 位 = 0 <sup>(1)</sup>	0	144	MHz
		PWR_CR 寄存器的 VOS 位 = 1	0	168	
$f_{PCLK1}$	内部 APB1 时钟频率		0	42	
$f_{PCLK2}$	内部 APB2 时钟频率		0	84	
$V_{DD}$	标准工作电压		1.8 <sup>(2)</sup>	3.6	V
$V_{DDA}^{(3)(4)}$	模拟工作电压 (ADC 最多进行 1.2 M 次采样)	必须与 $V_{DD}^{(5)}$ 等电位	1.8 <sup>(2)</sup>	3.6	V
	模拟工作电压 (ADC 最多进行 1.4 M 次采样)		2.4	3.6	
$V_{BAT}$	备份工作电压		1.65	3.6	V

表 13. 通用工作条件 (续)

符号	参数	条件	最小值	最大值	单位
$V_{CAP1}$	当内部调压器开启时, $V_{CAP\_1}$ 和 $V_{CAP\_2}$ 引脚用于连接稳定电容。 当内部调压器关闭 (BYPASS_REG 连接到 $V_{DD}$ ) 时, 必须使用 1.2 V 为 $V_{CAP\_1}$ 和 $V_{CAP\_2}$ 供电。		1.1	1.3	V
$V_{CAP2}$					
$P_D$	$T_A = 85^\circ\text{C}$ (后缀为 6) 或 $T_A = 105^\circ\text{C}$ (后缀为 7) 时的功耗 <sup>(6)</sup>	LQFP64	-	435	mW
		LQFP100	-	465	
		LQFP144	-	500	
		LQFP176	-	526	
		UFBGA176	-	513	
		WLCSP90	-	543	
$T_A$	环境温度 (后缀为 6 的版本)	最大功耗	-40	85	$^\circ\text{C}$
		低功耗 <sup>(7)</sup>	-40	105	
	环境温度 (后缀为 7 的版本)	最大功耗	-40	105	$^\circ\text{C}$
		低功耗 <sup>(7)</sup>	-40	125	
$T_J$	结温范围	后缀为 6 的版本	-40	105	$^\circ\text{C}$
		后缀为 7 的版本	-40	125	

- 与  $VOS = 1$  相比,  $VOS = 0$  时整个温度范围内功耗的平均预期增益约为 10%, 此时系统时钟频率介于 30 MHz 到 144 MHz 之间。
- 如果向 PDR\_ON 施加低电平复位信号, 器件在有限温度范围 (0 到  $70^\circ\text{C}$ ) 内工作时, 该值可降至 1.7 V。
- 当使用 ADC 时, 请参见表 67: ADC 特性。
- 如果存在  $V_{REF+}$  引脚, 该引脚必须遵循以下条件:  $V_{DDA} - V_{REF+} < 1.2\text{ V}$ 。
- 建议使用相同的电源为  $V_{DD}$  和  $V_{DDA}$  供电。在上电和掉电工作期间,  $V_{DD}$  和  $V_{DDA}$  之间容许的最大差值为 300 mV。
- 如果  $T_A$  较低, 只要  $T_J$  不超过  $T_{Jmax}$ , 便允许更高的  $P_D$  值。
- 在低功耗状态下, 只要  $T_J$  不超过  $T_{Jmax}$ ,  $T_A$  便可扩展到此范围。



表 14. 具体限制取决于工作电源电压范围

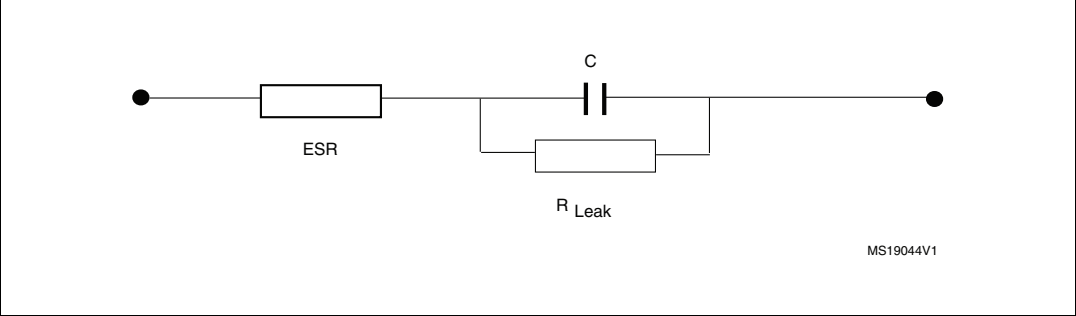
工作电源电压范围	ADC 操作	Flash 的最大访问频率 ( $f_{\text{Flashmax}}$ )	最大 CPU 频率时的等待周期数 <sup>(1)</sup>	I/O 操作	用于同步访问的最大 FSMC_CLK 频率	可能的 Flash 操作
$V_{\text{DD}} = 1.8 \text{ V}$ 到 $2.1 \text{ V}$ <sup>(2)</sup>	转换时间最大为 1.2 Msps	16 MHz, 无 Flash 等待周期 <sup>(3)</sup>	7 <sup>(3)(4)</sup>	– 降级的速度性能 – 无 I/O 补偿	最高 30 MHz	仅能执行 8 位擦除和编程操作
$V_{\text{DD}} = 2.1 \text{ V}$ 到 $2.4 \text{ V}$	转换时间最大为 1.2 Msps	18 MHz, 无 Flash 等待周期	7 <sup>(4)</sup>	– 降级的速度性能 – 无 I/O 补偿	最高 30 MHz	16 位擦除和编程操作
$V_{\text{DD}} = 2.4 \text{ V}$ 到 $2.7 \text{ V}$	转换时间最大为 2.4 Msps	24 MHz, 无 Flash 等待周期	6 <sup>(4)</sup>	– 降级的速度性能 – I/O 补偿有效	最高 48 MHz	16 位擦除和编程操作
$V_{\text{DD}} = 2.7 \text{ V}$ 到 $3.6 \text{ V}$ <sup>(5)</sup>	转换时间最大为 2.4 Msps	30 MHz, 无 Flash 等待周期	5 <sup>(4)</sup>	– 全速操作 – I/O 补偿有效	– 当 $V_{\text{DD}} = 3.0 \text{ V}$ 到 $3.6 \text{ V}$ 时, 最高 60 MHz – 当 $V_{\text{DD}} = 2.7 \text{ V}$ 到 $3.0 \text{ V}$ 时, 最高 48 MHz	32 位擦除和编程操作

1. 降低 CPU 频率可减少等待周期数。
2. 如果向 PDR\_ON 施加低电平的复位信号, 器件在有限温度范围 (0 到 70 °C) 内工作时, 该值可降至 1.7 V。
3. 预取操作不可用。有关如何调整性能和功率的详细信息, 请参见应用笔记 AN3430。
4. 得益于 ART 加速器和 128 位 Flash, 凭借 ART 加速器所获得的性能相当于 Flash 使用 0 等待周期来运行程序, 因此这里给出的等待周期数不会影响 Flash 的执行速度。
5. OTG USB FS 的电压范围可降到 2.7 V。但是, 该电压降低后仍介于 2.7 V 到 3 V 之间。

5.3.2 VCAP1/VCAP2 外部电容

通过将外部电容  $C_{EXT}$  连接到 VCAP1/VCAP2 引脚，主调压器可以实现稳定。表 15 中指定了  $C_{EXT}$ 。

图 21. 外部电容  $C_{EXT}$



1. 图注：ESR 为等效串联电阻。

表 15. VCAP1/VCAP2 工作条件

符号	参数	条件
CEXT	外部电容的电容值	2.2 $\mu$ F
ESR	外部电容的 ESR	< 2 $\Omega$

5.3.3 上电/掉电时的工作条件（调压器处于开启状态）

具体取决于  $T_A$  的通用工作条件。

表 16. 上电/掉电时的工作条件（调压器处于开启状态）

符号	参数	最小值	最大值	单位
$t_{VDD}$	$V_{DD}$ 上升时间速率	20	$\infty$	$\mu$ s/V
	$V_{DD}$ 下降时间速率	20	$\infty$	

5.3.4 上电/掉电时的工作条件（调压器处于关闭状态）

具体取决于  $T_A$  的通用工作条件。

表 17. 上电/掉电时的工作条件（调压器处于关闭状态）<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
$t_{VDD}$	$V_{DD}$ 上升时间速率	上电	20	$\infty$	$\mu$ s/V
	$V_{DD}$ 下降时间速率	掉电	20	$\infty$	
$t_{VCAP}$	$V_{CAP\_1}$ 和 $V_{CAP\_2}$ 上升时间速率	上电	20	$\infty$	
	$V_{CAP\_1}$ 和 $V_{CAP\_2}$ 下降时间速率	掉电	20	$\infty$	

1. 要在掉电时复位内部逻辑，当  $V_{DD}$  低于 1.08 V 时，必须对引脚 PA0 施加复位信号。

## 5.3.5 内置复位和电源控制模块特性

表 18 中给出的参数是在表 13 中汇总的环境温度和  $V_{DD}$  电源电压条件下测试得出的。

表 18. 内置复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{PVD}$	可编程电压检测器的电平选择	PLS[2:0]=000 (上升沿)	2.09	2.14	2.19	V
		PLS[2:0]=000 (下降沿)	1.98	2.04	2.08	V
		PLS[2:0]=001 (上升沿)	2.23	2.30	2.37	V
		PLS[2:0]=001 (下降沿)	2.13	2.19	2.25	V
		PLS[2:0]=010 (上升沿)	2.39	2.45	2.51	V
		PLS[2:0]=010 (下降沿)	2.29	2.35	2.39	V
		PLS[2:0]=011 (上升沿)	2.54	2.60	2.65	V
		PLS[2:0]=011 (下降沿)	2.44	2.51	2.56	V
		PLS[2:0]=100 (上升沿)	2.70	2.76	2.82	V
		PLS[2:0]=100 (下降沿)	2.59	2.66	2.71	V
		PLS[2:0]=101 (上升沿)	2.86	2.93	2.99	V
		PLS[2:0]=101 (下降沿)	2.65	2.84	3.02	V
		PLS[2:0]=110 (上升沿)	2.96	3.03	3.10	V
		PLS[2:0]=110 (下降沿)	2.85	2.93	2.99	V
		PLS[2:0]=111 (上升沿)	3.07	3.14	3.21	V
		PLS[2:0]=111 (下降沿)	2.95	3.03	3.09	V
$V_{PVDhyst}^{(3)}$	PVD 迟滞		-	100	-	mV
$V_{POR/PDR}$	上电/掉电复位阈值	下降沿	1.60 <sup>(1)</sup>	1.68	1.76	V
		上升沿	1.64	1.72	1.80	V
$V_{PDRhyst}^{(3)}$	PDR 迟滞		-	40	-	mV
$V_{BOR1}$	欠压电平 1 阈值	下降沿	2.13	2.19	2.24	V
		上升沿	2.23	2.29	2.33	V
$V_{BOR2}$	欠压电平 2 阈值	下降沿	2.44	2.50	2.56	V
		上升沿	2.53	2.59	2.63	V
$V_{BOR3}$	欠压电平 3 阈值	下降沿	2.75	2.83	2.88	V
		上升沿	2.85	2.92	2.97	V
$V_{12}$	1.2 V 域电压 <sup>(2)(3)</sup>	PWR_CR 寄存器的 VOS 位 = 0	1.08	1.14	1.20	V
		PWR_CR 寄存器的 VOS 位 = 1	1.20	1.26	1.32	V
$V_{BORhyst}^{(3)}$	BOR 迟滞		-	100	-	mV

表 18. 内置复位和电源控制模块特性（续）

符号	参数	条件	最小值	典型值	最大值	单位
$T_{RSTTEMPO}^{(3)(4)}$	复位持续时间		0.5	1.5	3.0	ms
$I_{RUSH}^{(3)}$	调压器上电（POR 或从待机模式唤醒）时的浪涌电流		-	160	200	mA
$E_{RUSH}^{(3)}$	调压器上电（POR 或从待机模式唤醒）时的浪涌能量	$V_{DD} = 1.8\text{ V}$ , $T_A = 105\text{ }^{\circ}\text{C}$ , $I_{RUSH} = 171\text{ mA}$ , 持续 31 $\mu\text{s}$	-	-	5.4	$\mu\text{C}$

1. 产品特性由设计保证，低至  $V_{POR/PDR}$  的最小值。
2. 与  $VOS = 1$  相比， $VOS = 0$  时整个温度范围内功耗的平均预期增益约为 10%，此时系统时钟频率介于 30 MHz 到 144 MHz 之间。
3. 由设计保证，未经生产测试。
4. 复位持续时间的测量从上电（POR 复位或从  $V_{BAT}$  唤醒）开始，到用户应用程序代码读取第一条指令为止。

5.3.6 供电电流特性

电流消耗受多个参数和因素影响，其中包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及执行的二进制代码等。

[图 20：电流消耗测量方案](#)中介绍了电流消耗的测量方法。

本节所述各种运行模式下的电流消耗测量值均根据符合 CoreMark 的代码得出。

典型和最大电流消耗

MCU 处于下述条件下：

- 启动时，固件会将所有 I/O 引脚配置为模拟输入。
- 所有的外设都处于禁止状态，有明确说明时除外。
- Flash 访问时间随  $f_{HCLK}$  的频率的不同而相应调整（0 到 30 MHz 为 0 个等待周期，30 到 60 MHz 为 1 个等待周期，60 到 90 MHz 为 2 个等待周期，90 到 120 MHz 为 3 个等待周期，120 到 150 MHz 为 4 个等待周期，150 到 168 MHz 为 5 个等待周期）。
- 使能外设后，HCLK 将作为系统时钟， $f_{PCLK1} = f_{HCLK}/4$  且  $f_{PCLK2} = f_{HCLK}/2$ ，有明确说明时除外。
- 除非特别说明，否则最大值是在  $V_{DD} = 3.6\text{ V}$  和最高环境温度 ( $T_A$ ) 下获得，典型值是在  $T_A = 25\text{ }^{\circ}\text{C}$  和  $V_{DD} = 3.3\text{ V}$  下获得。

表 19. 运行模式下的典型和最大电流消耗，数据处理代码从 Flash 运行（禁止 ART 加速器）

符号	参数	条件	$f_{HCLK}$	典型值	最大值 <sup>(1)</sup>		单位
				$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
$I_{DD}$	运行模式下的 供电电流	外部时钟 <sup>(2)</sup> , 使能所有外设 <sup>(3)(4)</sup>	168 MHz	93	109	117	mA
			144 MHz	76	89	96	
			120 MHz	67	79	86	
			90 MHz	53	65	73	
			60 MHz	37	49	56	
			30 MHz	20	32	39	
			25 MHz	16	27	35	
			16 MHz	11	23	30	
			8 MHz	6	18	25	
			4 MHz	4	16	23	
			2 MHz	3	15	22	
		外部时钟 <sup>(2)</sup> , 禁止所有外设 <sup>(3)(4)</sup>	168 MHz	46	61	69	
			144 MHz	40	52	60	
			120 MHz	37	48	56	
			90 MHz	30	42	50	
			60 MHz	22	33	41	
			30 MHz	12	24	31	
			25 MHz	10	21	29	
			16 MHz	7	19	26	
			8 MHz	4	16	23	
			4 MHz	3	15	22	
			2 MHz	2	14	21	

1. 根据特性分析确定，生产中以  $V_{DD}$  最大值、 $f_{HCLK}$  最大值并使能外设为条件测试。
2. 外部时钟为 4 MHz，当  $f_{HCLK} > 25\text{ MHz}$  时，PLL 开启。
3. 当模拟外设模块（如 ADC、DAC、HSE、LSE、HSI 或 LSI）处于开启状态时，应考虑附加功耗。
4. 当 ADC 开启（ADC\_CR2 寄存器中的 ADON 位置 1）时，模拟部分的每个 ADC 会增加 1.6 mA 电流消耗。

表 20. 运行模式下的典型和最大电流消耗，数据处理代码从 Flash（使能 ART 加速器）或 RAM 运行<sup>(1)</sup>

符号	参数	条件	$f_{HCLK}$	典型值	最大值 <sup>(2)</sup>		单位
				$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
$I_{DD}$	运行模式下的供电电流	外部时钟 <sup>(3)</sup> , 使能所有外设 <sup>(4)(5)</sup>	168 MHz	87	102	109	mA
			144 MHz	67	80	86	
			120 MHz	56	69	75	
			90 MHz	44	56	62	
			60 MHz	30	42	49	
			30 MHz	16	28	35	
			25 MHz	12	24	31	
			16 MHz <sup>(6)</sup>	9	20	28	
			8 MHz	5	17	24	
			4 MHz	3	15	22	
		外部时钟 <sup>(3)</sup> , 禁止所有外设 <sup>(4)(5)</sup>	2 MHz	2	14	21	
			168 MHz	40	54	61	
			144 MHz	31	43	50	
			120 MHz	26	38	45	
			90 MHz	20	32	39	
			60 MHz	14	26	33	
			30 MHz	8	20	27	
			25 MHz	6	18	25	
			16 MHz <sup>(6)</sup>	5	16	24	
			8 MHz	3	15	22	
			4 MHz	2	14	21	
			2 MHz	2	14	21	

1. 代码和数据处理通过自举引脚从 SRAM1 运行。
2. 根据特性分析确定，生产中以  $V_{DD}$  最大值、 $f_{HCLK}$  最大值并使能外设为条件测试。
3. 外部时钟为 4 MHz，当  $f_{HCLK} > 25\text{ MHz}$  时，PLL 开启。
4. 当 ADC 开启（ADC\_CR2 寄存器中的 ADON 位置 1）时，模拟部分的每个 ADC 会增加 1.6 mA 电流消耗。
5. 当模拟外设模块（如 ADC、DAC、HSE、LSE、HSI 或 LSI）处于开启状态时，应考虑附加功耗。
6. 此时， $HCLK = \text{系统时钟频率}/2$ 。

图 22. 运行模式下的典型电流消耗与温度，数据处理代码从 **Flash**（ART 加速器开启）或 **RAM** 运行，外设关闭

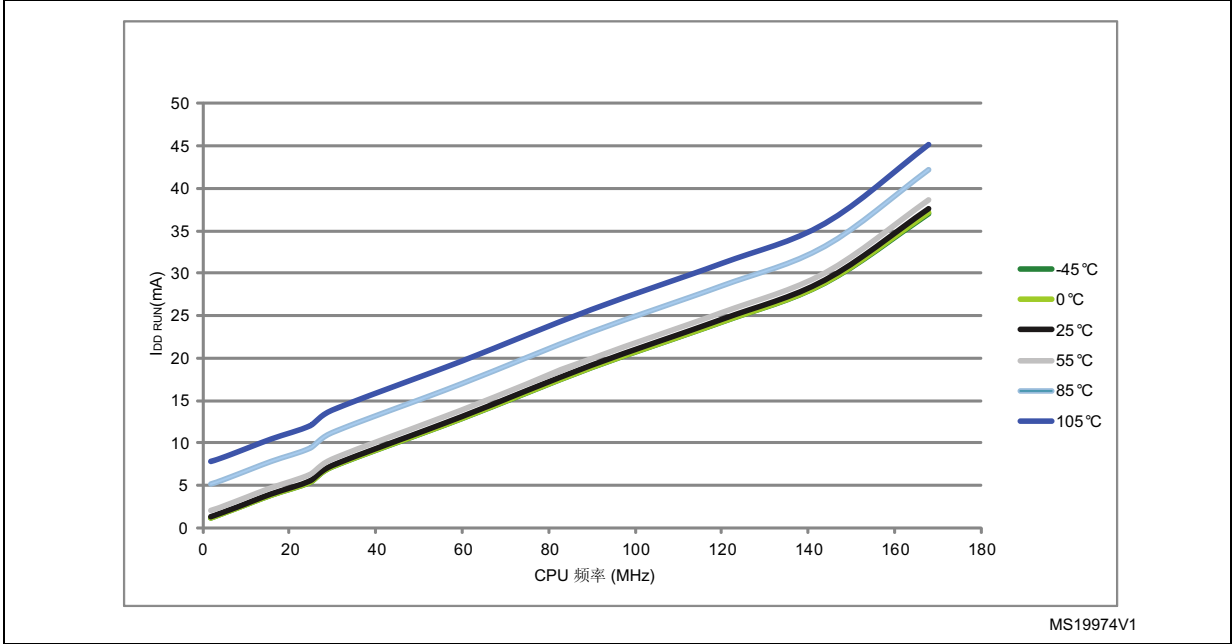


图 23. 运行模式下的典型电流消耗与温度，数据处理代码从 **Flash**（ART 加速器开启）或 **RAM** 运行，外设开启

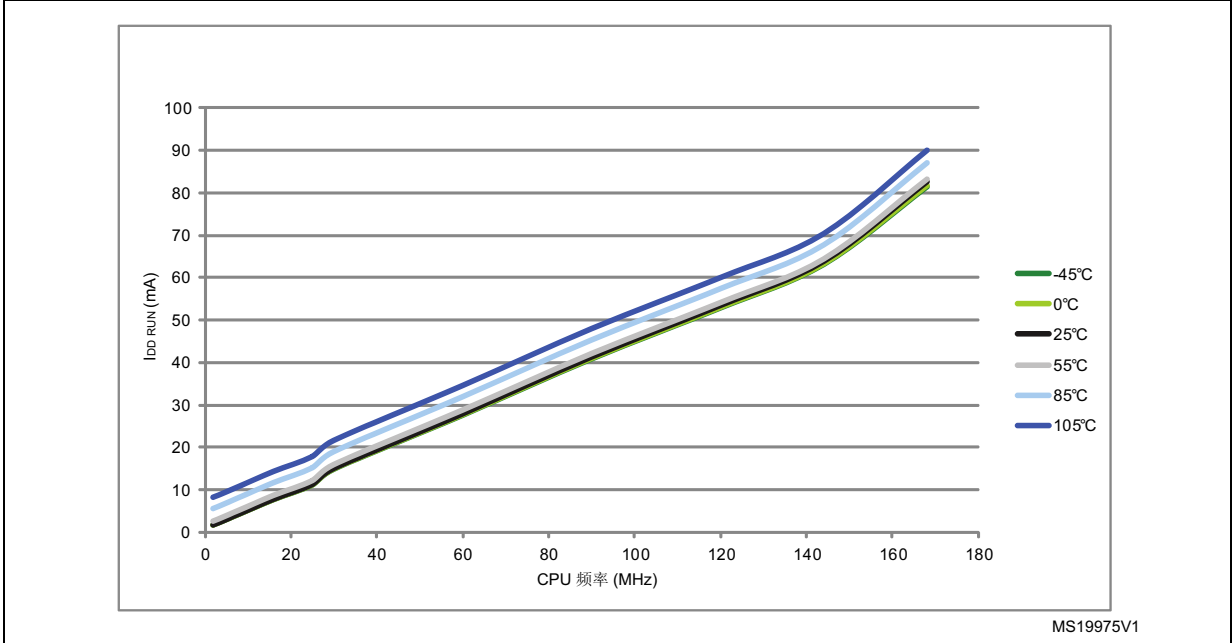


图 24. 运行模式下的典型电流消耗与温度，数据处理代码从 Flash（ART 加速器关闭）或 RAM 运行，外设关闭

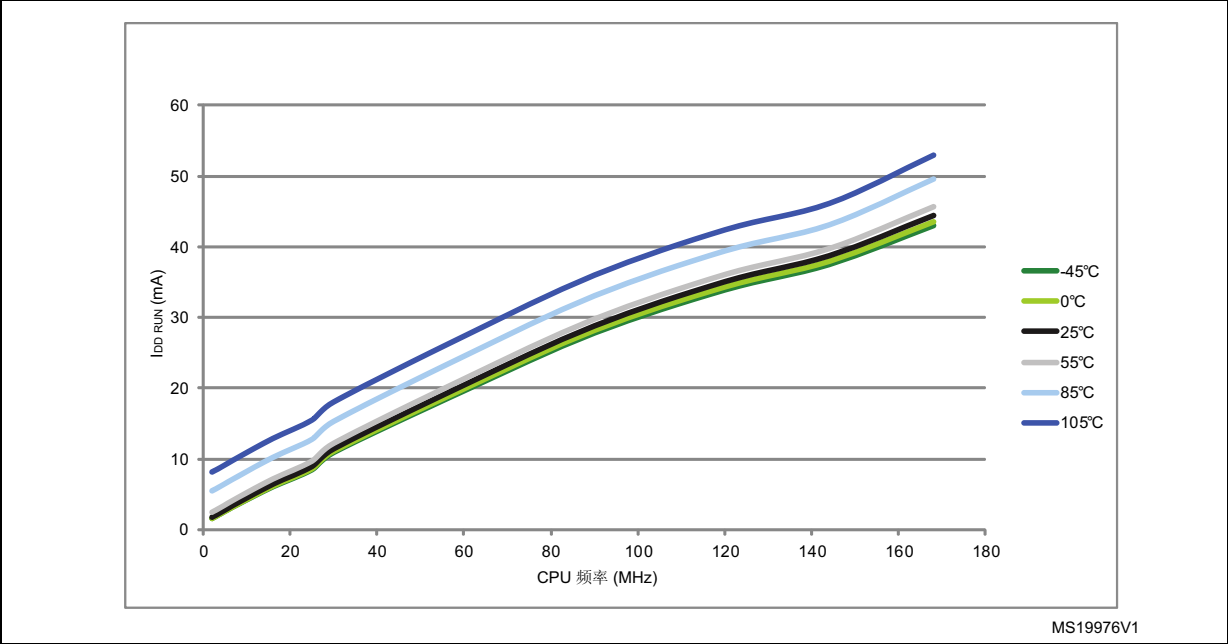


图 25. 运行模式下的典型电流消耗与温度，数据处理代码从 Flash（ART 加速器关闭）或 RAM 运行，外设开启

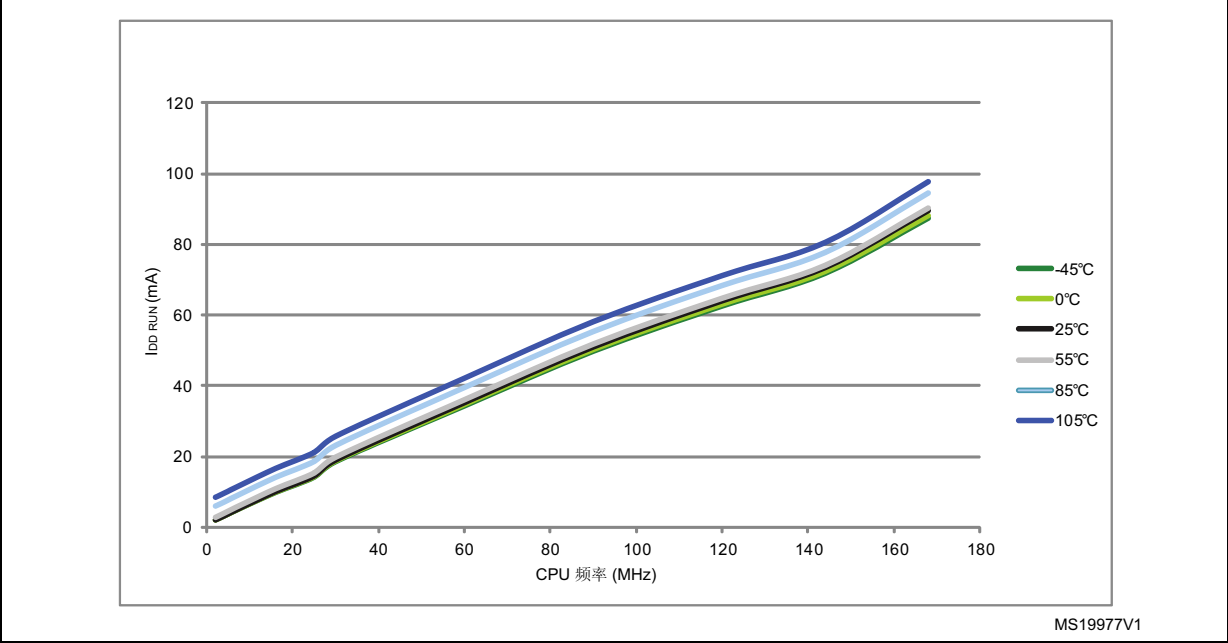




表 21. 睡眠模式下的典型和最大电流消耗

符号	参数	条件	$f_{HCLK}$	典型值	最大值 <sup>(1)</sup>		单位
				$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
$I_{DD}$	睡眠模式下的供电电流	外部时钟 <sup>(2)</sup> , 使能所有外设 <sup>(3)</sup>	168 MHz	59	77	84	mA
			144 MHz	46	61	67	
			120 MHz	38	53	60	
			90 MHz	30	44	51	
			60 MHz	20	34	41	
			30 MHz	11	24	31	
			25 MHz	8	21	28	
			16 MHz	6	18	25	
			8 MHz	3	16	23	
			4 MHz	2	15	22	
			2 MHz	2	14	21	
		外部时钟 <sup>(2)</sup> , 禁止所有外设	168 MHz	12	27	35	
			144 MHz	9	22	29	
			120 MHz	8	20	28	
			90 MHz	7	19	26	
			60 MHz	5	17	24	
			30 MHz	3	16	23	
			25 MHz	2	15	22	
			16 MHz	2	14	21	
			8 MHz	1	14	21	
			4 MHz	1	13	21	
			2 MHz	1	13	21	

1. 根据特性分析确定，生产中以  $V_{DD}$  最大值、 $f_{HCLK}$  最大值并使能外设为条件测试。

2. 外部时钟为 4 MHz，当  $f_{HCLK} > 25\text{ MHz}$  时，PLL 开启。

3. 模拟部分的每个 ADC 会增加 1.6 mA 电流消耗。在应用中，只有在 ADC 开启（ADC\_CR2 寄存器中的 ADON 位置 1）时才会产生此消耗。

表 22. 待机模式下的典型和最大电流消耗

符号	参数	条件	典型值	最大值				单位
			T <sub>A</sub> = 25 °C	T <sub>A</sub> = 25 °C	T <sub>A</sub> = 85 °C	T <sub>A</sub> = 105 °C		
I <sub>DD_STOP</sub>	停机模式下的供电电流（主调压器处于运行模式）	Flash 处于停机模式，低速和高速内部 RC 振荡器以及高速振荡器处于关闭状态（没有独立看门狗）	0.60	2.10	11.00	20.00	mA	
		Flash 处于深度掉电模式，低速和高速内部 RC 振荡器以及高速振荡器处于关闭状态（没有独立看门狗）	0.55	2.10	11.00	20.00		
	停机模式下的供电电流（主调压器处于低功耗模式）	Flash 处于停机模式，低速和高速内部 RC 振荡器以及高速振荡器处于关闭状态（没有独立看门狗）	0.40	1.30	8.00	15.00		
		Flash 处于深度掉电模式，低速和高速内部 RC 振荡器以及高速振荡器处于关闭状态（没有独立看门狗）	0.35	1.30	8.00	15.00		

表 23. 待机模式下的典型和最大电流消耗<sup>(1)</sup>

符号	参数	条件	典型值			最大值		单位
			T <sub>A</sub> = 25 °C			T <sub>A</sub> = 85 °C	T <sub>A</sub> = 105 °C	
			V <sub>DD</sub> = 1.8 V	V <sub>DD</sub> = 2.4 V	V <sub>DD</sub> = 3.3 V	V <sub>DD</sub> = 3.6 V		
I <sub>DD_STBY</sub>	待机模式下的供电电流	备份 SRAM 处于开启状态，低速振荡器和 RTC 处于开启状态	3.0	3.4	4.0	TBD <sup>(2)</sup>	TBD <sup>(2)</sup>	μA
		备份 SRAM 处于关闭状态，低速振荡器和 RTC 处于开启状态	2.4	2.7	3.3	TBD <sup>(2)</sup>	TBD <sup>(2)</sup>	
		备份 SRAM 处于开启状态，RTC 处于关闭状态	2.4	2.6	3.0	12.5 <sup>(2)</sup>	24.8 <sup>(2)</sup>	
		备份 SRAM 处于关闭状态，RTC 处于关闭状态	1.7	1.9	2.2	9.8 <sup>(2)</sup>	19.2 <sup>(2)</sup>	

1. TBD 表示“待定”。

2. 通过特性分析确定，未经生产测试。

表 24.  $V_{BAT}$  模式下的典型和最大电流消耗<sup>(1)</sup>

符号	参数	条件	典型值			最大值		单位
			T <sub>A</sub> = 25 °C			T <sub>A</sub> = 85 °C	T <sub>A</sub> = 105 °C	
			V <sub>BAT</sub> = 1.8 V	V <sub>BAT</sub> = 2.4 V	V <sub>BAT</sub> = 3.3 V	V <sub>BAT</sub> = 3.6 V		
I <sub>DD_VBAT</sub>	备份域的供电电流	备份 SRAM 处于开启状态，低速振荡器和 RTC 处于开启状态	1.29	1.42	1.68	TBD <sup>(2)</sup>	TBD <sup>(2)</sup>	μA
		备份 SRAM 处于关闭状态，低速振荡器和 RTC 处于开启状态	0.62	0.73	0.96	TBD <sup>(2)</sup>	TBD <sup>(2)</sup>	
		备份 SRAM 处于开启状态，RTC 处于关闭状态	0.79	0.81	0.86	9 <sup>(2)</sup>	16 <sup>(2)</sup>	
		备份 SRAM 处于关闭状态，RTC 处于关闭状态	0.10	0.10	0.10	5 <sup>(2)</sup>	7 <sup>(2)</sup>	

1. TBD 表示“待定”。
2. 通过特性分析确定, 未经生产测试。

图 26.  $V_{BAT}$  的典型电流消耗 (LSE 和 RTC 处于开启状态/备份 RAM 处于关闭状态)

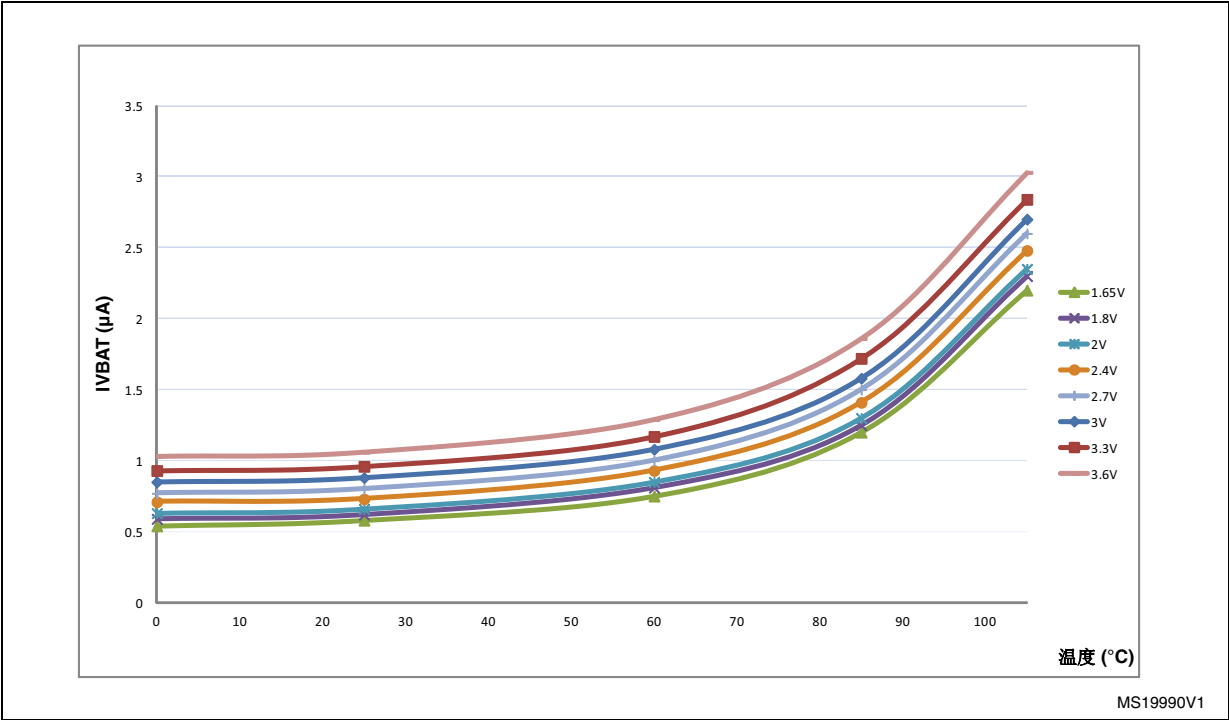
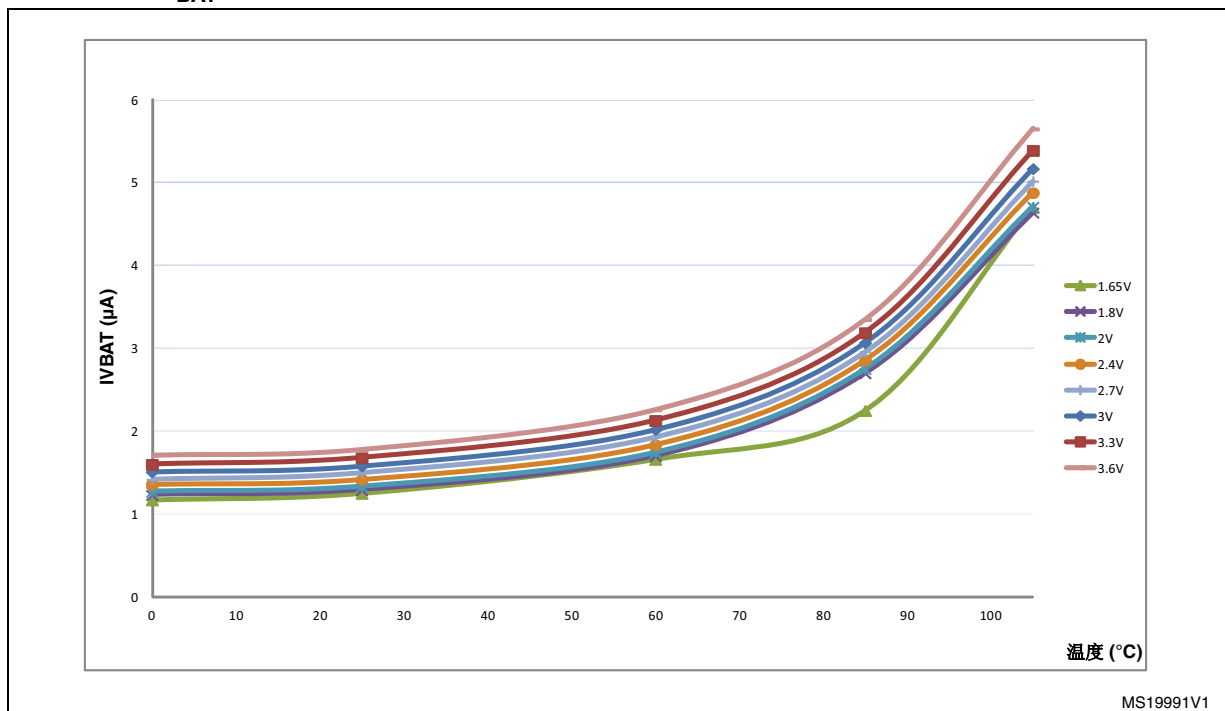


图 27.  $V_{BAT}$  的典型电流消耗 (LSE 和 RTC 处于开启状态/备份 RAM 处于开启状态)

### I/O 系统的电流消耗

I/O 系统的电流消耗由以下两部分组成：静态电流消耗和动态电流消耗。

#### I/O 静态电流消耗

当从外部将引脚置为低电平时，用作上拉输入的所有 I/O 都会产生电流消耗。使用 [表 46: I/O 静态特性](#) 中列出的上拉/下拉电阻值即可计算出此电流消耗的值。

对于输出引脚，必须考虑所有外部下拉或外部负载，以便估算相应的电流消耗。

如果从外部施加中间电平电压，则配置为输入的 I/O 会产生附加 I/O 电流消耗。该电流消耗由用于区分输入值的输入，即施密特触发电路产生。将这些 I/O 配置成模拟模式可避免这种供电电流消耗，但应用需要该特定配置时除外。最明显的例子就是应配置为模拟输入的 ADC 输入引脚。

**小心：** 此外，由于外部电磁噪声的影响，任何悬空输入引脚都可能稳定到中间电平电压或发生意外切换。为避免悬空引脚产生电流消耗，必须将这些引脚配置成模拟模式，或者将它们内部强制为确定的数字值。使用上拉/下拉电阻，或将这些引脚配置成输出模式都可以实现此目的。

#### I/O 动态电流消耗

除先前测量的内部外设电流消耗（请参见 [表 26: 外设电流消耗](#)）外，应用使用的 I/O 也会产生电流消耗。当 I/O 引脚开关时，它使用 MCU 电源电压提供的电流为 I/O 引脚电路供电，并对与引脚相连的容性负载（内部或外部）进行充电/放电：

$$I_{SW} = V_{DD} \times f_{SW} \times C$$

其中

$I_{SW}$  是开关 I/O 产生的灌电流，可对容性负载进行充电/放电

$V_{DD}$  是 MCU 电源电压

$f_{SW}$  是 I/O 开关频率

C 是 I/O 引脚的总电容： $C = C_{INT} + C_{EXT}$

测试引脚配置成推挽输出模式，并由软件以固定频率切换。

表 25. 开关输出 I/O 电流消耗

符号	参数	条件 <sup>(1)</sup>	I/O 切换频率 ( $f_{SW}$ )	典型值	单位
$I_{DDIO}$	I/O 开关电流	$V_{DD} = 3.3\text{ V}^{(2)}$ $C = C_{INT}$	2 MHz	0.02	mA
			8 MHz	0.14	
			25 MHz	0.51	
			50 MHz	0.86	
			60 MHz	1.30	
		$V_{DD} = 3.3\text{ V}$ $C_{EXT} = 0\text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$	2 MHz	0.10	
			8 MHz	0.38	
			25 MHz	1.18	
			50 MHz	2.47	
			60 MHz	2.86	
		$V_{DD} = 3.3\text{ V}$ $C_{EXT} = 10\text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$	2 MHz	0.17	
			8 MHz	0.66	
			25 MHz	1.70	
			50 MHz	2.65	
			60 MHz	3.48	
		$V_{DD} = 3.3\text{ V}$ $C_{EXT} = 22\text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$	2 MHz	0.23	
			8 MHz	0.95	
			25 MHz	3.20	
			50 MHz	4.69	
			60 MHz	8.06	
		$V_{DD} = 3.3\text{ V}$ $C_{EXT} = 33\text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$	2 MHz	0.30	
			8 MHz	1.22	
			25 MHz	3.90	
			50 MHz	8.82	
			60 MHz	_(3)	

1.  $C_S$  是 PCB 板的电容，其中包括焊盘引脚。 $C_S = 7\text{ pF}$ （估算值）。

2. 切除 LQFP 封装引脚（移除焊盘）来执行此测试。

3. 60 MHz 时，C 最大负载指定为 30 pF。

片上外设电流消耗

表 26 中列出了片上外设的电流消耗。MCU 处于下述条件下：

- 启动时，固件会将所有 I/O 引脚配置为模拟引脚。
- 所有外设都处于禁止状态，另有说明时除外
- 代码从 Flash 运行，168 MHz 时，Flash 的访问时间等于 5 个等待周期。
- 代码从 Flash 运行，144 MHz 时，Flash 的访问时间等于 4 个等待周期，电源比例模式设置为 2。
- ART 加速器和缓存处于关闭状态。
- 给出的数值通过测量电流消耗的差值计算得出
  - 关闭所有外设的时钟
  - 开启一个外设的时钟（只应用一个时钟）
- 使能外设后：HCLK 将作为系统时钟， $f_{PCLK1} = f_{HCLK}/4$  且  $f_{PCLK2} = f_{HCLK}/2$ 。
- 除非特别说明，否则典型值是在  $V_{DD} = 3.3\text{ V}$  和  $T_A = 25\text{ °C}$  下获得。

表 26. 外设电流消耗

外设 <sup>(1)</sup>		168 MHz	144 MHz	单位
AHB1	GPIO A	0.49	0.36	mA
	GPIO B	0.45	0.33	
	GPIO C	0.45	0.34	
	GPIO D	0.45	0.34	
	GPIO E	0.47	0.35	
	GPIO F	0.45	0.33	
	GPIO G	0.44	0.33	
	GPIO H	0.45	0.34	
	GPIO I	0.44	0.33	
	OTG_HS + ULPI	4.57	3.55	
	CRC	0.07	0.06	
	BKPSRAM	0.11	0.08	
	DMA1	6.15	4.75	
	DMA2	6.24	4.8	
	ETH_MAC + ETH_MAC_TX ETH_MAC_RX ETH_MAC_PTP	3.28	2.54	
AHB2	OTG_FS	4.59	3.69	mA
	DCMI	1.04	0.80	

表 26. 外设电流消耗 (续)

外设 <sup>(1)</sup>		168 MHz	144 MHz	单位
AHB2	RNG	0.29	0.23	mA
	HASH	1.71	1.31	
	CRYPTO	0.41	0.31	
AHB3	FSMC	2.18	1.67	mA
APB1	TIM2	0.80	0.61	
	TIM3	0.58	0.44	
	TIM4	0.62	0.48	
	TIM5	0.79	0.61	
	TIM6	0.15	0.11	
	TIM7	0.16	0.12	
	TIM12	0.33	0.26	
	TIM13	0.27	0.21	
	TIM14	0.27	0.21	
	PWR	0.04	0.03	
	USART2	0.17	0.13	
	USART3	0.17	0.13	
	UART4	0.17	0.13	
	UART5	0.17	0.13	
	I2C1	0.17	0.13	
	I2C2	0.18	0.13	
	I2C3	0.18	0.13	
	SPI2/I2S2 <sup>(2)</sup>	0.17/0.16	0.13/0.12	
	SPI3/I2S3 <sup>(2)</sup>	0.16/0.14	0.12/0.12	
	CAN1	0.27	0.21	
	CAN2	0.26	0.20	
	DAC	0.14	0.10	
	DAC 通道 1 <sup>(3)</sup>	0.91	0.89	
	DAC 通道 2 <sup>(4)</sup>	0.91	0.89	
	DAC 通道 1 和通道 2 <sup>(3)(4)</sup>	1.69	1.68	
	WWDG	0.04	0.04	

表 26. 外设电流消耗（续）

外设 <sup>(1)</sup>		168 MHz	144 MHz	单位
APB2	SDIO	0.64	0.54	mA
	TIM1	1.47	1.14	
	TIM8	1.58	1.22	
	TIM9	0.68	0.54	
	TIM10	0.45	0.36	
	TIM11	0.47	0.38	
	ADC1 <sup>(5)</sup>	2.20	2.10	
	ADC2 <sup>(5)</sup>	2.04	1.93	
	ADC3 <sup>(5)</sup>	2.10	2.00	
	SPI1	0.14	0.12	
	USART1	0.34	0.27	
	USART6	0.34	0.28	

1. HSE 振荡器使用 4 MHz 晶振且 PLL 开启。
2. 将 SPI\_I2SCFGR 寄存器中的 I2SMOD 位置 1，然后将 I2SE 位置 1 以使能 I2S 外设。
3. DAC\_CR 寄存器中的 EN1 位置 1。
4. DAC\_CR 寄存器中的 EN2 位置 1。
5. ADC\_CR2 寄存器中的 ADON 位置 1。

### 5.3.7 低功耗模式唤醒时间

表 27 中列出的唤醒时间是在 16 MHz HSI RC 振荡器的唤醒阶段测得。唤醒器件时使用的时钟源依当前工作模式而定：

- 停机或待机模式：时钟源为 RC 振荡器
- 睡眠模式：时钟源为进入睡眠模式前所设置的时钟。

所有时间均在表 13 所列的环境温度及  $V_{DD}$  电源电压条件下测试得出。

表 27. 低功耗模式唤醒时间

符号	参数	最小值 <sup>(1)</sup>	典型值 <sup>(1)</sup>	最大值 <sup>(1)</sup>	单位
$t_{WUSLEEP}^{(2)}$	从睡眠模式唤醒	-	1	-	μs
$t_{WUSTOP}^{(2)}$	从停机模式唤醒（调压器处于运行模式）	-	13	-	μs
	从停机模式唤醒（调压器处于低功耗模式）	-	17	40	
	从停机模式唤醒（调压器处于低功耗模式且 Flash 处于深度掉电模式）	-	110	-	
$t_{WUSTDBY}^{(2)(3)}$	从待机模式唤醒	260	375	480	μs

1. 通过特性分析确定，未经生产测试。
2. 唤醒时间的测量从触发唤醒事件开始，到应用程序代码读取第一条指令为止。
3.  $t_{WUSTDBY}$  的最小值和最大值分别在 105 °C 和 -45 °C 下得出。



### 5.3.8 外部时钟源特性

#### 外部源产生的高速外部用户时钟

表 28 中给出的特性是使用高速外部时钟源在表 13 中汇总的环境温度和电源电压条件下测得的。

表 28. 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{HSE\_ext}$	外部用户时钟源频率 <sup>(1)</sup>		1	-	50	MHz
$V_{HSEH}$	OSC_IN 输入引脚高电平电压		$0.7V_{DD}$	-	$V_{DD}$	V
$V_{HSEL}$	OSC_IN 输入引脚低电平电压		$V_{SS}$	-	$0.3V_{DD}$	
$t_{w(HSE)}$ $t_{f(HSE)}$	OSC_IN 高电平或低电平时间 <sup>(1)</sup>		5	-	-	ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN 上升或下降时间 <sup>(1)</sup>		-	-	10	
$C_{in(HSE)}$	OSC_IN 输入电容 <sup>(1)</sup>		-	5	-	pF
$DuCy(HSE)$	占空比		45	-	55	%
$I_L$	OSC_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	$\pm 1$	$\mu A$

1. 由设计保证，未经生产测试。

#### 外部源产生的低速外部用户时钟

表 29 中给出的特性是使用低速外部时钟源在表 13 中汇总的环境温度和电源电压条件下测得的。

表 29. 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSE\_ext}$	用户外部时钟源频率 <sup>(1)</sup>		-	32.768	1000	kHz
$V_{LSEH}$	OSC32_IN 输入引脚高电平电压		$0.7V_{DD}$	-	$V_{DD}$	V
$V_{LSEL}$	OSC32_IN 输入引脚低电平电压		$V_{SS}$	-	$0.3V_{DD}$	
$t_{w(LSE)}$ $t_{f(LSE)}$	OSC32_IN 高电平或低电平时间 <sup>(1)</sup>		450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN 上升或下降时间 <sup>(1)</sup>		-	-	50	
$C_{in(LSE)}$	OSC32_IN 输入电容 <sup>(1)</sup>		-	5	-	pF
$DuCy(LSE)$	占空比		30	-	70	%
$I_L$	OSC32_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	$\pm 1$	$\mu A$

1. 由设计保证，未经生产测试。

图 28. 高速外部时钟源的交流时序图

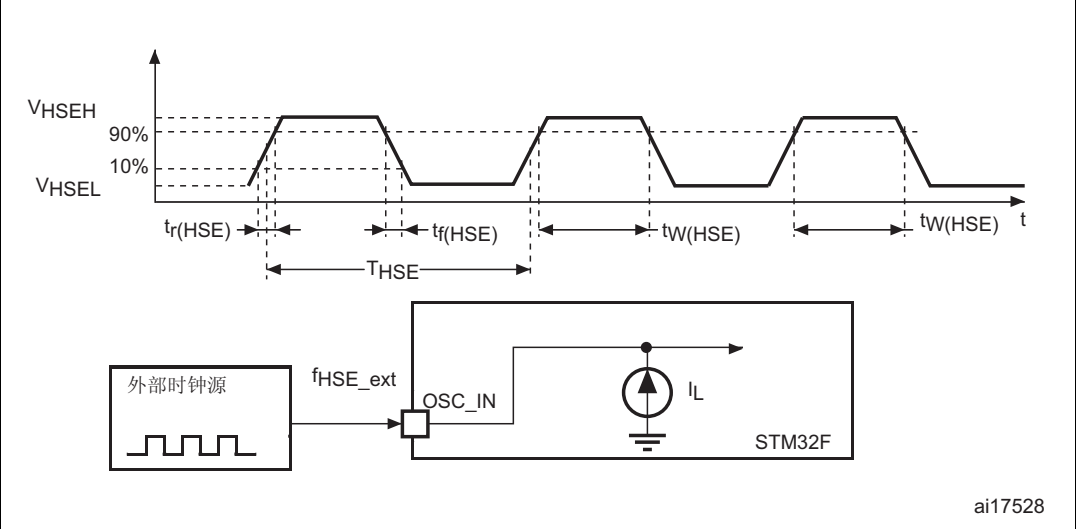
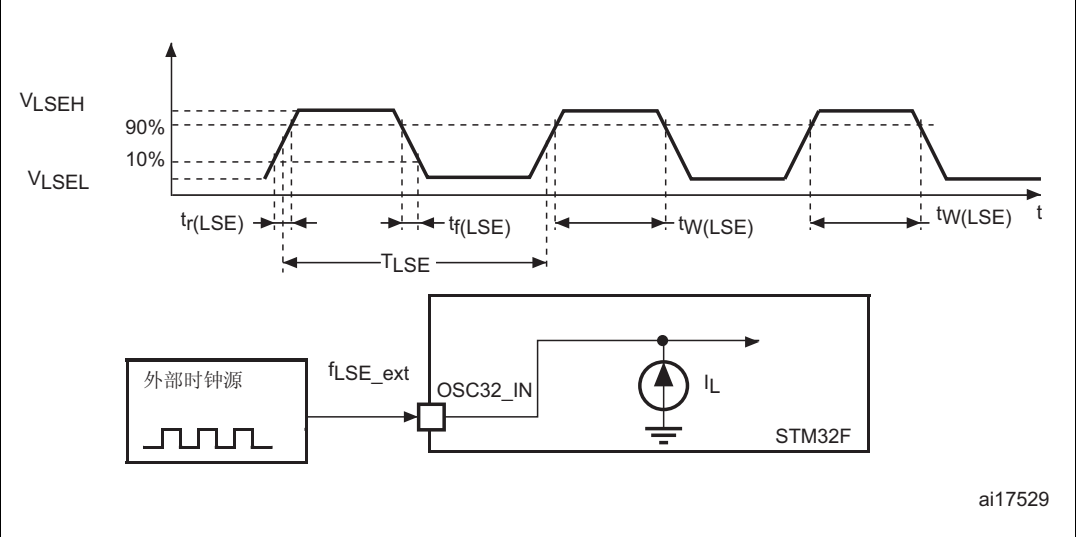


图 29. 低速外部时钟源的交流时序图



晶振/陶瓷谐振器产生的高速外部时钟

高速外部 (HSE) 时钟可以使用一个 4 到 26 MHz 的晶振/陶瓷谐振振荡器产生。本节介绍的信息通过特性分析结果确定，这些结果是使用表 30 中列出的典型外部元器件获得的。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 30. HSE 4-26 MHz 振荡器特性<sup>(1) (2)</sup>

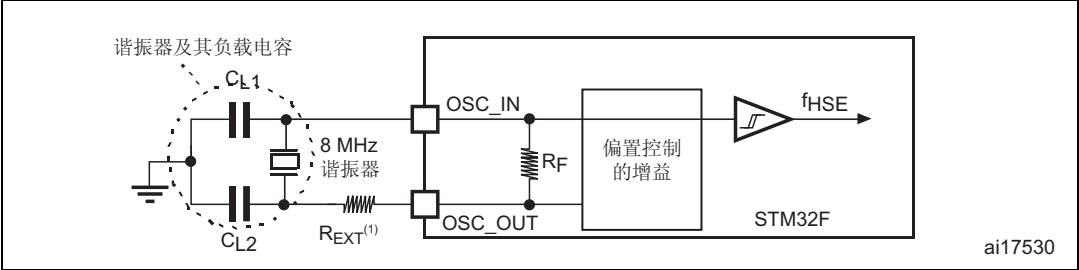
符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{OSC\_IN}}$	振荡器频率		4	-	26	MHz
$R_F$	反馈电阻		-	200	-	k $\Omega$
$I_{\text{DD}}$	HSE 电流消耗	$V_{\text{DD}} = 3.3 \text{ V}$ , $\text{ESR} = 30 \Omega$ , $C_L = 5 \text{ pF} @ 25 \text{ MHz}$	-	449	-	$\mu\text{A}$
		$V_{\text{DD}} = 3.3 \text{ V}$ , $\text{ESR} = 30 \Omega$ , $C_L = 10 \text{ pF} @ 25 \text{ MHz}$	-	532	-	
$g_m$	振荡器跨导	起振	5	-	-	mA/V
$t_{\text{SU(HSE)}}^{(3)}$	启动时间	$V_{\text{DD}}$ 稳定	-	2	-	ms

1. 谐振器的特性参数由晶振/陶瓷谐振器的制造商给出。
2. 通过特性分析确定，未经生产测试。
3.  $t_{\text{SU(HSE)}}$  是起振时间，即从软件使能 HSE 开始测量，直至得到稳定的 8 MHz 振荡频率的这段时间。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同

对于  $C_{L1}$  和  $C_{L2}$ ，建议使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于 5 pF 到 25 pF（典型值）之间的高质量外部陶瓷电容（请参见图 30）。 $C_{L1}$  和  $C_{L2}$  的大小通常相同。晶振制造商指定的负载电容通常是  $C_{L1}$  和  $C_{L2}$  的串联组合。确定  $C_{L1}$  和  $C_{L2}$  的容值时，必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 10 pF）。

注：有关如何选择晶振的信息，请参见应用笔记 AN2867 “ST 微控制器的振荡器设计指南”，可从 ST 网站 [www.st.com](http://www.st.com) 下载该文档。

图 30. 采用 8 MHz 晶振的典型应用



1.  $R_{\text{EXT}}$  的值取决于晶振特性。

### 晶振/陶瓷谐振器产生的低速外部时钟

低速外部 (LSE) 时钟可以使用一个由 32.768 kHz 的晶振/陶瓷谐振器构成的振荡器产生。本节介绍的信息通过特性分析结果确定，这些结果是使用表 31 中列出的典型外部元器件获得的。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 31. LSE 振荡器特性 (f<sub>LSE</sub> = 32.768 kHz) <sup>(1)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
R <sub>F</sub>	反馈电阻		-	18.4	-	MΩ
I <sub>DD</sub>	LSE 电流消耗		-	-	1	μA
g <sub>m</sub>	振荡器跨导		2.8	-	-	μA/V
t <sub>SU(LSE)</sub> <sup>(2)</sup>	启动时间	V <sub>DD</sub> 稳定	-	2	-	s

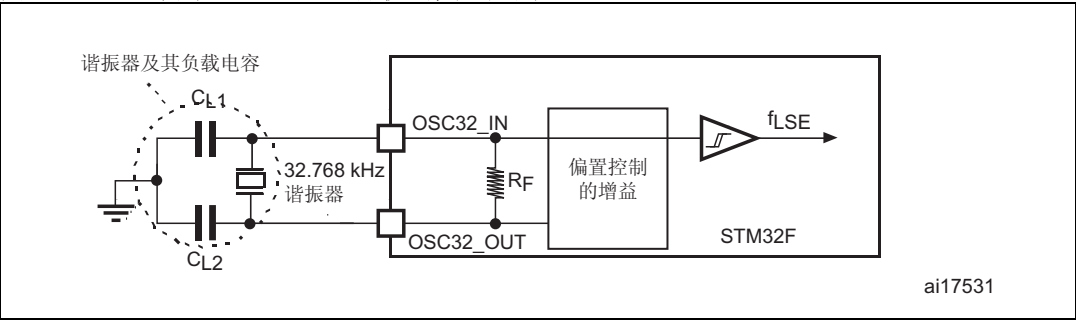
1. 由设计保证，未经生产测试。
2. t<sub>SU(LSE)</sub> 是起振时间，即从软件使能 LSE 开始测量，直至得到稳定的 32.768 kHz 振荡频率的这段时间。该值基于标准晶谐振器测得，可能随晶振制造商的不同而显著不同

注：对于 C<sub>L1</sub> 和 C<sub>L2</sub>，建议使用可满足晶振或谐振器的要求且大小介于 5 pF 到 15 pF 之间的高质量外部陶瓷电容（请参见图 31）。C<sub>L1</sub> 和 C<sub>L2</sub> 的大小通常相同。晶振制造商指定的负载电容通常是 C<sub>L1</sub> 和 C<sub>L2</sub> 的串联组合。  
负载电容 C<sub>L</sub> 的公式如下：C<sub>L</sub> = C<sub>L1</sub> × C<sub>L2</sub> / (C<sub>L1</sub> + C<sub>L2</sub>) + C<sub>stray</sub>，其中 C<sub>stray</sub> 为引脚电容以及与电路板或 PCB 走线相关的电容。通常，该值介于 2 pF 和 7 pF 之间。

注：有关如何选择晶振的信息，请参见应用笔记 AN2867 “ST 微控制器的振荡器设计指南”，可从 ST 网站 [www.st.com](http://www.st.com) 下载该文档。

小心：为避免超过 C<sub>L1</sub> 和 C<sub>L2</sub> 的最大值 (15 pF)，强烈建议使用负载电容 C<sub>L</sub> ≤ 7 pF 的谐振器。切勿使用负载电容为 12.5 pF 的谐振器。  
示例：如果选择负载电容 C<sub>L</sub> = 6 pF 且 C<sub>stray</sub> = 2 pF 的谐振器，则 C<sub>L1</sub> = C<sub>L2</sub> = 8 pF。

图 31. 采用 32.768 kHz 晶振的典型应用



### 5.3.9 内部时钟源特性

表 32 和表 33 中给出的参数是在表 13 中汇总的环境温度和  $V_{DD}$  电源电压条件下测试得出的。

#### 高速内部 (HSI) RC 振荡器

#### 低速内部 (LSI) RC 振荡器

表 32. HSI 振荡器特性<sup>(1)</sup>

符号	参数	条件		最小值	典型值	最大值	单位
f <sub>HSI</sub>	频率			-	16	-	MHz
ACC <sub>HSI</sub>	HSI 振荡器精度	用户通过 RCC_CR 寄存器调整 <sup>(2)</sup>		-	-	1	%
		工厂校准	T <sub>A</sub> = -40 °C 到 105 °C	-8	-	4.5	%
			T <sub>A</sub> = -10 °C 到 85 °C	-4	-	4	%
			T <sub>A</sub> = 25 °C	-1	-	1	%
t <sub>su</sub> (HSI) <sup>(3)</sup>	HSI 振荡器起振时间			-	2.2	4	μs
I <sub>DD</sub> (HSI)	HSI 振荡器功耗			-	60	80	μA

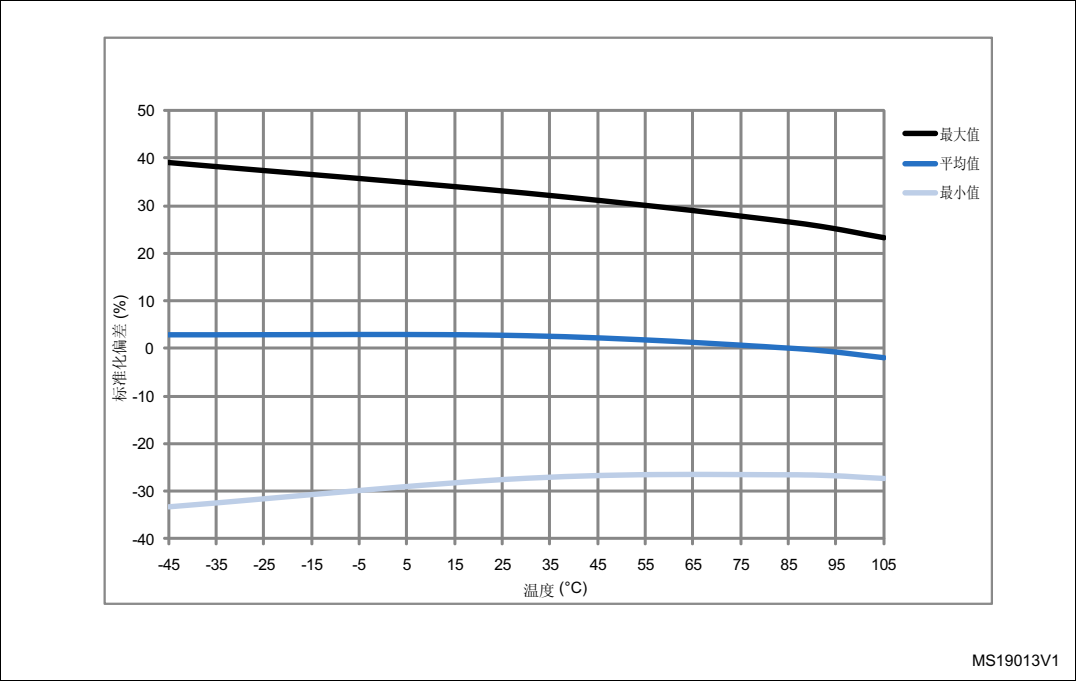
- 除非特别说明，否则  $V_{DD} = 3.3\text{ V}$ ， $T_A = -40\text{ °C}$  到  $105\text{ °C}$ 。
- 请参见应用笔记 AN2868 “STM32F10xxx 内部 RC 振荡器 (HSI) 校准”，可从 ST 网站 [www.st.com](http://www.st.com) 下载该文档。
- 由设计保证，未经生产测试。

表 33. LSI 振荡器特性<sup>(1)</sup>

符号	参数	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	频率	17	32	47	kHz
$t_{su(LSI)}^{(3)}$	LSI 振荡器起振时间	-	15	40	$\mu s$
$I_{DD(LSI)}^{(3)}$	LSI 振荡器功耗	-	0.4	0.6	$\mu A$

- 除非特别说明，否则  $V_{DD} = 3\text{ V}$ ， $T_A = -40\text{ °C}$  到  $105\text{ °C}$ 。
- 通过特性分析确定，未经生产测试。
- 由设计保证，未经生产测试。

图 32. ACC<sub>LSI</sub> - 温度曲线



5.3.10 PLL 特性

表 34 和表 35 中给出的参数是在表 13 中汇总的温度和 V<sub>DD</sub> 电源电压条件下测试得出的。

表 34. 主 PLL 特性

符号	参数	条件	最小值	典型值	最大值	单位
f <sub>PLL_IN</sub>	PLL 输入时钟 <sup>(1)</sup>		0.95 <sup>(2)</sup>	1	2.10	MHz
f <sub>PLL_OUT</sub>	PLL 倍频输出时钟		24	-	168	MHz
f <sub>PLL48_OUT</sub>	48 MHz PLL 倍频输出时钟		-	48	75	MHz
f <sub>VCO_OUT</sub>	PLL VCO 输出		192	-	432	MHz
t <sub>LOCK</sub>	PLL 锁相时间	VCO 频率 = 192 MHz	75	-	200	μs
		VCO 频率 = 432 MHz	100	-	300	
抖动 <sup>(3)</sup>	时钟信号周期期间抖动	系统时钟的频率为 120 MHz	RMS	-	25	ps
			峰到峰	-	±150	
	长时间段内的抖动		RMS	-	15	
			峰到峰	-	±200	
	提供给以太网 RMII 接口的主时钟输出 (MCO)	在 50 MHz 下进行 1000 次采样时的周期期间抖动	-	32	-	
	提供给以太网 MII 接口的主时钟输出 (MCO)	在 25 MHz 下进行 1000 次采样时的周期期间抖动	-	40	-	
	CAN 的位时间抖动	在 1 MHz 下进行 1000 次采样时的周期期间抖动	-	330	-	

表 34. 主 PLL 特性 (续)

符号	参数	条件	最小值	典型值	最大值	单位
$I_{DD(PLL)}^{(4)}$	VDD 上的 PLL 功耗	VCO 频率 = 192 MHz VCO 频率 = 432 MHz	0.15 0.45	-	0.40 0.75	mA
$I_{DDA(PLL)}^{(4)}$	VDDA 上的 PLL 功耗	VCO 频率 = 192 MHz VCO 频率 = 432 MHz	0.30 0.55	-	0.40 0.85	mA

1. 选择分频系数 M 时需要注意，不要使得 PLL 倍频输出超过指定的范围。PLL 和 PLLI2S 共享同一个分频系数。
2. 由设计保证，未经生产测试。
3. 同时使用 2 个 PLL 可使抖动最多下降 +30%。
4. 通过特性分析确定，未经生产测试。

表 35. PLLI2S (音频 PLL) 特性<sup>(1)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{PLLI2S\_IN}$	PLLI2S 输入时钟 <sup>(2)</sup>		0.95 <sup>(3)</sup>	1	2.10	MHz
$f_{PLLI2S\_OUT}$	PLLI2S 倍频输出时钟		-	-	216	MHz
$f_{VCO\_OUT}$	PLLI2S VCO 输出		192	-	432	MHz
$t_{LOCK}$	PLLI2S 锁相时间	VCO 频率 = 192 MHz	75	-	200	$\mu s$
		VCO 频率 = 432 MHz	100	-	300	
抖动 <sup>(4)</sup>	主 I2S 时钟抖动	48KHz 周期时 12,343 MHz 频率 下的周期期间抖动， N=432, P=4, R=5	RMS	-	90	-
			峰到峰	-	±280	-
		平均频率为 12,343 MHz N = 432, P = 4, R = 5 进行 256 次采样时的周期期间 抖动	TBD	-	TBD	ps
	WS I2S 时钟抖动	在 48 KHz 下进行 1000 次 采样时的周期期间抖动	-	400	-	ps
$I_{DD(PLLI2S)}^{(5)}$	VDD 上的 PLLI2S 功耗	VCO 频率 = 192 MHz VCO 频率 = 432 MHz	0.15 0.45	-	0.40 0.75	mA
$I_{DDA(PLLI2S)}^{(5)}$	VDDA 上的 PLLI2S 功耗	VCO 频率 = 192 MHz VCO 频率 = 432 MHz	0.30 0.55	-	0.40 0.85	mA

1. TBD 表示“待定”。
2. 选择分频系数 M 时需要注意，不要使得 PLL 倍频输出超过指定的范围。
3. 由设计保证，未经生产测试。
4. 主 PLL 运行时给出的值。
5. 通过特性分析确定，未经生产测试。

### 5.3.11 PLL 扩展频谱时钟发生器 (SSCG) 特性

扩展频谱时钟发生器 (SSCG) 功能有助于减少电磁干扰（请参见表 42: EMI 特性）。这一功能仅适用于主 PLL。

表 36. SSCG 参数限制

符号	参数	最小值	典型值	最大值 <sup>(1)</sup>	单位
f <sub>Mod</sub>	调制频率	-	-	10	KHz
md	峰值调制深度	0.25	-	2	%
MODEPER * INCSTEP		-	-	2 <sup>15</sup> -1	-

1. 由设计保证，未经生产测试。

#### 公式 1

频率调制周期 (MODEPER) 可根据以下公式得出：

$$\text{MODEPER} = \text{round}[\text{f}_{\text{PLL\_IN}} / (4 \times \text{f}_{\text{Mod}})]$$

f<sub>PLL\_IN</sub> 和 f<sub>Mod</sub> 必须以 Hz 表示。

例如：

如果 f<sub>PLL\_IN</sub> = 1 MHz 且 f<sub>MOD</sub> = 1 kHz，则根据公式 1 得出的调制深度 (MODEPER) 为：

$$\text{MODEPER} = \text{round}[10^6 / (4 \times 10^3)] = 250$$

#### 公式 2

根据公式 2 可计算出增量步长 (INCSTEP)：

$$\text{INCSTEP} = \text{round}[(2^{15} - 1) \times \text{md} \times \text{PLL_N} / (100 \times 5 \times \text{MODEPER})]$$

f<sub>VCO\_OUT</sub> 必须以 MHz 表示。

当调制深度 (md) = ±2 %（4 % 峰到峰）且 PLL\_N = 240（以 MHz 表示）时：

$$\text{INCSTEP} = \text{round}[(2^{15} - 1) \times 2 \times 240 / (100 \times 5 \times 250)] = 126\text{md(quantitized)\%}$$

由于线性调制曲线根据 MODPER 和 INCSTEP 的量化值（舍入到最近的整数）获得，因此可能产生幅值量化误差。因此，所获得的调制深度为量化深度。百分比量化调制深度可根据以下公式得出：

$$\text{md}_{\text{quantized}}\% = (\text{MODEPER} \times \text{INCSTEP} \times 100 \times 5) / ((2^{15} - 1) \times \text{PLL_N})$$

因此：

$$\text{md}_{\text{quantized}}\% = (250 \times 126 \times 100 \times 5) / ((2^{15} - 1) \times 240) = 2.002\%(peak)$$



图 33 和图 34 显示了中心扩频模式和向下扩频模式下的主 PLL 输出时钟波形，其中：

- $F_0$  为  $f_{\text{PLL\_OUT}}$  的标称频率。
- $T_{\text{mode}}$  为调制周期。
- $md$  为调制深度。

图 33. 中心扩频下的 PLL 输出时钟波形

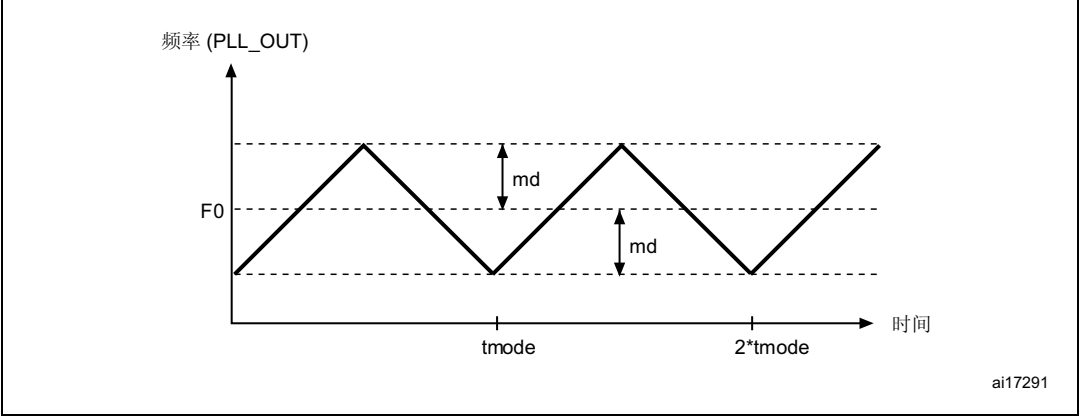
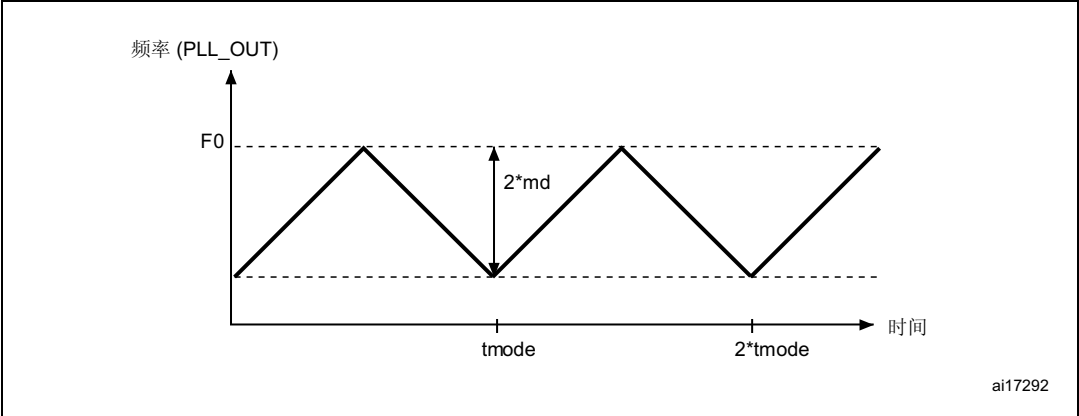


图 34. 向下扩频模式下的 PLL 输出时钟波形



### 5.3.12 存储器特性

#### Flash

除非特别说明，否则这些特性均在  $T_A = -40$  到  $105\text{ }^\circ\text{C}$  时测得。  
 交付给客户时，这些器件的 Flash 已擦除。

表 37. Flash 特性

符号	参数	条件	最小值	典型值	最大值	单位
$I_{\text{DD}}$	供电电流	8 位模式写入/擦除, $V_{\text{DD}} = 1.8\text{ V}$	-	5	-	mA
		16 位模式写入/擦除, $V_{\text{DD}} = 2.1\text{ V}$	-	8	-	
		32 位模式写入/擦除, $V_{\text{DD}} = 3.3\text{ V}$	-	12	-	

表 38. Flash 编程

符号	参数	条件	最小值 <sup>(1)</sup>	典型值	最大值 <sup>(1)</sup>	单位
$t_{\text{prog}}$	字编程时间	编程/擦除并行位数 (PSIZE) = x 8/16/32	-	16	100 <sup>(2)</sup>	$\mu\text{s}$
$t_{\text{ERASE16KB}}$	扇区 (16 KB) 擦除时间	编程/擦除并行位数 (PSIZE) = x 8	-	400	800	ms
		编程/擦除并行位数 (PSIZE) = x 16	-	300	600	
		编程/擦除并行位数 (PSIZE) = x 32	-	250	500	
$t_{\text{ERASE64KB}}$	扇区 (64 KB) 擦除时间	编程/擦除并行位数 (PSIZE) = x 8	-	1200	2400	ms
		编程/擦除并行位数 (PSIZE) = x 16	-	700	1400	
		编程/擦除并行位数 (PSIZE) = x 32	-	550	1100	
$t_{\text{ERASE128KB}}$	扇区 (128 KB) 擦除时间	编程/擦除并行位数 (PSIZE) = x 8	-	2	4	s
		编程/擦除并行位数 (PSIZE) = x 16	-	1.3	2.6	
		编程/擦除并行位数 (PSIZE) = x 32	-	1	2	
$t_{\text{ME}}$	整体擦除时间	编程/擦除并行位数 (PSIZE) = x 8	-	16	32	s
		编程/擦除并行位数 (PSIZE) = x 16	-	11	22	
		编程/擦除并行位数 (PSIZE) = x 32	-	8	16	
$V_{\text{prog}}$	编程电压	32 位编程操作	2.7	-	3.6	V
		16 位编程操作	2.1	-	3.6	V
		8 位编程操作	1.8	-	3.6	V

1. 通过特性分析确定，未经生产测试。
2. 最大编程时间在执行 100,000 次擦除操作后测得。

表 39. 使用  $V_{\text{PP}}$  进行 Flash 编程

符号	参数	条件	最小值 <sup>(1)</sup>	典型值	最大值 <sup>(1)</sup>	单位
$t_{\text{prog}}$	双字编程	$T_{\text{A}} = 0 \text{ 到 } +40 \text{ }^{\circ}\text{C}$ $V_{\text{DD}} = 3.3 \text{ V}$ $V_{\text{PP}} = 8.5 \text{ V}$	-	16	100 <sup>(2)</sup>	$\mu\text{s}$
$t_{\text{ERASE16KB}}$	扇区 (16 KB) 擦除时间		-	230	-	ms
$t_{\text{ERASE64KB}}$	扇区 (64 KB) 擦除时间		-	490	-	
$t_{\text{ERASE128KB}}$	扇区 (128 KB) 擦除时间		-	875	-	
$t_{\text{ME}}$	整体擦除时间		-	6.9	-	s

表 39. 使用  $V_{PP}$  进行 Flash 编程 (续)

符号	参数	条件	最小值 <sup>(1)</sup>	典型值	最大值 <sup>(1)</sup>	单位
$V_{prog}$	编程电压		2.7	-	3.6	V
$V_{PP}$	$V_{PP}$ 电压范围		7	-	9	V
$I_{PP}$	$V_{PP}$ 引脚上的最小灌电流		10	-	-	mA
$t_{VPP}^{(3)}$	可施加 $V_{PP}$ 的累计时间		-	-	1	小时

1. 由设计保证, 未经生产测试。
2. 最大编程时间在执行 100,000 次擦除操作后测得。
3. 应只在编程/擦除期间连接  $V_{PP}$ 。

表 40. Flash 可擦写次数和数据保存期限

符号	参数	条件	值	单位
			最小值 <sup>(1)</sup>	
$N_{END}$	可擦写次数	$T_A = -40$ 到 $+85\text{ }^{\circ}\text{C}$ (后缀为 6) $T_A = -40$ 到 $+105\text{ }^{\circ}\text{C}$ (后缀为 7)	10	千次
$t_{RET}$	数据保存期限	$T_A = 85\text{ }^{\circ}\text{C}$ 时 1000 次擦写 <sup>(2)</sup>	30	年
		$T_A = 105\text{ }^{\circ}\text{C}$ 时 1000 次擦写 <sup>(2)</sup>	10	
		$T_A = 55\text{ }^{\circ}\text{C}$ 时 10,000 次擦写 <sup>(2)</sup>	20	

1. 通过特性分析确定, 未经生产测试。
2. 循环测试在整个温度范围内进行。

### 5.3.13 EMC 特性

敏感性测试在器件特性分析期间通过抽样来完成。

#### 功能性 EMS (电磁敏感性)

在器件上运行一个简单的应用程序 (通过 I/O 端口闪烁 2 个 LED) 时, 给器件施加两种电磁干扰, 直至出现故障。通过 LED 状态可获知是否发生故障:

- **静电放电 (ESD)** (正电和负电) 施加到器件所有引脚, 直至器件发生功能性故障。该测试符合 IEC 61000-4-2 标准。
- **FTB**: 通过一个 100 pF 电容对  $V_{DD}$  和  $V_{SS}$  引脚施加一个突发的快速瞬变电压 (正电压和负电压), 直至器件发生功能性故障。该测试符合 IEC 61000-4-4 标准。

通过器件复位可恢复正常工作。

测试结果参见表 41。这些测试结果以应用笔记 AN1709 中所定义的 EMS 级别和分类为基础。

表 41. EMS 特性

符号	参数	条件	级别/分类
V <sub>FESD</sub>	施加在任意 I/O 引脚并导致功能性故障的极限电压	V <sub>DD</sub> = 3.3 V, LQFP176, T <sub>A</sub> = +25 °C, f <sub>HCLK</sub> = 168 MHz, 符合 IEC 61000-4-2 标准	2B
V <sub>EFTB</sub>	通过 100 pF 电容施加在 V <sub>DD</sub> 和 V <sub>SS</sub> 引脚上并导致功能性故障的突发快速瞬变电压	V <sub>DD</sub> = 3.3 V, LQFP176, T <sub>A</sub> = +25 °C, f <sub>HCLK</sub> = 168 MHz, 符合 IEC 61000-4-2 标准	4A

设计更稳健的软件以避免噪声问题

EMC 特性评定与优化通常在组件级采用典型的应用环境和简化的 MCU 软件执行。应当注意，良好的 EMC 性能与具体的用户应用和软件密切相关。

因此，建议用户根据其应用所需的 EMC 级别来执行 EMC 软件优化和预审测试。

软件建议

软件流程图中必须包括对如下失控情况的管理：

- 程序计数器损坏
- 意外复位
- 关键数据损坏（控制寄存器...）

预审试验

大多数常见故障（意外复位和程序计数器损坏）都可以通过在 NRST 引脚或振荡器引脚手动施加 1 秒的低电平来模拟和再现。

要完成这些测试，可直接对器件施加超出规范值范围的 ESD 干扰。当检测到操作异常时，可相应改进软件以防止发生不可恢复的错误（请参见应用笔记 AN1015）。

**电磁干扰 (EMI)**

器件执行 EEMBC<sup>2</sup> 代码的简单应用程序运行时，监视它产生的电磁场。这项干扰测试符合 SAE IEC61967-2 标准，该标准规定了测试电路板和引脚负载。

**表 42. EMI 特性**

符号	参数	条件	监测的频段	最大值与 [f <sub>HSE</sub> /f <sub>CPU</sub> ]	单位
				25/168 MHz	
S <sub>EMI</sub>	峰值	V <sub>DD</sub> = 3.3 V, T <sub>A</sub> = 25 °C, LQFP176 封装, 符合 SAE J1752/3 EEMBC 标准, 代码从 Flash 运行 (使能 ART 加速器)	0.1 MHz 到 30 MHz	32	dBμV
			30 MHz 到 130 MHz	25	
			130 MHz 到 1GHz	29	
			SAM EMI 级别	4	-
		V <sub>DD</sub> = 3.3 V, T <sub>A</sub> = 25 °C, LQFP176 封装, 符合 SAE J1752/3 EEMBC 标准, 代码从 Flash 运行 (使能 ART 加速器和时钟抖动)	0.1 MHz 到 30 MHz	19	dBμV
			30 MHz 到 130 MHz	16	
			130 MHz 到 1GHz	18	
			SAM EMI 级别	3.5	-

**5.3.14 绝对最大额定值 (电气敏感性)**

使用特定的测量方法对器件进行三种不同的测试 (ESD、LU)，以确定其在电气敏感性方面的性能。

**静电放电 (ESD)**

对每个样本的引脚依次施加静电放电 (一个正脉冲后接着一个负脉冲，两个脉冲间隔一秒钟)。样本大小取决于器件中供电引脚的数目 (3 个器件 x (n+1) 个供电引脚)。此项测试符合 JESD22-A114/C101 标准。

**表 43. ESD 绝对最大额定值**

符号	额定值	条件	分类	最大值 <sup>(1)</sup>	单位
V <sub>ESD(HBM)</sub>	静电放电电压 (人体模型)	T <sub>A</sub> = +25 °C, 符合 JESD22-A114 标准	2	2000 <sup>(2)</sup>	V
V <sub>ESD(CDM)</sub>	静电放电电压 (机器模型)	T <sub>A</sub> = +25 °C, 符合 JESD22-C101 标准	II	500	

- 通过特性分析确定，未经生产测试。
- 在 V<sub>BAT</sub> 引脚上，V<sub>ESD(HBM)</sub> 的限值为 1000 V。

静态门锁

为评估闭锁性能，需要对六个器件进行两项互补的静态闭锁测试：

- 对每个电源引脚施加过压
- 对每个输入、输出和可配置 I/O 引脚施加电流注入

这些测试符合 EIA/JESD 78A IC 闭锁标准。

表 44. 电气敏感性

符号	参数	条件	分类
LU	静态门锁级别	T <sub>A</sub> = +105 °C，符合 JESD78A 标准	II 级 A 类

5.3.15 I/O 电流注入特性

通常情况下，在产品正常工作期间，应避免因外部电压低于 V<sub>SS</sub> 或高于 V<sub>DD</sub>（以 3V I/O 引脚为标准）而引起电流注入 I/O 引脚。但为了说明微控制器在意外发生异常注入时的稳健性，在器件特性评定期间对样本执行了敏感性测试。

I/O 电流的功能敏感性

在器件上执行简单的应用程序，同时在设定为悬空输入模式的 I/O 引脚注入电流，以向器件施加电流应力。在逐个向 I/O 引脚注入电流的同时，检查器件是否发生功能性故障。

一旦出现以下参数超出范围的情况，即表明出现功能性故障：ADC 误差超过特定限值 (>5 LSB TUE)，相邻引脚的电流注入超出规范或出现其它功能性故障（例如复位、振荡器频率偏移）。

测试结果参见表 45。

表 45. I/O 电流注入敏感性

符号	说明	功能敏感性		单位
		注入负电流	注入正电流	
I <sub>INJ</sub>	所有 FT 引脚上的注入电流	-5	+0	mA
	任何其它引脚上的注入电流	-5	+5	



## 5.3.16 I/O 端口特性

## 常规输入/输出特性

除非特别说明，否则表 46 中的参数均在表 13 所列条件下测试得出。所有 I/O 均兼容 CMOS 和 TTL。

表 46. I/O 静态特性

符号	参数		条件	最小值	典型值	最大值	单位
V <sub>IL</sub>	输入低电平电压		TTL 端口 2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	V <sub>SS</sub> -0.3	-	0.8	V
V <sub>IH</sub> <sup>(1)</sup>	TTa/TC <sup>(2)</sup> I/O 输入高电平电压			2.0	-	V <sub>DD</sub> +0.3	
	FT <sup>(3)</sup> I/O 输入高电平电压			2.0	-	5.5	
V <sub>IL</sub>	输入低电平电压		CMOS 端口 1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	V <sub>SS</sub> -0.3	-	0.3V <sub>DD</sub>	
V <sub>IH</sub> <sup>(1)</sup>	TTa/TC I/O 输入高电平电压			0.7V <sub>DD</sub>	-	3.6 <sup>(4)</sup>	
	FT I/O 输入高电平电压				-	5.2 <sup>(4)</sup>	
					-	5.5 <sup>(4)</sup>	
V <sub>hys</sub>	I/O 施密特触发器滞回电压 <sup>(5)</sup>			-	200	-	mV
	IO FT 施密特触发器滞回电压 <sup>(5)</sup>			5% V <sub>DD</sub> <sup>(4)</sup>	-	-	
I <sub>lkg</sub>	I/O 输入漏电流 <sup>(6)</sup>		V <sub>SS</sub> ≤ V <sub>IN</sub> ≤ V <sub>DD</sub>	-	-	±1	μA
	I/O FT 输入漏电流 <sup>(6)</sup>		V <sub>IN</sub> = 5 V	-	-	3	
R <sub>PU</sub>	弱上拉等效电阻 <sup>(7)</sup>	除 PA10 和 PB12 以外的所有引脚	V <sub>IN</sub> = V <sub>SS</sub>	30	40	50	kΩ
		PA10 和 PB12		8	11	15	
R <sub>PD</sub>	弱下拉等效电阻	除 PA10 和 PB12 以外的所有引脚	V <sub>IN</sub> = V <sub>DD</sub>	30	40	50	
		PA10 和 PB12		8	11	15	
C <sub>IO</sub> <sup>(8)</sup>	I/O 引脚电容				5		pF

- 如果不能遵循  $V_{IH}$  的最大值，则外部产生的注入电流不能超过  $I_{INJ}(\text{PIN})$  的最大值。
- TTa = 3.3 V 容忍 I/O，直接连接到 ADC；TC = 标准 3.3 V I/O。
- FT = 5 V 容忍。
- 至少 100 mV。
- 施密特触发器输入电压变化时的输出滞回电压。通过特性分析确定，未经生产测试。
- 如果相邻引脚有反向电流注入，则漏电流可能高于最大值。
- 上拉电阻和下拉电阻由一个真正的电阻串联开关可控的 PMOS/NMOS 实现。该 MOS/NMOS 对串联电阻的影响极小（10% 左右）。
- 由设计保证，未经生产测试。

所有 I/O 均兼容 CMOS 和 TTL（无需软件配置）。它们的特性并不仅限于满足严格的 CMOS 技术或 TTL 参数要求。

输出驱动电流

GPIO（通用输入/输出接口）可提供最大  $\pm 8\text{ mA}$  的灌电流和驱动电流，在放宽  $V_{OL}/V_{OH}$  的条件下，灌电流和驱动电流可达到  $\pm 20\text{ mA}$ （PC13、PC14 和 PC15 除外，其灌电流和驱动电流只能达到  $\pm 3\text{ mA}$ ）。使用处于输出模式的 GPIO PC13 到 PC15 时，速度不得超过  $2\text{ MHz}$ ，最大负载不宜超过  $30\text{ pF}$ 。

在用户应用中，可驱动电流的 I/O 引脚的数量必须进行限制，以遵守第 5.2 节中规定的绝对最大额定值。尤其是：

- 所有 I/O 从  $V_{DD}$  获得的拉电流总和，加上 MCU 从  $V_{DD}$  获得的用于最大功耗运行的拉电流，不能超过绝对最大额定  $I_{VDD}$ （请参见表 11）。
- 所有 I/O 灌入  $V_{SS}$  的灌电流总和，加上 MCU 以最大功耗运行时对  $V_{SS}$  的灌电流，不能超过绝对最大额定  $I_{VSS}$ （请参见表 11）。

输出电压

除非特别说明，否则表 47 中给出的参数是在表 13 中汇总的环境温度和  $V_{DD}$  电源电压条件下测试得出的。所有 I/O 均兼容 CMOS 和 TTL。

表 47. 输出电压特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(2)}$	8 个引脚同时灌电流时 I/O 引脚的输出低电平电压	TTL 端口 $I_{IO} = +8\text{ mA}$ $2.7\text{ V} < V_{DD} < 3.6\text{ V}$	-	0.4	V
$V_{OH}^{(3)}$	8 个引脚同时拉电流时 I/O 引脚的输出高电平电压		$V_{DD}-0.4$	-	
$V_{OL}^{(2)}$	8 个引脚同时灌电流时 I/O 引脚的输出低电平电压	CMOS 端口 $I_{IO} = +8\text{ mA}$ $2.7\text{ V} < V_{DD} < 3.6\text{ V}$	-	0.4	V
$V_{OH}^{(3)}$	8 个引脚同时拉电流时 I/O 引脚的输出高电平电压		2.4	-	
$V_{OL}^{(2)(4)}$	8 个引脚同时灌电流时 I/O 引脚的输出低电平电压	$I_{IO} = +20\text{ mA}$ $2.7\text{ V} < V_{DD} < 3.6\text{ V}$	-	1.3	V
$V_{OH}^{(3)(4)}$	8 个引脚同时拉电流时 I/O 引脚的输出高电平电压		$V_{DD}-1.3$	-	
$V_{OL}^{(2)(4)}$	8 个引脚同时灌电流时 I/O 引脚的输出低电平电压	$I_{IO} = +6\text{ mA}$ $2\text{ V} < V_{DD} < 2.7\text{ V}$	-	0.4	V
$V_{OH}^{(3)(4)}$	8 个引脚同时拉电流时 I/O 引脚的输出高电平电压		$V_{DD}-0.4$	-	

1. PC13、PC14、PC15 和 PI8 通过电源开关供电。由于该开关的灌电流能力有限（ $3\text{ mA}$ ），因此在使用输出模式下的 GPIO PC13 到 PC15 以及 PI8 时存在以下限制：速度不得超过  $2\text{ MHz}$ ，最大负载不宜超过  $30\text{ pF}$ ，并且这些 I/O 不能用作电流源（如用于驱动 LED）。
2. 器件的  $I_{IO}$  灌电流必须始终遵循表 11 所列的绝对最大额定值， $I_{IO}$ （I/O 端口和控制引脚）的总和不得超过  $I_{VSS}$ 。
3. 器件的  $I_{IO}$  拉电流必须始终遵循表 11 所列的绝对最大额定值， $I_{IO}$ （I/O 端口和控制引脚）的总和不得超过  $I_{VDD}$ 。
4. 通过特性分析确定，未经生产测试。





## 输入/输出交流特性

输入/输出交流特性的定义和值分别在图 35 和表 48 中给出。

除非特别说明，否则表 48 中给出的参数是在表 13 中汇总的环境温度和  $V_{DD}$  电源电压条件下测试得出的。

表 48. I/O 交流特性<sup>(1)(2)(3)</sup>

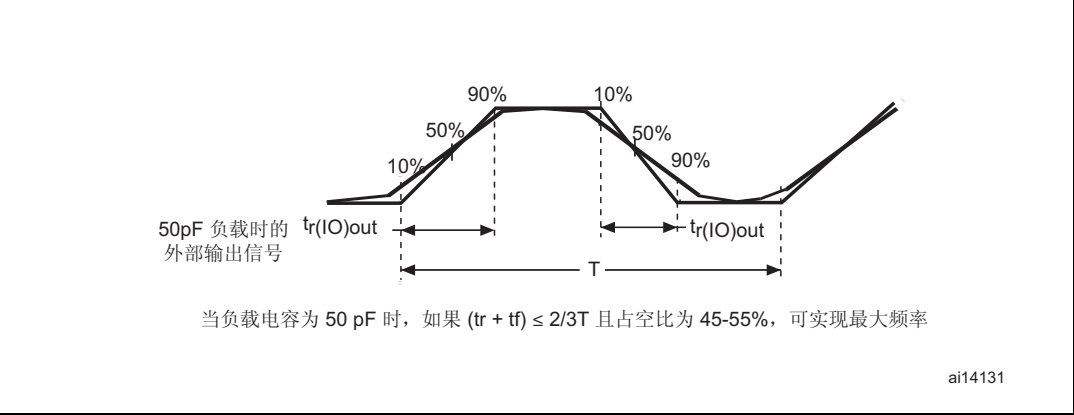
OSPEEDRy [1:0] 位值 <sup>(1)</sup>	符号	参数	条件	最小值	典型值	最大值	单位
00	$f_{\max(\text{IO})\text{out}}$	最大频率 <sup>(4)</sup>	$C_L = 50 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	2	MHz
			$C_L = 50 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	2	
			$C_L = 10 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	TBD	
			$C_L = 10 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	TBD	
	$t_{f(\text{IO})\text{out}}$	输出高电平到低电平的下降时间	$C_L = 50 \text{ pF}, V_{DD} = 1.8 \text{ V}$ 到 $3.6 \text{ V}$	-	-	TBD	ns
	$t_{r(\text{IO})\text{out}}$	输出低电平到高电平的上升时间		-	-	TBD	
01	$f_{\max(\text{IO})\text{out}}$	最大频率 <sup>(4)</sup>	$C_L = 50 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	25	MHz
			$C_L = 50 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	12.5 <sup>(5)</sup>	
			$C_L = 10 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	50 <sup>(5)</sup>	
			$C_L = 10 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	TBD	
	$t_{f(\text{IO})\text{out}}$	输出高电平到低电平的下降时间	$C_L = 50 \text{ pF}, V_{DD} < 2.7 \text{ V}$	-	-	TBD	ns
			$C_L = 10 \text{ pF}, V_{DD} > 2.7 \text{ V}$	-	-	TBD	
	$t_{r(\text{IO})\text{out}}$	输出低电平到高电平的上升时间	$C_L = 50 \text{ pF}, V_{DD} < 2.7 \text{ V}$	-	-	TBD	
			$C_L = 10 \text{ pF}, V_{DD} > 2.7 \text{ V}$	-	-	TBD	
10	$f_{\max(\text{IO})\text{out}}$	最大频率 <sup>(4)</sup>	$C_L = 40 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	50 <sup>(5)</sup>	MHz
			$C_L = 40 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	25	
			$C_L = 10 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	100 <sup>(5)</sup>	
			$C_L = 10 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	TBD	
	$t_{f(\text{IO})\text{out}}$	输出高电平到低电平的下降时间	$C_L = 50 \text{ pF}, 2.4 < V_{DD} < 2.7 \text{ V}$	-	-	TBD	ns
			$C_L = 10 \text{ pF}, V_{DD} > 2.7 \text{ V}$	-	-	TBD	
	$t_{r(\text{IO})\text{out}}$	输出低电平到高电平的上升时间	$C_L = 50 \text{ pF}, 2.4 < V_{DD} < 2.7 \text{ V}$	-	-	TBD	
			$C_L = 10 \text{ pF}, V_{DD} > 2.7 \text{ V}$	-	-	TBD	

表 48. I/O 交流特性<sup>(1)(2)(3)</sup> (续)

OSPEEDRy [1:0] 位值 <sup>(1)</sup>	符号	参数	条件	最小值	典型值	最大值	单位
11	$F_{\max(\text{IO})\text{out}}$	最大频率 <sup>(4)</sup>	$C_L = 30\text{ pF}, V_{DD} > 2.70\text{ V}$	-	-	100 <sup>(5)</sup>	MHz
			$C_L = 30\text{ pF}, V_{DD} > 1.8\text{ V}$	-	-	50 <sup>(5)</sup>	
			$C_L = 10\text{ pF}, V_{DD} > 2.70\text{ V}$	-	-	200 <sup>(5)</sup>	
			$C_L = 10\text{ pF}, V_{DD} > 1.8\text{ V}$	-	-	TBD	
	$t_{r(\text{IO})\text{out}}$	输出高电平到低电平的下降时间	$C_L = 20\text{ pF}, 2.4 < V_{DD} < 2.7\text{ V}$	-	-	TBD	ns
			$C_L = 10\text{ pF}, V_{DD} > 2.7\text{ V}$	-	-	TBD	
	$t_{r(\text{IO})\text{out}}$	输出低电平到高电平的上升时间	$C_L = 20\text{ pF}, 2.4 < V_{DD} < 2.7\text{ V}$	-	-	TBD	
			$C_L = 10\text{ pF}, V_{DD} > 2.7\text{ V}$	-	-	TBD	
-	$t_{\text{EXTI}pw}$	EXTI 控制器检测到的外部信号的脉冲宽度		10	-	-	ns

1. 通过特性分析确定，未经生产测试。
2. I/O 速度通过 OSPEEDRy[1:0] 位配置。有关 GPIOx\_SPEEDR GPIO 端口输出速度寄存器的说明，请参见 STM32F40x/41x 参考手册。
3. TBD 表示“待定”。
4. 最大频率在 [图 35](#) 中定义。
5. 最大频率大于 50 MHz 时，应使用补偿单元。

图 35. I/O 交流特性定义



### 5.3.17 NRST 引脚特性

NRST 引脚输入驱动电路采用 CMOS 技术。它连接至一个永久上拉的电阻  $R_{PU}$ （请参见表 46）。

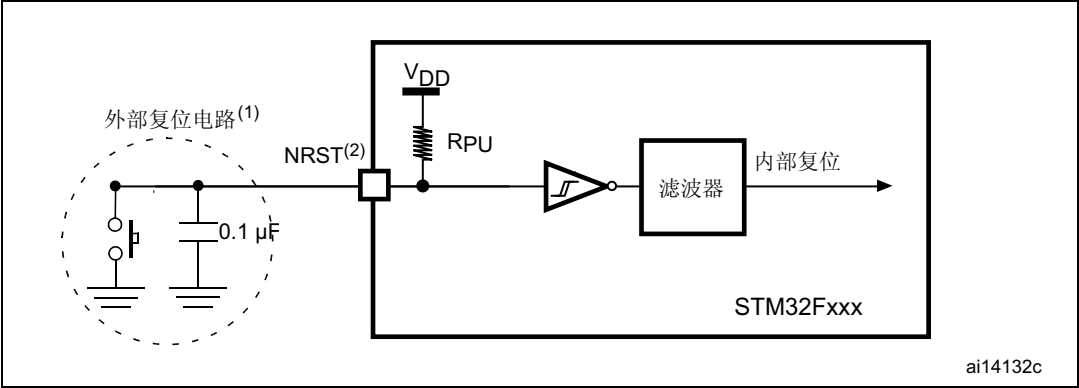
除非特别说明，否则表 49 中给出的参数是在表 13 中汇总的环境温度和  $V_{DD}$  电源电压条件下测试得出的。

表 49. NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 引脚上的输入低电平电压		-0.5	-	0.8	V
$V_{IH(NRST)}^{(1)}$	NRST 引脚上的输入高电平电压		2	-	$V_{DD}+0.5$	
$V_{hys(NRST)}$	NRST 引脚上的施密特触发器滞回电压		-	200	-	mV
$R_{PU}$	弱上拉等效电阻 <sup>(2)</sup>	$V_{IN} = V_{SS}$	30	40	50	k $\Omega$
$V_F(NRST)^{(1)}$	NRST 引脚上的输入脉冲滤波		-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST 引脚上的输入脉冲不受滤波影响	$V_{DD} > 2.7\text{ V}$	300	-	-	ns
$T_{NRST\_OUT}$	产生的复位脉冲持续时间	内部复位源	20	-	-	$\mu\text{s}$

1. 由设计保证，未经生产测试。
2. 上拉电阻由一个真正的电阻串联开关可控的 PMOS 实现。该 PMOS 对串联电阻的影响必须极小（10% 左右）。

图 36. 推荐的 NRST 引脚保护电路



1. 该复位电路可保护器件，以避免噪声干扰造成的复位。
2. 用户必须确保 NRST 引脚上的电平可降至表 49 中指定的  $V_{IL(NRST)}$  最大电平以下，否则器件不会执行复位。

### 5.3.18 TIM 定时器特性

表 50 和表 51 中列出的参数由设计保证。

有关输入/输出复用功能特性（输出比较、输入捕捉、外部时钟、PWM 输出）的详细信息，请参见第 5.3.16 节：I/O 端口特性。

表 50. 与 APB1 域相连的 TIMx 的特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
t <sub>res(TIM)</sub>	定时器时间分辨率	AHB/APB1 预分频器不等于 1， f <sub>TIMxCLK</sub> = 84 MHz	1	-	t <sub>TIMxCLK</sub>
			11.9	-	ns
		AHB/APB1 预分频器 = 1， f <sub>TIMxCLK</sub> = 42 MHz	1	-	t <sub>TIMxCLK</sub>
			23.8	-	ns
f <sub>EXT</sub>	CH1 到 CH4 上的定时器外部时钟频率	f <sub>TIMxCLK</sub> = 84 MHz APB1= 42 MHz	0	f <sub>TIMxCLK</sub> /2	MHz
	0		42	MHz	
Res <sub>TIM</sub>	定时器分辨率		-	16/32	位
t <sub>COUNTER</sub>	选择内部时钟情况下 16 位计数器时钟周期		1	65536	t <sub>TIMxCLK</sub>
			0.0119	780	μs
	选择内部时钟情况下 32 位计数器时钟周期		1	-	t <sub>TIMxCLK</sub>
			0.0119	51130563	μs
t <sub>MAX_COUNT</sub>	最大的计数时间		-	65536 × 65536	t <sub>TIMxCLK</sub>
			-	51.1	s

1. TIMx 是 TIM2、TIM3、TIM4、TIM5、TIM6、TIM7 和 TIM12 定时器的统称。

表 51. 与 APB2 域相连的 TIMx 的特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器时间分辨率	AHB/APB2 预分频器不等于 1， $f_{TIMxCLK} = 168\text{ MHz}$	1	-	$t_{TIMxCLK}$
			5.95	-	ns
		AHB/APB2 预分频器 = 1， $f_{TIMxCLK} = 84\text{ MHz}$	1	-	$t_{TIMxCLK}$
			11.9	-	ns
$f_{EXT}$	CH1 到 CH4 上的定时器外部时钟频率	$f_{TIMxCLK} = 168\text{ MHz}$ $APB2 = 84\text{ MHz}$	0	$f_{TIMxCLK}/2$	MHz
			0	84	MHz
$Res_{TIM}$	定时器分辨率		-	16	位
$t_{COUNTER}$	选择内部时钟情况下 16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
$t_{MAX\_COUNT}$	最大的计数时间		-	32768	$t_{TIMxCLK}$

1. TIMx 是 TIM1、TIM8、TIM9、TIM10 和 TIM11 定时器的统称。

## 5.3.19 通信接口

**I<sup>2</sup>C 接口特性**

除非特别说明，否则表 52 中给出的参数是在表 13 中汇总的环境温度、 $f_{\text{PCLK1}}$  频率和  $V_{\text{DD}}$  电源电压条件下测试得出的。

STM32F415xx 和 STM32F417xx I<sup>2</sup>C 接口符合标准 I<sup>2</sup>C 通信协议的要求，但有以下限制：SDA 和 SCL 映射到的 I/O 引脚并非“真正的”开漏引脚。配置为开漏引脚时，I/O 引脚与  $V_{\text{DD}}$  之间连接的 PMOS 将被关闭，但仍存在。

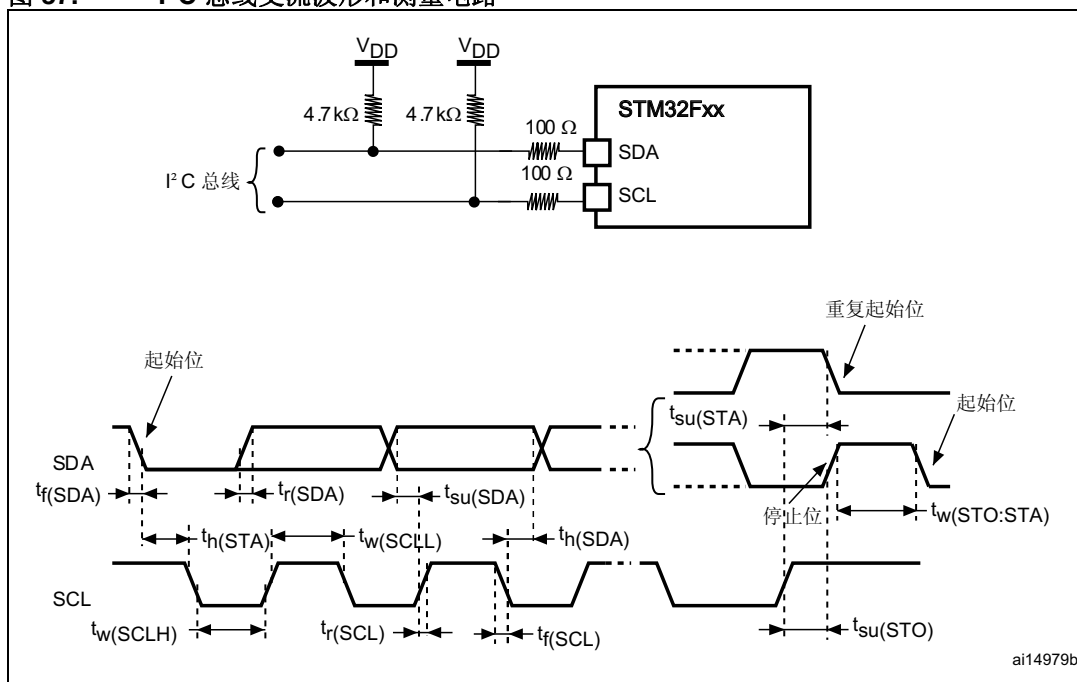
表 52 中列出了 I<sup>2</sup>C 特性。有关输入/输出复用功能特性（SDA 和 SCL）的详细信息，另请参见第 5.3.16 节：I/O 端口特性。

表 52. I<sup>2</sup>C 特性

符号	参数	标准模式 I <sup>2</sup> C <sup>(1)</sup>		快速模式 I <sup>2</sup> C <sup>(1)(2)</sup>		单位
		最小值	最大值	最小值	最大值	
$t_{\text{w}}(\text{SCLL})$	SCL 时钟低电平时间	4.7	-	1.3	-	$\mu\text{s}$
$t_{\text{w}}(\text{SCLH})$	SCL 时钟高电平时间	4.0	-	0.6	-	
$t_{\text{su}}(\text{SDA})$	SDA 建立时间	250	-	100	-	ns
$t_{\text{h}}(\text{SDA})$	SDA 数据保持时间	0	-	0	900 <sup>(3)</sup>	
$t_{\text{r}}(\text{SDA})$ $t_{\text{r}}(\text{SCL})$	SDA 和 SCL 上升时间	-	1000	$20 + 0.1C_{\text{b}}$	300	
$t_{\text{f}}(\text{SDA})$ $t_{\text{f}}(\text{SCL})$	SDA 和 SCL 下降时间	-	300	-	300	
$t_{\text{h}}(\text{STA})$	起始位保持时间	4.0	-	0.6	-	$\mu\text{s}$
$t_{\text{su}}(\text{STA})$	重复起始位建立时间	4.7	-	0.6	-	
$t_{\text{su}}(\text{STO})$	停止位建立时间	4.0	-	0.6	-	$\mu\text{s}$
$t_{\text{w}}(\text{STO:STA})$	停止位到下一个起始位的时间间隔（总线空闲）	4.7	-	1.3	-	$\mu\text{s}$
$C_{\text{b}}$	每条总线的容性负载	-	400	-	400	pF

1. 由设计保证，未经生产测试。
2.  $f_{\text{PCLK1}}$  必须至少为 2 MHz，才能实现标准模式 I<sup>2</sup>C 频率。必须至少为 4 MHz，才能实现快速模式 I<sup>2</sup>C 频率，并且必须是 10 MHz 的整数倍，才能实现 I<sup>2</sup>C 快速模式的最大时钟速度 400 kHz。
3. 仅当接口未进行时钟延展时，才必须遵循最大数据保持时间。

图 37. I<sup>2</sup>C 总线交流波形和测量电路



1. 在 CMOS 电平为  $0.3V_{DD}$  和  $0.7V_{DD}$  时完成测量。

**表 53. SCL 频率 (f<sub>PCLK1</sub> = 42 MHz, V<sub>DD</sub> = 3.3 V) <sup>(1)(2)</sup>**

f <sub>SCL</sub> (kHz)	I2C_CCR 值
	R <sub>P</sub> = 4.7 kΩ
400	0x8019
300	0x8021
200	0x8032
100	0x0096
50	0x012C
20	0x02EE

1.  $R_p$  = 外部上拉电阻,  $f_{SCL} = I^2C$  速度。

2. 总线速度为 200 kHz 左右时, 所实现速度的容差为  $\pm 5\%$ 。对于其它速度范围, 所实现速度的容差为  $\pm 2\%$ 。这些变化取决于在设计应用时所使用的元件的精度。

## I<sup>2</sup>S - SPI 接口特性

除非特别说明，否则表 54 中给出的有关 SPI 的参数或表 55 中给出的有关 I<sup>2</sup>S 的参数是在表 13 中汇总的环境温度、f<sub>PCLKx</sub> 频率和 V<sub>DD</sub> 电源电压条件下测试得出的。

有关输入/输出复用功能特性（SPI 的 NSS、SCK、MOSI、MISO 和 I<sup>2</sup>S 的 WS、CK、SD）的详细信息，请参见第 5.3.16 节：I/O 端口特性。

表 54. SPI 特性<sup>(1)(2)</sup>

符号	参数	条件	最小值	最大值	单位
f <sub>SCK</sub> 1/t <sub>c(SCK)</sub>	SPI 时钟频率	主模式	-	37.5	MHz
		从模式	-	37.5	
t <sub>r(SCL)</sub> t <sub>f(SCL)</sub>	SPI 时钟上升和下降时间	容性负载：C = 30 pF	-	8	ns
DuCy(SCK)	SPI 从输入时钟占空比	从模式	30	70	%
t <sub>su(NSS)</sub> <sup>(3)</sup>	NSS 建立时间	从模式	4t <sub>PCLK</sub>	-	ns
t <sub>h(NSS)</sub> <sup>(3)</sup>	NSS 保持时间	从模式	2t <sub>PCLK</sub>	-	
t <sub>w(SCLH)</sub> <sup>(3)</sup> t <sub>w(SCLL)</sub> <sup>(3)</sup>	SCK 高电平和低电平时间	主模式，f <sub>PCLK</sub> = TBD MHz	TBD	TBD	
t <sub>su(MI)</sub> <sup>(3)</sup> t <sub>su(SI)</sub> <sup>(3)</sup>	数据输入建立时间	主模式	5	-	
		从模式	5	-	
t <sub>h(MI)</sub> <sup>(3)</sup> t <sub>h(SI)</sub> <sup>(3)</sup>	数据输入保持时间	主模式	5	-	
		从模式	4	-	
t <sub>a(SO)</sub> <sup>(3)(4)</sup>	数据输出访问时间	从模式，f <sub>PCLK</sub> = 20 MHz	0	3 t <sub>PCLK</sub>	
t <sub>dis(SO)</sub> <sup>(3)(5)</sup>	数据输出禁止时间	从模式	2	10	
t <sub>v(SO)</sub> <sup>(3)(1)</sup>	数据输出有效时间	从模式（使能边沿之后）	-	25	
t <sub>v(MO)</sub> <sup>(3)(1)</sup>	数据输出有效时间	主模式（使能边沿之后）	-	5	
t <sub>h(SO)</sub> <sup>(3)</sup>	数据输出保持时间	从模式（使能边沿之后）	15	-	
t <sub>h(MO)</sub> <sup>(3)</sup>		主模式（使能边沿之后）	2	-	

1. 重映射的 SPI1 特性待定。
2. TBD 表示“待定”。
3. 通过特性分析确定，未经生产测试。
4. 最短时间是指驱动输出所需的最短时间，最长时间是指数据变为有效所需的最长时间。
5. 最短时间是指输出变为无效所需的最短时间，最长时间是指将数据线置为高阻态 (Hi-Z) 所需的最长时间

图 38. SPI 时序图——从模式且 CPHA = 0

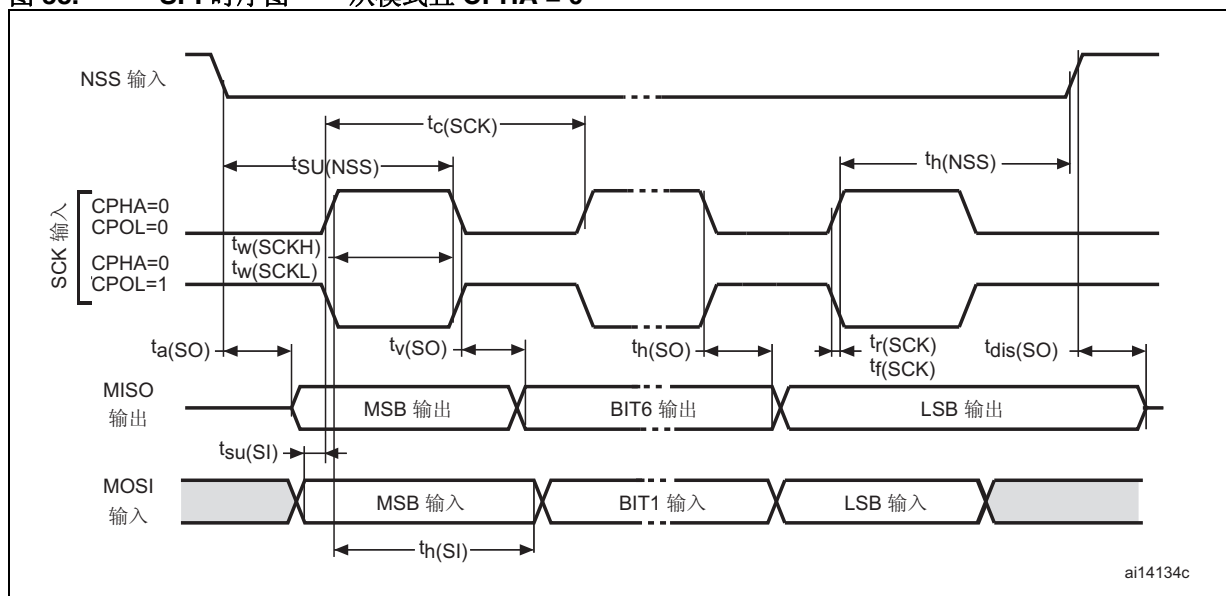
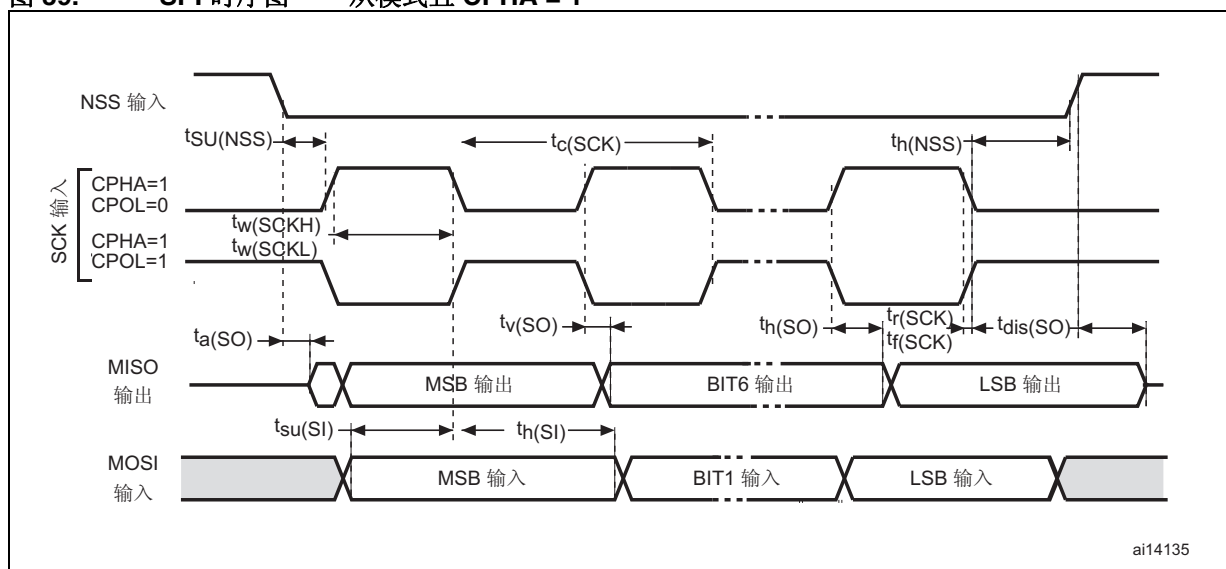


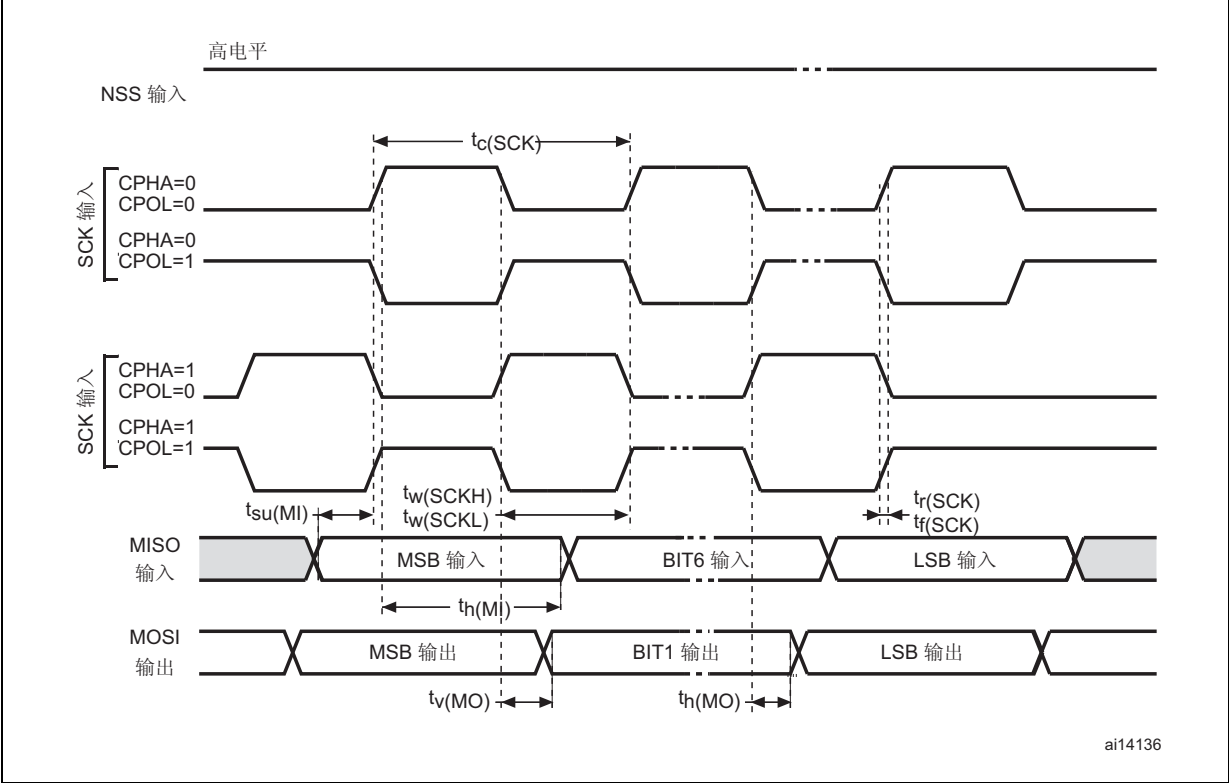
图 39. SPI 时序图——从模式且  $\text{CPHA} = 1^{(1)}$



1. 在 CMOS 电平为  $0.3V_{DD}$  和  $0.7V_{DD}$  时完成测量。



图 40. SPI 时序图——主模式<sup>(1)</sup>



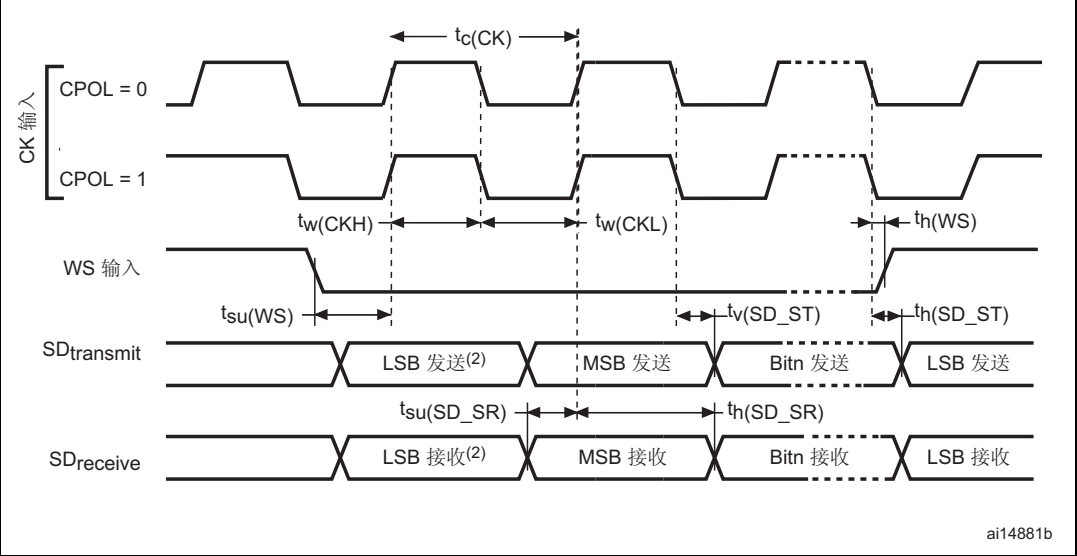
1. 在 CMOS 电平为  $0.3V_{DD}$  和  $0.7V_{DD}$  时完成测量。

表 55. I<sup>2</sup>S 特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
$f_{CK}$ $1/t_{c(CK)}$	I <sup>2</sup> S 时钟频率	主模式	TBD	TBD	MHz
		从模式	0	TBD	
$t_{r(CK)}$ $t_{f(CK)}$	I <sup>2</sup> S 时钟上升和下降时间	容性负载 $C_L = 50 \text{ pF}$	-	TBD	ns
$t_{v(WS)}^{(2)}$	WS 有效时间	主模式	TBD	-	
$t_{h(WS)}^{(2)}$	WS 保持时间	主模式	TBD	-	
$t_{su(WS)}^{(2)}$	WS 建立时间	从模式	TBD	-	
$t_{h(WS)}^{(2)}$	WS 保持时间	从模式	TBD	-	
$t_{w(CKH)}^{(2)}$ $t_{w(CKL)}^{(2)}$	CK 高电平和低电平时间	主模式, $f_{PCLK} = \text{TBD}$ , 预分频系数 = TBD	TBD	-	
$t_{su(SD\_MR)}^{(2)}$ $t_{su(SD\_SR)}^{(2)}$	数据输入建立时间	主接收器 从接收器	TBD TBD	-	
$t_{h(SD\_MR)}^{(2)(3)}$ $t_{h(SD\_SR)}^{(2)(3)}$	数据输入保持时间	主接收器 从接收器	TBD TBD	-	
$t_{h(SD\_MR)}^{(2)}$ $t_{h(SD\_SR)}^{(2)}$	数据输入保持时间	主模式, $f_{PCLK} = \text{TBD}$ 从模式, $f_{PCLK} = \text{TBD}$	TBD TBD	-	
$t_{v(SD\_ST)}^{(2)(3)}$	数据输出有效时间	从发送器 (使能边沿之后)	-	TBD	
		$f_{PCLK} = \text{TBD}$	-	TBD	
$t_{h(SD\_ST)}^{(2)}$	数据输出保持时间	从发送器 (使能边沿之后)	TBD	-	
$t_{v(SD\_MT)}^{(2)(3)}$	数据输出有效时间	主发送器 (使能边沿之后)	-	TBD	
		$f_{PCLK} = \text{TBD}$	TBD	TBD	
$t_{h(SD\_MT)}^{(2)}$	数据输出保持时间	主发送器 (使能边沿之后)	TBD	-	

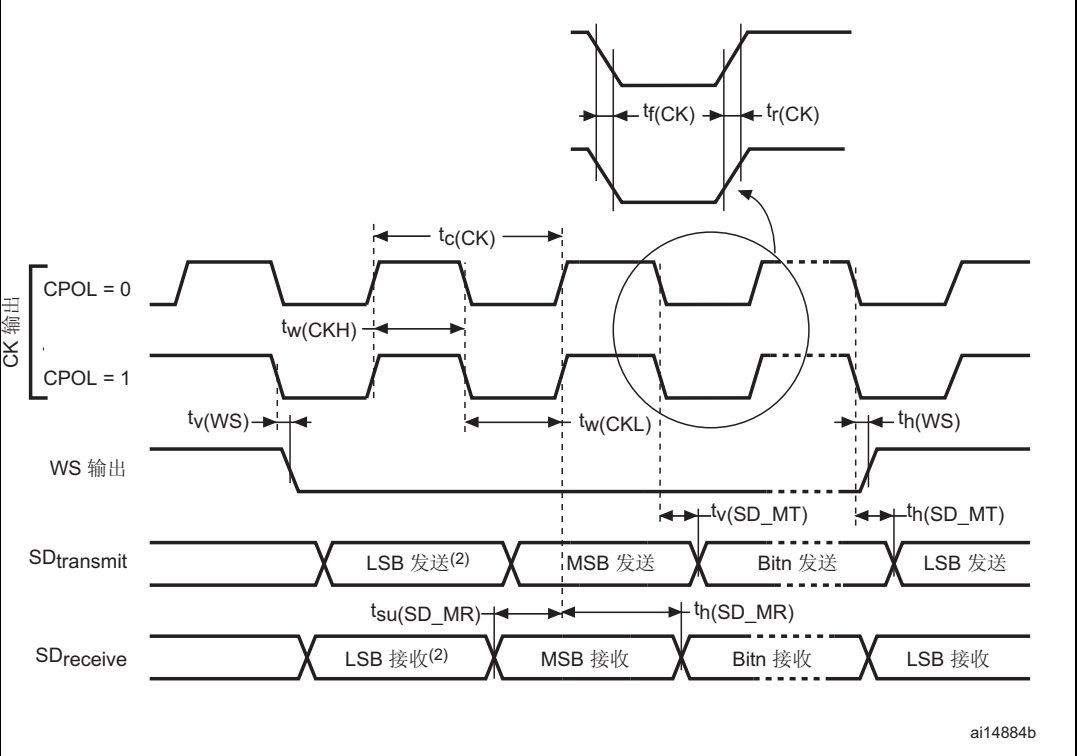
1. TBD 表示“待定”。
2. 通过设计模拟和/或特性评估确定，未经生产测试。
3. 取决于  $f_{PCLK}$ 。例如，如果  $f_{PCLK} = 8 \text{ MHz}$ ，则  $T_{PCLK} = 1/f_{PCLK} = 125 \text{ ns}$ 。

图 41. I<sup>2</sup>S 从模式时序图 (Philips 协议) (1)



1. 在 CMOS 电平为  $0.3V_{DD}$  和  $0.7V_{DD}$  时完成测量。
2. 前一传输字节的 LSB。首字节传输时没有这一位。

图 42. I<sup>2</sup>S 从模式时序图 (Philips 协议) (1)



1. 通过特性分析确定，未经生产测试。
2. 前一传输字节的 LSB。首字节传输时没有这一位。

**USB OTG FS 特性**

USB OTG HS 控制器和 USB OTG FS 控制器中均存在该接口。

**表 56. USB OTG FS 启动时间**

符号	参数	最大值	单位
$t_{\text{STARTUP}}^{(1)}$	USB OTG FS 收发器启动时间	1	$\mu\text{s}$

1. 由设计保证，未经生产测试。

**表 57. USB OTG FS 直流电气特性**

符号	参数	条件	最小值 <sup>(1)</sup>	典型值	最大值 <sup>(1)</sup>	单位
输入电平	$V_{\text{DD}}$	USB OTG FS 工作电压	3.0 <sup>(2)</sup>	-	3.6	V
	$V_{\text{DI}}^{(3)}$	差分输入灵敏度	I(USB_FS_DP/DM, USB_HS_DP/DM)	-	-	V
	$V_{\text{CM}}^{(3)}$	差分共模范围	包括 $V_{\text{DI}}$ 范围	-	2.5	
	$V_{\text{SE}}^{(3)}$	单端接收器阈值		-	2.0	
输出电平	$V_{\text{OL}}$	静态输出低电平	1.5 k $\Omega$ 的 $R_{\text{L}}$ 接至 3.6 V <sup>(4)</sup>	-	0.3	V
	$V_{\text{OH}}$	静态输出高电平	15 k $\Omega$ 的 $R_{\text{L}}$ 接至 $V_{\text{SS}}$ <sup>(4)</sup>	2.8	3.6	
$R_{\text{PD}}$	PA11, PA12, PB14, PB15 (USB_FS_DP/DM, USB_HS_DP/DM)	$V_{\text{IN}} = V_{\text{DD}}$	17	21	24	k $\Omega$
	PA9, PB13 (OTG_FS_VBUS, OTG_HS_VBUS)		0.65	1.1	2.0	
$R_{\text{PU}}$	PA12, PB15 (USB_FS_DP, USB_HS_DP)	$V_{\text{IN}} = V_{\text{SS}}$	1.5	1.8	2.1	
	PA9, PB13 (OTG_FS_VBUS, OTG_HS_VBUS)	$V_{\text{IN}} = V_{\text{SS}}$	0.25	0.37	0.55	

- 所有电压均基于局部接地电位测得。
- 工作电压降至 2.7 V 时，可保证 STM32F415xx 和 STM32F417xx USB OTG FS 的功能，但不能保证完整的 USB OTG FS 电气特性，后者在 2.7 V 到 3.0 V 的  $V_{\text{DD}}$  电压范围内会降级。
- 由设计保证，未经生产测试。
- $R_{\text{L}}$  是连接至 USB OTG FS 驱动器的负载

图 43. USB OTG FS 时序：数据信号上升时间和下降时间的定义

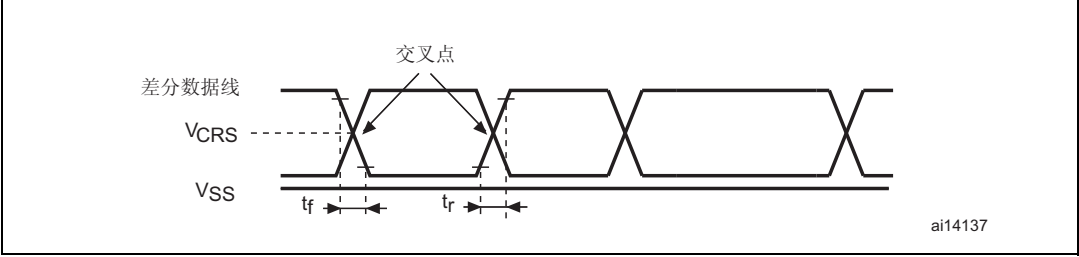


表 58. USB OTG FS 电气特性<sup>(1)</sup>

驱动器特性					
符号	参数	条件	最小值	最大值	单位
$t_r$	上升时间 <sup>(2)</sup>	$C_L = 50 \text{ pF}$	4	20	ns
$t_f$	下降时间 <sup>(2)</sup>	$C_L = 50 \text{ pF}$	4	20	ns
$t_{rfm}$	上升/下降时间匹配	$t_r/t_f$	90	110	%
$V_{CRS}$	输出信号交叉电压		1.3	2.0	V

1. 由设计保证，未经生产测试。
2. 在 10% 到 90% 的数据信号区间内测得。更多详细信息，请参见 USB 技术规范第 7 章（版本 2.0）。

表 59. USB FS 时钟时序参数<sup>(1)(2)</sup>

参数		符号	最小值	标称值	最大值	单位
$f_{HCLK}$ 值，用于确保 USB FS 接口正常工作		-	14.2			MHz
时钟的初期频率	8 位 $\pm 10\%$	$F_{START\_8BIT}$	TBD	TBD	TBD	MHz
稳态下的频率 $\pm 500 \text{ ppm}$		$F_{STEADY}$	TBD	TBD	TBD	MHz
时钟的初期占空比	8 位 $\pm 10\%$	$D_{START\_8BIT}$	TBD	TBD	TBD	%
稳态下的占空比 $\pm 500 \text{ ppm}$		$D_{STEADY}$	TBD	TBD	TBD	%
首个时钟边沿到时钟稳态的时间		$T_{STEADY}$	-	-	TBD	ms
SuspendM 信号失效后的时钟启动时间	外设	$T_{START\_DEV}$	-	-	TBD	ms
	主机	$T_{START\_HOST}$	-	-	-	
从首个时钟边沿开始计算的 PHY 准备时间		$T_{PREP}$	-	-	-	$\mu\text{s}$

1. 由设计保证，未经生产测试。
2. TBD 表示“待定”。

USB HS 特性

表 60 给出了 USB HS 工作电压。

表 60. USB HS 直流电气特性

符号		参数	最小值 <sup>(1)</sup>	最大值 <sup>(1)</sup>	单位
输入电平	V <sub>DD</sub>	USB OTG HS 工作电压	2.7	3.6	V

1. 所有电压均基于局部接地电位测得。

表 61. USB HS 时钟时序参数<sup>(1)</sup>

参数		符号	最小值	标称值	最大值	单位
f <sub>HCLK</sub> 值，用于保证 USB HS 接口正常工作			30			MHz
时钟的初期频率	8 位 ±10%	F <sub>START_8BIT</sub>	54	60	66	MHz
稳态下的频率 ±500 ppm		F <sub>STEADY</sub>	59.97	60	60.03	MHz
时钟的初期占空比	8 位 ±10%	D <sub>START_8BIT</sub>	40	50	60	%
稳态下的占空比 ±500 ppm		D <sub>STEADY</sub>	49.975	50	50.025	%
首个时钟边沿到时钟稳态的时间		T <sub>STEADY</sub>	-	-	1.4	ms
SuspendM 信号失效后的时钟启动时间	外设	T <sub>START_DEV</sub>	-	-	5.6	ms
	主机	T <sub>START_HOST</sub>	-	-	-	
从首个时钟边沿开始计算的 PHY 准备时间		T <sub>PREP</sub>	-	-	-	μs

1. 由设计保证，未经生产测试。

图 44. ULPI 时序图

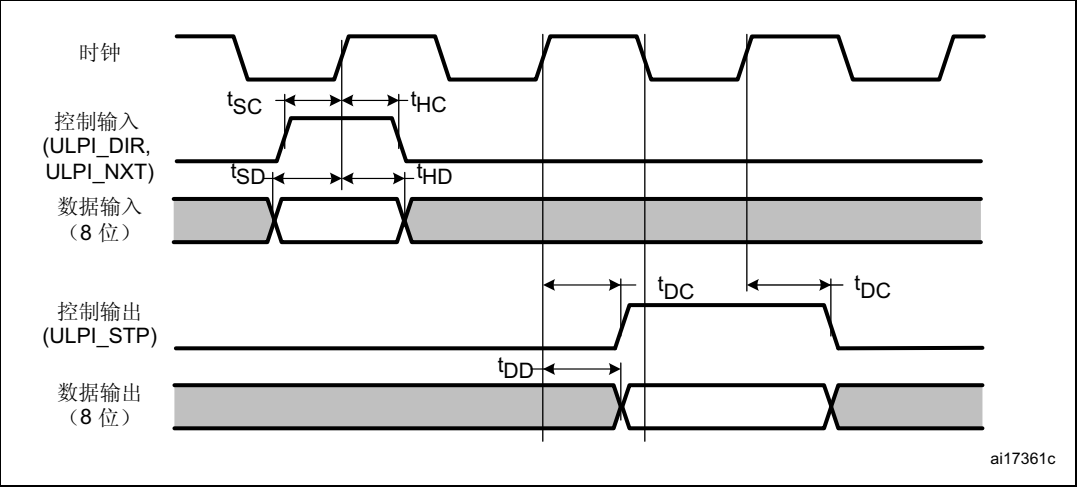


表 62. ULPI 时序

参数	符号	值 <sup>(1)</sup>		单位
		最小值	最大值	
控制 (ULPI_DIR) 建立时间	$t_{SC}$	-	2.0	ns
控制输入 (ULPI_NXT) 建立时间		-	1.5	
控制输入 (ULPI_DIR、ULPI_NXT) 保持时间	$t_{HC}$		-	
数据输入建立时间	$t_{SD}$	-	2.0	
数据输入保持时间	$t_{HD}$	0	-	
控制输出 (ULPI_STP) 建立时间和保持时间	$t_{DC}$	-	9.2	
时钟上升沿中的有效数据输出时间	$t_{DD}$	-	10.7	

1.  $V_{DD} = 2.7\text{ V}$  到  $3.6\text{ V}$ ,  $T_A = -40\text{ }^{\circ}\text{C}$  到  $85\text{ }^{\circ}\text{C}$ 。

### 以太网特性

表 63 给出了以太网的工作电压。

表 63. 以太网直流电气特性

符号	参数	最小值 <sup>(1)</sup>	最大值 <sup>(1)</sup>	单位
输入电平 $V_{DD}$	以太网工作电压	2.7	3.6	V

1. 所有电压均基于局部接地电位测得。

表 64 给出了以太网 MAC 的 SMI（串行管理接口）信号列表，图 45 给出了相应的时序图。

图 45. 以太网 SMI 时序图

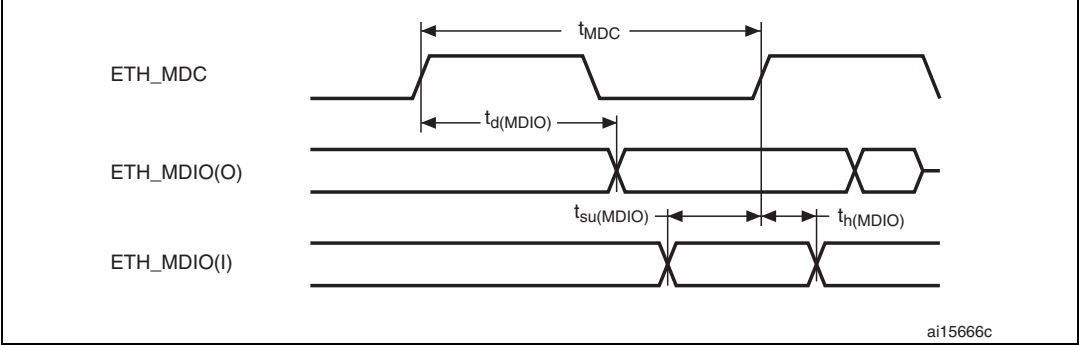


表 64. 动态特性：以太网 MAC 的 SMI 信号<sup>(1)</sup>

符号	额定值	最小值	典型值	最大值	单位
$t_{MDC}$	MDC 周期时间（1.71 MHz, AHB = 72 MHz）	TBD	TBD	TBD	ns
$t_{d(MDIO)}$	MDIO 写入数据有效时间	TBD	TBD	TBD	ns
$t_{su(MDIO)}$	读取数据建立时间	TBD	TBD	TBD	ns
$t_{h(MDIO)}$	读取数据保持时间	TBD	TBD	TBD	ns

1. TBD 表示“待定”。

表 65 给出了以太网 MAC 的 RMII 信号列表，图 46 给出了相应的时序图。

图 46. 以太网 RMII 时序图

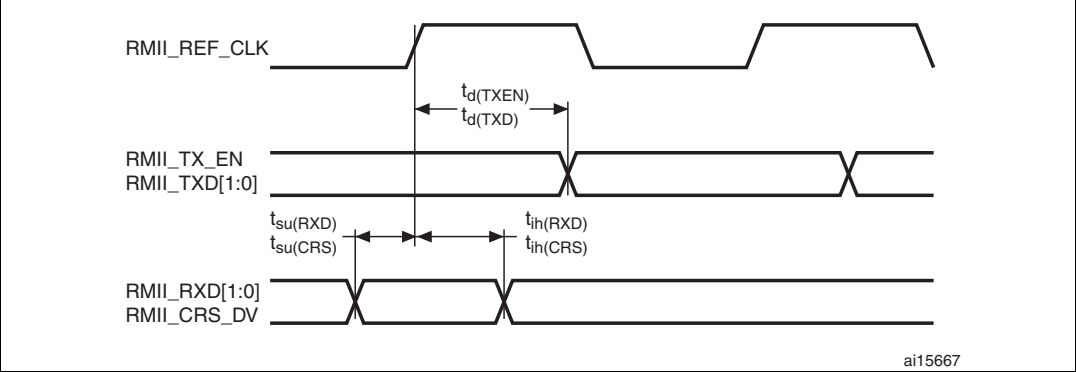


表 65. 动态特性：以太网 MAC 的 RMII 信号

符号	额定值	最小值	典型值	最大值	单位
$t_{su}(RXD)$	接收数据建立时间	2	-	-	ns
$t_{ih}(RXD)$	接收数据保持时间	1	-	-	ns
$t_{su}(CRS)$	载波侦听建立时间	0.5	-	-	ns
$t_{ih}(CRS)$	载波侦听保持时间	2	-	-	ns
$t_d(TXEN)$	发送使能有效延迟时间	8	9.5	11	ns
$t_d(TXD)$	发送数据有效延迟时间	8.5	10	11.5	ns

表 66 给出了以太网 MAC 的 MII 信号列表，图 47 给出了相应的时序图。

图 47. 以太网 MII 时序图

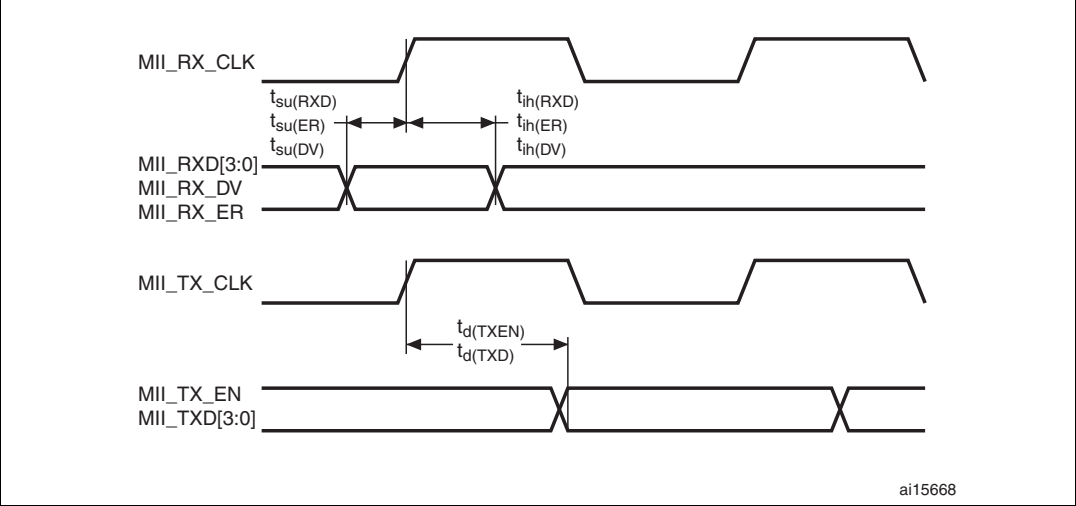




表 66. 动态特性：以太网 MAC 的 MII 信号<sup>(1)</sup>

符号	额定值	最小值	典型值	最大值	单位
$t_{su}(RXD)$	接收数据建立时间	TBD	TBD	TBD	ns
$t_{ih}(RXD)$	接收数据保持时间	TBD	TBD	TBD	ns
$t_{su}(DV)$	数据有效建立时间	TBD	TBD	TBD	ns
$t_{ih}(DV)$	数据有效保持时间	TBD	TBD	TBD	ns
$t_{su}(ER)$	错误建立时间	TBD	TBD	TBD	ns
$t_{ih}(ER)$	错误保持时间	TBD	TBD	TBD	ns
$t_d(TXEN)$	发送使能有效延迟时间	13.4	15.5	17.7	ns
$t_d(TXD)$	发送数据有效延迟时间	12.9	16.1	19.4	ns

1. TBD 表示“待定”。

## CAN（控制器局域网）接口

有关输入/输出复用功能特性（CANTX 和 CANRX），请参见第 5.3.16 节：I/O 端口特性。

### 5.3.20 12 位 ADC 特性

除非特别说明，否则表 67 中给出的参数是在表 13 中汇总的环境温度、 $f_{PCLK2}$  频率和  $V_{DDA}$  电源电压条件下测试得出的。

表 67. ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DDA}$	电源		1.8 <sup>(1)</sup>	-	3.6	V
$V_{REF+}$	正参考电压		1.8 <sup>(1)(2)(3)</sup>	-	$V_{DDA}$	V
$f_{ADC}$	ADC 时钟频率	$V_{DDA} = 1.8^{(1)(3)}$ 到 2.4 V	0.6	15	18	MHz
		$V_{DDA} = 2.4$ V 到 3.6 V <sup>(3)</sup>	0.6	30	36	MHz
$f_{TRIG}^{(4)}$	外部触发信号频率	$f_{ADC} = 30$ MHz, 12 位分辨率	-	-	1764	kHz
			-	-	17	$1/f_{ADC}$
$V_{AIN}$	转换电压范围 <sup>(5)</sup>		0 ( $V_{SSA}$ 或 $V_{REF-}$ 接地)	-	$V_{REF+}$	V
$R_{AIN}^{(4)}$	外部输入阻抗	详细信息，请参见公式 1	-	-	50	k $\Omega$
$R_{ADC}^{(4)(6)}$	采样开关阻抗		-	-	6	k $\Omega$
$C_{ADC}^{(4)}$	内部采样和保持电容		-	4	-	pF
$t_{lat}^{(4)}$	注入通道触发转换延迟	$f_{ADC} = 30$ MHz	-	-	0.100	$\mu$ s
			-	-	3 <sup>(7)</sup>	$1/f_{ADC}$
$t_{latr}^{(4)}$	常规通道触发转换延迟	$f_{ADC} = 30$ MHz	-	-	0.067	$\mu$ s
			-	-	2 <sup>(7)</sup>	$1/f_{ADC}$
$t_S^{(4)}$	采样时间	$f_{ADC} = 30$ MHz	0.100	-	16	$\mu$ s
			3	-	480	$1/f_{ADC}$

表 67. ADC 特性 (续)

符号	参数	条件	最小值	典型值	最大值	单位
$t_{\text{STAB}}^{(4)}$	上电时间		-	2	3	$\mu\text{s}$
$t_{\text{CONV}}^{(4)}$	总转换时间 (包括采样时间)	$f_{\text{ADC}} = 30 \text{ MHz}$ 12 位分辨率	0.50	-	16.40	$\mu\text{s}$
		$f_{\text{ADC}} = 30 \text{ MHz}$ 10 位分辨率	0.43	-	16.34	$\mu\text{s}$
		$f_{\text{ADC}} = 30 \text{ MHz}$ 8 位分辨率	0.37	-	16.27	$\mu\text{s}$
		$f_{\text{ADC}} = 30 \text{ MHz}$ 6 位分辨率	0.30	-	16.20	$\mu\text{s}$
		9 到 492 (采样时间 $t_{\text{S}}$ + 逐次趋近 n 位分辨率)				$1/f_{\text{ADC}}$
$f_{\text{S}}^{(4)}$	采样率 ( $f_{\text{ADC}} = 30 \text{ MHz}$ , $t_{\text{S}} = 3$ 个 ADC 周期)	12 位分辨率 单 ADC 模式	-	-	2	Msp/s
		12 位分辨率 双 ADC 交替模式	-	-	3.75	Msp/s
		12 位分辨率 三 ADC 交错模式	-	-	6	Msp/s
$I_{\text{VREF+}}^{(4)}$	转换模式下的 ADC $V_{\text{REF}}$ 直流 电流消耗	$f_{\text{ADC}} = 30 \text{ MHz}$ 采样时间为 3 个时钟周期 12 位分辨率	-	300	500	$\mu\text{A}$
		$f_{\text{ADC}} = 30 \text{ MHz}$ 采样时间为 480 个时钟周期 12 位分辨率	-	-	16	$\mu\text{A}$
$I_{\text{VDDA}}^{(4)}$	转换模式下的 ADC $V_{\text{DDA}}$ 直流 电流消耗	$f_{\text{ADC}} = 30 \text{ MHz}$ 采样时间为 3 个时钟周期 12 位分辨率	-	1.6	1.8	mA
		$f_{\text{ADC}} = 30 \text{ MHz}$ 采样时间为 480 个时钟周期 12 位分辨率	-	-	60	$\mu\text{A}$

1. 如果向 PDR\_ON 施加低电平的复位信号, 器件在有限温度范围 (0 到 70 °C) 内工作时, 该值可降至 1.7 V。
2. 建议  $V_{\text{REF+}}$  和  $V_{\text{DDA}}$  之间的电压差保持在 1.8 V 以下。
3.  $V_{\text{DDA}} - V_{\text{REF+}} < 1.2 \text{ V}$ 。
4. 通过特性分析确定, 未经生产测试。
5.  $V_{\text{REF+}}$  内部连接至  $V_{\text{DDA}}$ ,  $V_{\text{REF-}}$  内部连接至  $V_{\text{SSA}}$ 。
6.  $R_{\text{ADC}}$  的最大值在  $V_{\text{DD}}=1.8 \text{ V}$  时给出, 最小值在  $V_{\text{DD}}=3.3 \text{ V}$  时给出。
7. 对于外部触发信号, 必须将表 67 中指定的延迟加上  $1/f_{\text{PCLK2}}$  的延时。

公式 1:  $R_{AIN}$  最大值公式

$$R_{AIN} = \frac{(k - 0.5)}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上面的公式（公式 1）用于确定使误差低于 1/4 LSB 的最大外部阻抗。其中 N = 12（表示 12 位分辨率），k 表示 ADC\_SMPR1 寄存器中定义的采样周期数。

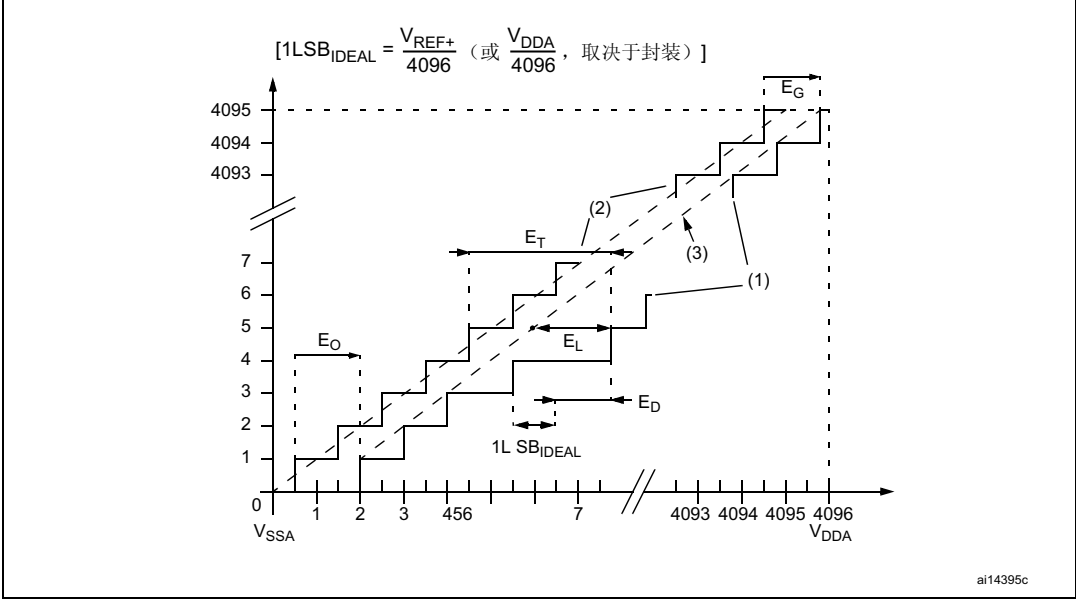
表 68.  $f_{ADC} = 30 \text{ MHz}^{(1)}$  时的 ADC 精度

符号	参数	测试条件	典型值	最大值 <sup>(2)</sup>	单位
ET	总误差	$f_{PCLK2} = 60 \text{ MHz}$ , $f_{ADC} = 30 \text{ MHz}$ , $R_{AIN} < 10 \text{ k}\Omega$ , $V_{DDA} = 1.8^{(3)} \text{ 到 } 3.6 \text{ V}$	±2	±5	LSB
EO	偏移误差		±1.5	±2.5	
EG	增益误差		±1.5	±3	
ED	微分线性误差		±1	±2	
EL	积分线性误差		±1.5	±3	

1. 在严格的  $V_{DD}$ 、频率和温度范围内可达到更佳的性能。
2. 通过特性分析确定，未经生产测试。
3. 如果向 PDR\_ON 施加低电平的复位信号，器件在有限温度范围（0 到 70 °C）内工作时，该值可降至 1.7 V。

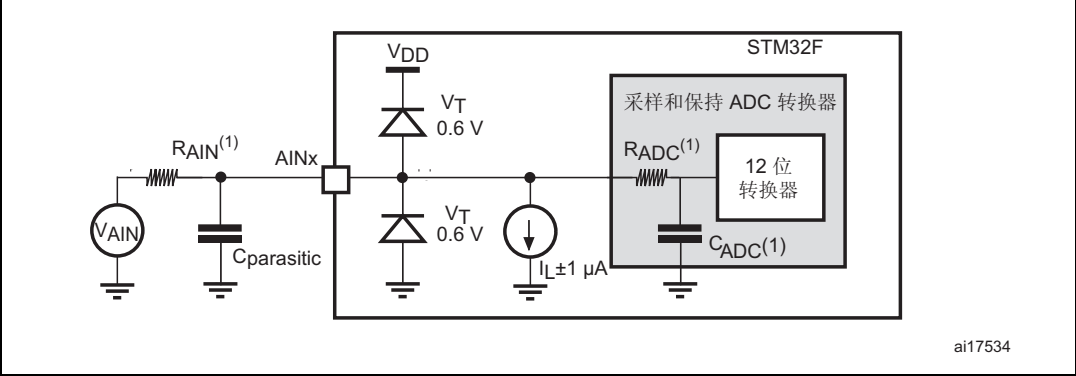
注: ADC 精度与反向注入电流: 应避免在任何模拟输入引脚上注入反向电流，这样做会显著降低其它模拟输入上正在进行的转换的精度。建议在可能注入反向电流的模拟引脚上增加一个肖特基二极管（引脚与地之间）。只要正向注入电流处于第 5.3.16 节中为  $I_{INJ(PIN)}$  和  $\Sigma I_{INJ(PIN)}$  指定的限值范围内，就不会影响 ADC 精度。

图 48. ADC 精度特性



1. 另请参见 表 68。
2. 实际传输曲线示例。
3. 理想传输曲线。
4. 端点相关线。
5.  $E_T$  = 总误差：实际转换曲线和理想转换曲线之间的最大偏差。  
 $E_O$  = 偏移误差：实际转换曲线上第一次跃迁与理想曲线中第一次跃迁之差。  
 $E_G$  = 增益误差：实际转换曲线上最后一次跃迁与理想曲线中最后一次跃迁之差。  
 $E_D$  = 微分线性误差：实际转换曲线上步距与理想步距 (1LSB) 之差。  
 $E_L$  = 积分线性误差：实际转换曲线与终点曲线间最大偏离。

图 49. 使用 ADC 的典型连接图

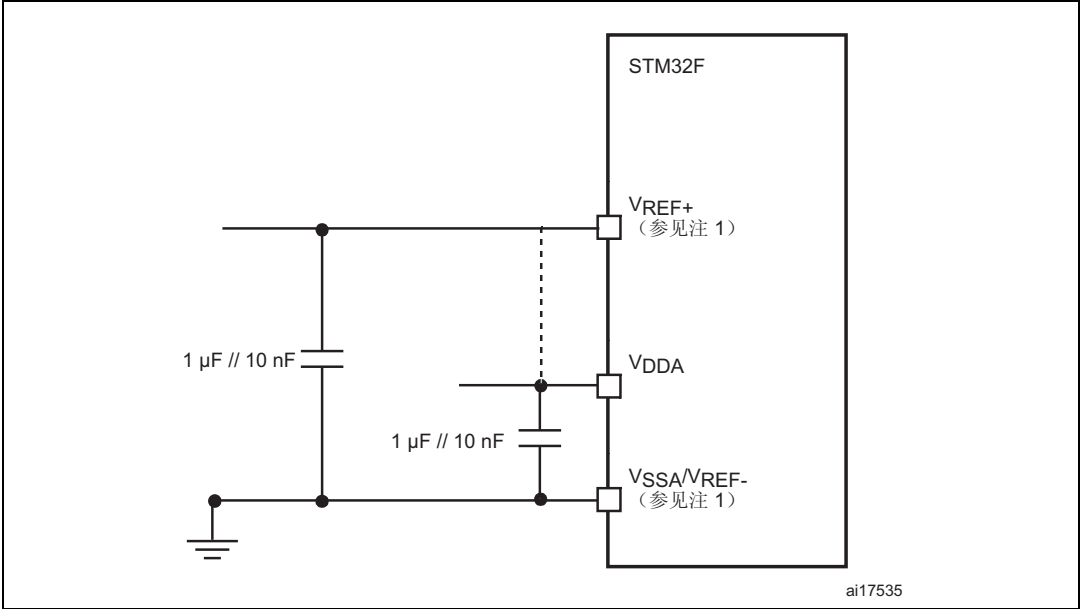


1. 有关  $R_{AIN}$ 、 $R_{ADC}$  和  $C_{ADC}$  值的信息，请参见 表 67。
2.  $C_{parasitic}$  表示 PCB 电容（取决于焊接和 PCB 布线质量）以及焊盘电容（约 5 pF）。 $C_{parasitic}$  值较高会导致转换精度降低。要解决这一问题，应减小  $f_{ADC}$ 。

# 通用 PCB 设计准则

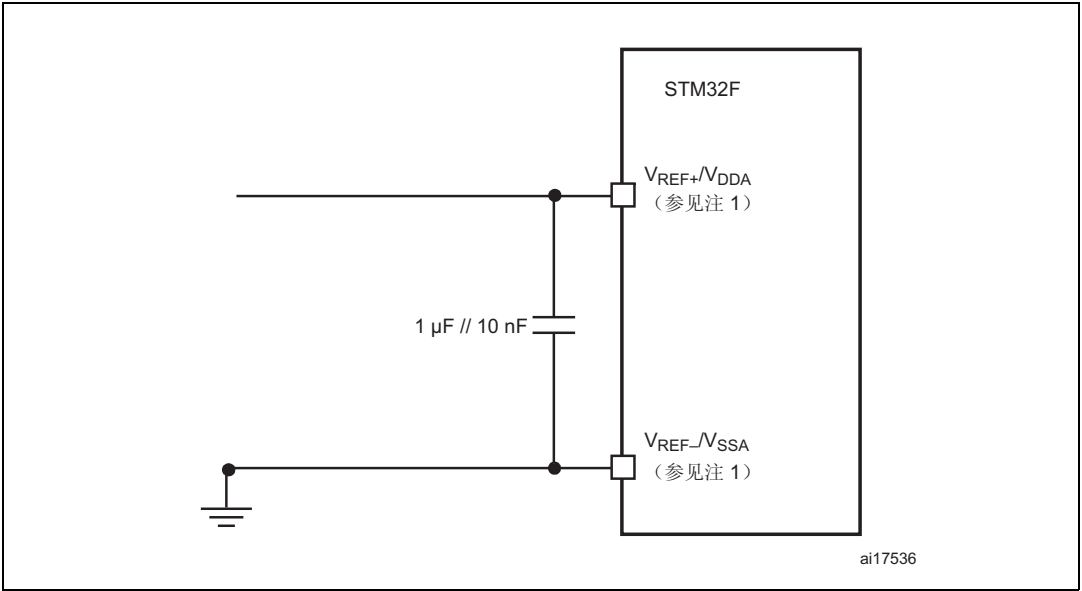
根据  $V_{REF+}$  是否和  $V_{DDA}$  相连，按照图 50 或图 51 对电源信号进行去耦。10 nF 电容应为（优质）陶瓷电容。这些电容应尽可能靠近芯片。

图 50. 工作电源和参考电源去耦（ $V_{REF+}$  未连接到  $V_{DDA}$ ）



1. UFBGA176 封装同时提供  $V_{REF+}$  和  $V_{REF-}$  输入。 $V_{REF+}$  还适用于 LQFP100、LQFP144 和 LQFP176 封装。当  $V_{REF+}$  和  $V_{REF-}$  不可用时，它们会从内部连接到  $V_{DDA}$  和  $V_{SSA}$ 。

图 51. 工作电源和参考电源去耦（ $V_{REF+}$  连接到  $V_{DDA}$ ）



1. UFBGA176 封装同时提供  $V_{REF+}$  和  $V_{REF-}$  输入。 $V_{REF+}$  还适用于 LQFP100、LQFP144 和 LQFP176 封装。当  $V_{REF+}$  和  $V_{REF-}$  不可用时，它们会从内部连接到  $V_{DDA}$  和  $V_{SSA}$ 。

### 5.3.21 温度传感器特性

表 69. 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	$V_{SENSE}$ 相对于温度的线性度	-	$\pm 1$	$\pm 2$	$^{\circ}\text{C}$
$\text{Avg\_Slope}^{(1)}$	平均斜率	-	2.5		$\text{mV}/^{\circ}\text{C}$
$V_{25}^{(1)}$	25 $^{\circ}\text{C}$ 时的电压	-	0.76		V
$t_{\text{START}}^{(2)}$	启动时间	-	6	10	$\mu\text{s}$
$T_{\text{S\_temp}}^{(3)(2)}$	读取温度时的 ADC 采样时间（精度为 1 $^{\circ}\text{C}$ ）	10	-	-	$\mu\text{s}$

1. 通过特性分析确定，未经生产测试。
2. 由设计保证，未经生产测试。
3. 最短采样时间可由应用程序通过多次迭代确定。

### 5.3.22 $V_{\text{BAT}}$ 监控特性

表 70.  $V_{\text{BAT}}$  监控特性

符号	参数	最小值	典型值	最大值	单位
R	$V_{\text{BAT}}$ 的电阻桥	-	50	-	$\text{K}\Omega$
Q	$V_{\text{BAT}}$ 的测量比率	-	2	-	
$\text{Er}^{(1)}$	Q 上的误差	-1	-	+1	%
$T_{\text{S\_vbat}}^{(2)(2)}$	读取 $V_{\text{BAT}}$ 时的 ADC 采样时间 精度为 1 mV	5	-	-	$\mu\text{s}$

1. 由设计保证，未经生产测试。
2. 最短采样时间可由应用程序通过多次迭代确定。

### 5.3.23 内置参考电压

表 71 中给出的参数是在表 13 中汇总的环境温度和  $V_{\text{DD}}$  电源电压条件下测试得出的。

表 71. 内置内部参考电压

符号	参数	条件	最小值	典型值	最大值	单位
$V_{\text{REFINT}}$	内部参考电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$	1.18	1.21	1.24	V
$T_{\text{S\_vrefint}}^{(1)}$	读取内部参考电压时的 ADC 采样时间		10	-	-	$\mu\text{s}$
$V_{\text{RERINT\_S}}^{(2)}$	整个温度范围内的内部参考电压漂移	$V_{\text{DD}} = 3\text{ V}$	-	3	5	mV
$T_{\text{Coeff}}^{(2)}$	温度系数		-	30	50	$\text{ppm}/^{\circ}\text{C}$
$t_{\text{START}}^{(2)}$	启动时间		-	6	10	$\mu\text{s}$

1. 最短采样时间可由应用程序通过多次迭代确定。
2. 由设计保证，未经生产测试。

## 5.3.24 DAC 电气特性

表 72. DAC 特性

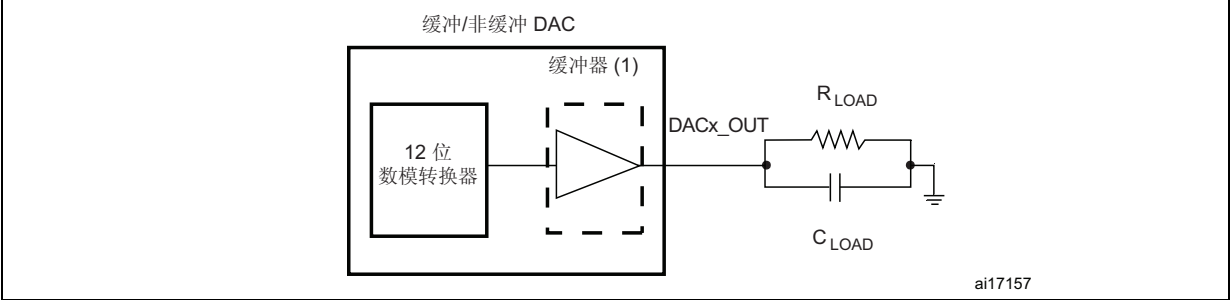
符号	参数	最小值	典型值	最大值	单位	注释
$V_{DDA}$	模拟电源电压	1.8 <sup>(1)</sup>	-	3.6	V	
$V_{REF+}$	参考电源电压	1.8 <sup>(1)</sup>	-	3.6	V	$V_{REF+} \leq V_{DDA}$
$V_{SSA}$	接地	0	-	0	V	
$R_{LOAD}^{(2)}$	缓冲器开启时的阻性负载	5	-	-	k $\Omega$	
$R_O^{(2)}$	缓冲器关闭时的阻抗输出	-	-	15	k $\Omega$	缓冲器关闭时, 要使精度为 1%, DAC_OUT 与 $V_{SS}$ 之间的最小阻性负载为 1.5 M $\Omega$
$C_{LOAD}^{(2)}$	容性负载	-	-	50	pF	DAC_OUT 引脚上的最大容性负载 (缓冲器开启时)。
$DAC\_OUT_{min}^{(2)}$	缓冲器开启时的 DAC_OUT 电压下限	0.2	-	-	V	它给出了 DAC 的最大输出幅度。对应于 12 位输入代码 (0x0E0) 到 (0xF1C) ( $V_{REF+} = 3.6$ V 时) 以及 (0x1C7) 到 (0xE38) ( $V_{REF+} = 1.8$ V 时)
$DAC\_OUT_{max}^{(2)}$	缓冲器开启时的 DAC_OUT 电压上限	-	-	$V_{DDA} - 0.2$	V	
$DAC\_OUT_{min}^{(2)}$	缓冲器关闭时的 DAC_OUT 电压下限	-	0.5	-	mV	它给出了 DAC 的最大输出幅度。
$DAC\_OUT_{max}^{(2)}$	缓冲器关闭时的 DAC_OUT 电压上限	-	-	$V_{REF+} - 1LSB$	V	
$I_{VREF+}^{(3)}$	静止模式 (待机模式) 下的 DAC DC $V_{REF}$ 电流消耗	-	170	240	$\mu A$	无负载, 在输入上的直流消耗方面, 对应于 $V_{REF+} = 3.6$ V 时的最差代码 (0x800)
		-	50	75		无负载, 在输入上的直流消耗方面, 对应于 $V_{REF+} = 3.6$ V 时的最差代码 (0xF1C)
$I_{DDA}^{(3)}$	静止模式 (待机模式) 下的 DAC DC $V_{DDA}$ 电流消耗	-	280	380	$\mu A$	无负载, 输入端采用中间代码 (0x800)
		-	475	625	$\mu A$	无负载, 在输入上的直流消耗方面, 对应于 $V_{REF+} = 3.6$ V 时的最差代码 (0xF1C)
$DNL^{(3)}$	微分非线性误差 (两个连续代码之间的偏差 -1LSB)	-	-	$\pm 0.5$	LSB	针对 10 位配置中的 DAC 提供。
		-	-	$\pm 2$	LSB	针对 12 位配置中的 DAC 提供。
$INL^{(3)}$	积分非线性误差 (代码 i 处测得的值与代码 0 及最后一个代码 1023 之间连线上代码 i 处的值之间的差)	-	-	$\pm 1$	LSB	针对 10 位配置中的 DAC 提供。
		-	-	$\pm 4$	LSB	针对 12 位配置中的 DAC 提供。

表 72. DAC 特性 (续)

符号	参数	最小值	典型值	最大值	单位	注释
偏移 <sup>(3)</sup>	偏移误差 (代码 (0x800) 处测得值与理想值 $V_{REF+}/2$ 之间的差)	-	-	$\pm 10$	mV	针对 12 位配置中的 DAC 提供
		-	-	$\pm 3$	LSB	针对 10 位配置中的 DAC 提供, $V_{REF+} = 3.6\text{ V}$
		-	-	$\pm 12$	LSB	针对 12 位配置中的 DAC 提供, $V_{REF+} = 3.6\text{ V}$
增益误差 <sup>(3)</sup>	增益误差	-	-	$\pm 0.5$	%	针对 12 位配置中的 DAC 提供
$t_{SETTLING}$ <sup>(3)</sup>	建立时间 (满刻度: 适用于当 DAC_OUT 达到最终值 $\pm 4\text{LSB}$ 时, 最低输入代码与最高输入代码之间的 10 位输入代码转换)	-	3	6	$\mu\text{s}$	$C_{LOAD} \leq 50\text{ pF}$ , $R_{LOAD} \geq 5\text{ k}\Omega$
THD <sup>(3)</sup>	总谐波失真 缓冲器开启	-	-	-	dB	$C_{LOAD} \leq 50\text{ pF}$ , $R_{LOAD} \geq 5\text{ k}\Omega$
更新率 <sup>(2)</sup>	当输入代码略有变化 (从代码 $i$ 到 $i+1\text{LSB}$ ) 时, 确保 DAC_OUT 变化正确的最大频率	-	-	1	MS/s	$C_{LOAD} \leq 50\text{ pF}$ , $R_{LOAD} \geq 5\text{ k}\Omega$
$t_{WAKEUP}$ <sup>(3)</sup>	从关闭状态唤醒的时间 (在 DAC 控制寄存器中将 ENx 位置 1)	-	6.5	10	$\mu\text{s}$	$C_{LOAD} \leq 50\text{ pF}$ , $R_{LOAD} \geq 5\text{ k}\Omega$ 介于可能的最低值和最高值之间的输入代码。
PSRR+ <sup>(2)</sup>	电源抑制比 (相对于 $V_{DDA}$ ) (静态直流测量)	-	-67	-40	dB	无 $R_{LOAD}$ , $C_{LOAD} = 50\text{ pF}$

1. 如果向 PDR\_ON 施加低电平的复位信号, 器件在有限温度范围 (0 到 70 °C) 内工作时, 该值可降至 1.7 V。
2. 由设计保证, 未经生产测试。
3. 由特性分析结果保证, 未经生产测试。

图 52. 12 位缓冲/非缓冲 DAC



1. DAC 集成了输出缓冲器, 可用来降低输出阻抗并在不使用外部运算放大器的情况下直接驱动外部负载。如果将 DAC\_CR 寄存器的 BOFFx 位置 1, 可将该缓冲器旁路。



### 5.3.25 FSMC 特性

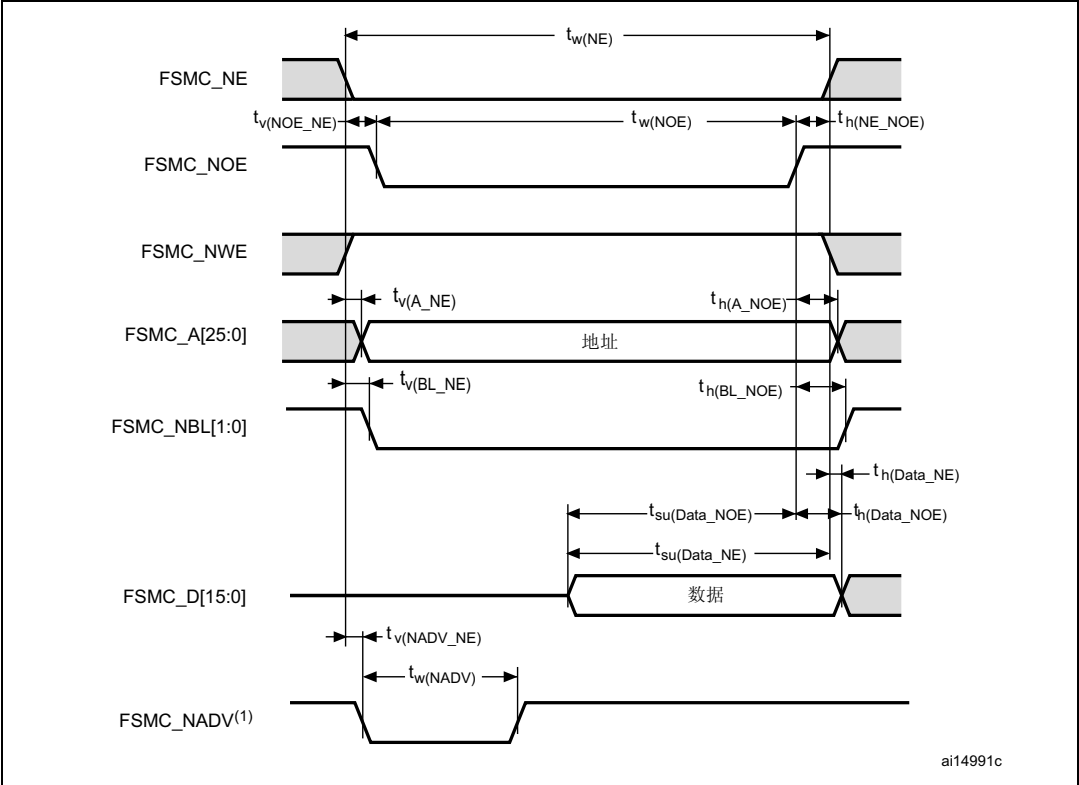
#### 异步波形和时序

图 53 到图 56 所示为异步波形，表 73 到表 76 则给出了相应的时序。这些表格中的结果在如下 FSMC 配置条件下获得：

- AddressSetupTime = 1
- AddressHoldTime = 0x1
- DataSetupTime = 0x1
- BusTurnAroundDuration = 0x0

在所有时序表中， $T_{HCLK}$  均为 HCLK 时钟周期。

图 53. 异步非复用 SRAM/PSRAM/NOR 读操作波形



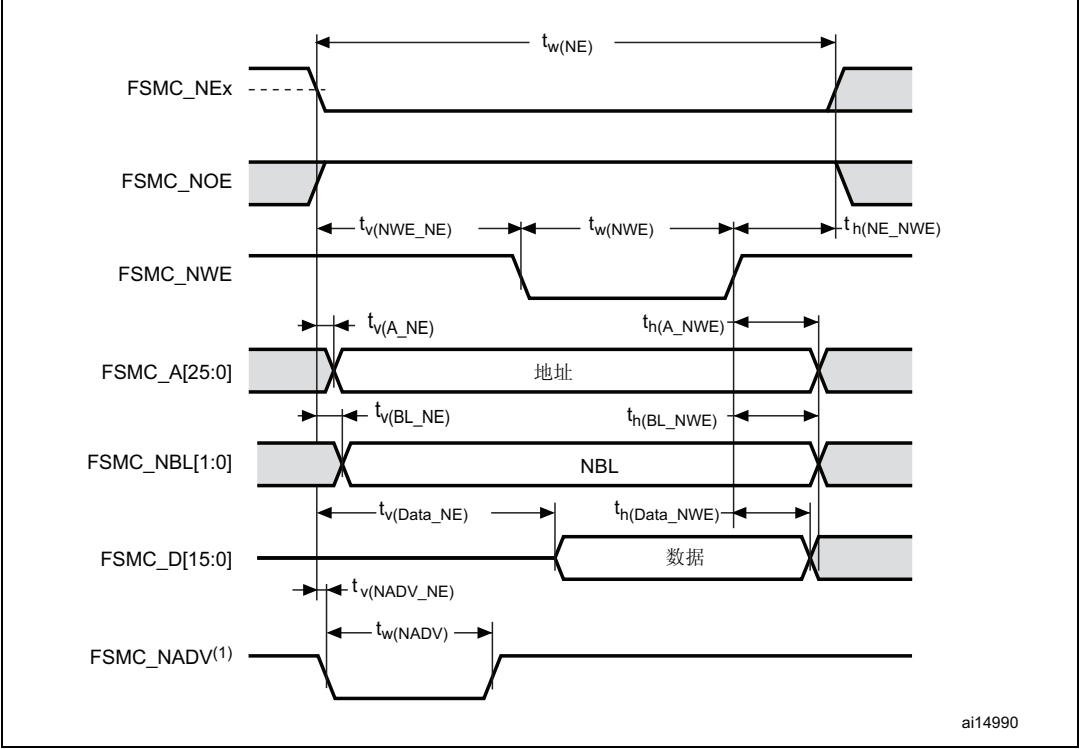
1. 仅限模式 2/B、C 和 D。在模式 1 中不使用 FSMC\_NADV。

表 73. 异步非复用 SRAM/PSRAM/NOR 读操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	FSMC_NE 为低电平的时间	$2T_{HCLK} - 0.5$	$2T_{HCLK} + 1$	ns
$t_{v(NOE\_NE)}$	FSMC_NEx 变为低电平到 FSMC_NOE 变为低电平的间隔时间	0.5	3	ns
$t_{w(NOE)}$	FSMC_NOE 为低电平的时间	$2T_{HCLK} - 2$	$2T_{HCLK} + 2$	ns
$t_{h(NE\_NOE)}$	FSMC_NOE 变为高电平到 FSMC_NE 变为高电平的保持时间	0	-	ns
$t_{v(A\_NE)}$	FSMC_NEx 变为低电平到 FSMC_A 有效的间隔时间	-	4.5	ns
$t_{h(A\_NOE)}$	FSMC_NOE 变为高电平后的地址保持时间	4	-	ns
$t_{v(BL\_NE)}$	FSMC_NEx 变为低电平到 FSMC_BL 有效的间隔时间	-	1.5	ns
$t_{h(BL\_NOE)}$	FSMC_NOE 变为高电平后 FSMC_BL 的保持时间	0	-	ns
$t_{su(Data\_NE)}$	FSMC_NEx 变为高电平前的数据建立时间	$T_{HCLK} + 4$	-	ns
$t_{su(Data\_NOE)}$	FSMC_NOEx 变为高电平前的数据建立时间	$T_{HCLK} + 4$	-	ns
$t_{h(Data\_NOE)}$	FSMC_NOE 变为高电平后的数据保持时间	0	-	ns
$t_{h(Data\_NE)}$	FSMC_NEx 变为高电平后的数据保持时间	0	-	ns
$t_{v(NADV\_NE)}$	FSMC_NEx 变为低电平到 FSMC_NADV 变为低电平的间隔时间	-	2	ns
$t_{w(NADV)}$	FSMC_NADV 为低电平的时间	-	$T_{HCLK}$	ns

1.  $C_L = 30 \text{ pF}$ 。
2. 通过特性分析确定，未经生产测试。

图 54. 异步非复用 SRAM/PSRAM/NOR 写操作波形



1. 仅限模式 2/B、C 和 D。在模式 1 中不使用 FSMC\_NADV。

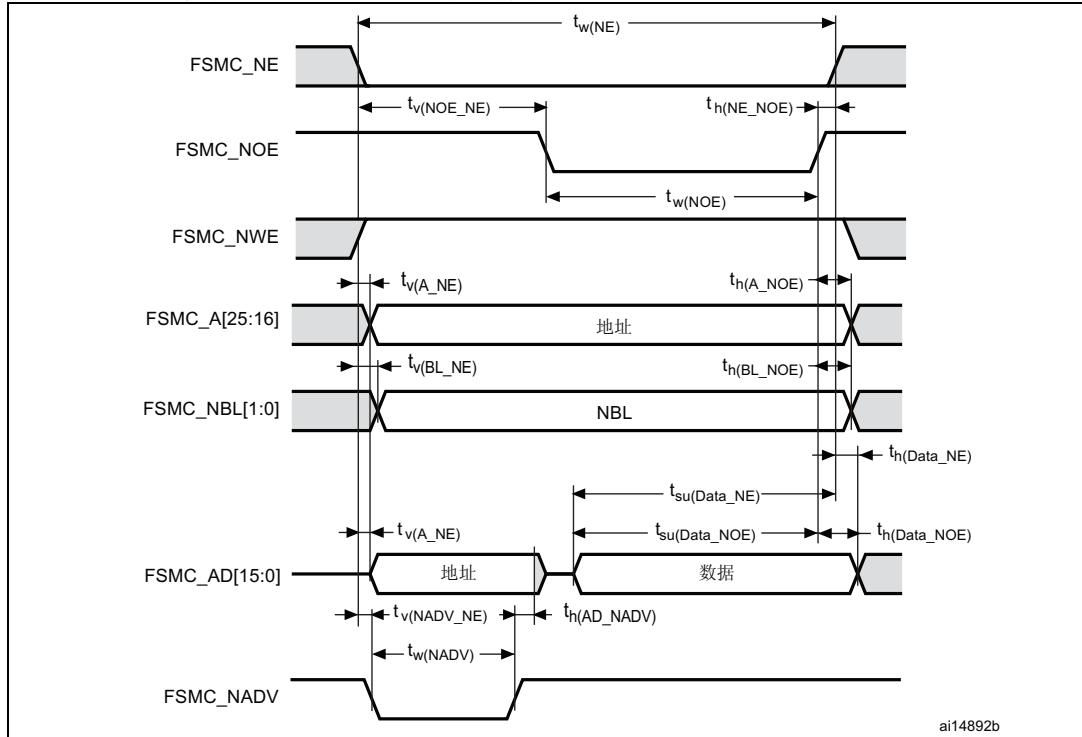
表 74. 异步非复用 SRAM/PSRAM/NOR 写操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	FSMC_NEx 为低电平的时间	$3T_{HCLK}$	$3T_{HCLK} + 4$	ns
$t_{v(NWE\_NE)}$	FSMC_NEx 变为低电平到 FSMC_NWE 变为低电平的间隔时间	$T_{HCLK} - 0.5$	$T_{HCLK} + 0.5$	ns
$t_{w(NWE)}$	FSMC_NWE 为低电平的时间	$T_{HCLK} - 1$	$T_{HCLK} + 2$	ns
$t_{h(NE\_NWE)}$	FSMC_NWE 变为高电平到 FSMC_NEx 变为高电平的保持时间	$T_{HCLK} - 1$	-	ns
$t_{v(A\_NE)}$	FSMC_NEx 变为低电平到 FSMC_A 有效的间隔时间	-	0	ns
$t_{h(A\_NWE)}$	FSMC_NWE 变为高电平后的地址保持时间	$T_{HCLK} - 2$	-	ns
$t_{v(BL\_NE)}$	FSMC_NEx 变为低电平到 FSMC_NBL 有效的间隔时间	-	1.5	ns
$t_{h(BL\_NWE)}$	FSMC_NWE 变为高电平后 FSMC_NBL 的保持时间	$T_{HCLK} - 1$	-	ns
$t_{v(Data\_NE)}$	FSMC_NEx 变为低电平到数据有效的间隔时间	-	$T_{HCLK} + 3$	ns
$t_{h(Data\_NWE)}$	FSMC_NWE 变为高电平后的数据保持时间	$T_{HCLK} - 1$	-	ns
$t_{v(NADV\_NE)}$	FSMC_NEx 变为低电平到 FSMC_NADV 变为低电平的间隔时间	-	2	ns
$t_{w(NADV)}$	FSMC_NADV 为低电平的时间	-	$T_{HCLK} + 0.5$	ns

1.  $C_L = 30 \text{ pF}$ 。

2. 通过特性分析确定，未经生产测试。

图 55. 异步复用 PSRAM/NOR 读操作波形

表 75. 异步复用 PSRAM/NOR 读操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	FSMC_NE 为低电平的时间	$3T_{HCLK}-1$	$3T_{HCLK}+1$	ns
$t_{v(NOE\_NE)}$	FSMC_NEx 变为低电平到 FSMC_NOE 变为低电平的间隔时间	$2T_{HCLK}-0.5$	$2T_{HCLK}+0.5$	ns
$t_{w(NOE)}$	FSMC_NOE 为低电平的时间	$T_{HCLK}-1$	$T_{HCLK}+1$	ns
$t_{h(NE\_NOE)}$	FSMC_NOE 变为高电平到 FSMC_NE 变为高电平的保持时间	0	-	ns
$t_{v(A\_NE)}$	FSMC_NEx 变为低电平到 FSMC_A 有效的间隔时间	-	3	ns
$t_{v(NADV\_NE)}$	FSMC_NEx 变为低电平到 FSMC_NADV 变为低电平的间隔时间	1	2	ns
$t_{w(NADV)}$	FSMC_NADV 为低电平的时间	$T_{HCLK}-2$	$T_{HCLK}+1$	ns
$t_{h(AD\_NADV)}$	FSMC_NADV 变为高电平后 FSMC_AD (地址) 有效的保持时间	$T_{HCLK}$	-	ns
$t_{h(A\_NOE)}$	FSMC_NOE 变为高电平后的地址保持时间	$T_{HCLK}-1$	-	ns
$t_{h(BL\_NOE)}$	FSMC_NOE 变为高电平后 FSMC_BL 的保持时间	0	-	ns
$t_{v(BL\_NE)}$	FSMC_NEx 变为低电平到 FSMC_BL 有效的间隔时间	-	2	ns
$t_{su(Data\_NE)}$	FSMC_NEx 变为高电平前的数据建立时间	$T_{HCLK}+4$	-	ns
$t_{su(Data\_NOE)}$	FSMC_NOE 变为高电平前的数据建立时间	$T_{HCLK}+4$	-	ns
$t_{h(Data\_NE)}$	FSMC_NEx 变为高电平后的数据保持时间	0	-	ns
$t_{h(Data\_NOE)}$	FSMC_NOE 变为高电平后的数据保持时间	0	-	ns

1.  $C_L = 30 \text{ pF}$ 。

2. 通过特性分析确定，未经生产测试。

图 56. 异步复用 PSRAM/NOR 写操作波形

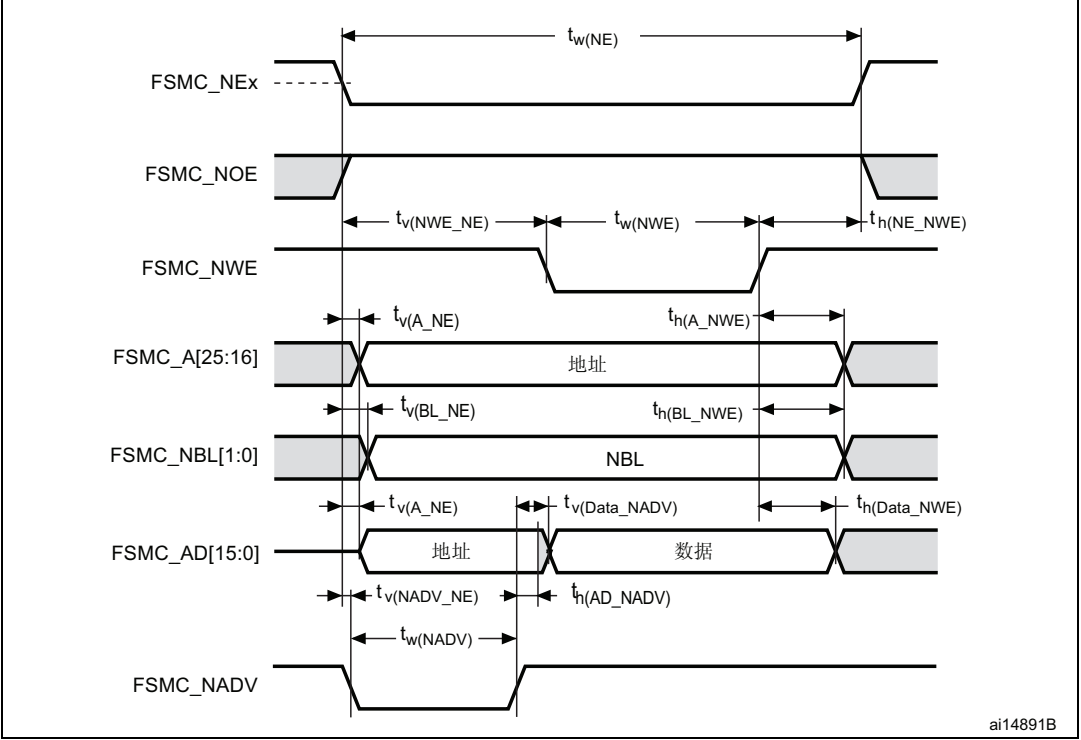


表 76. 异步复用 PSRAM/NOR 写操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	FSMC_NEx 为低电平的时间	$4T_{HCLK}-0.5$	$4T_{HCLK}+3$	ns
$t_{v(NWE\_NE)}$	FSMC_NEx 变为低电平到 FSMC_NWE 变为低电平的间隔时间	$T_{HCLK}-0.5$	$T_{HCLK}-0.5$	ns
$t_{w(NWE)}$	FSMC_NWE 为低电平的时间	$2T_{HCLK}-0.5$	$2T_{HCLK}+3$	ns
$t_{h(NE\_NWE)}$	FSMC_NWE 变为高电平到 FSMC_NEx 变为高电平的保持时间	$T_{HCLK}$	-	ns
$t_{v(A\_NE)}$	FSMC_NEx 变为低电平到 FSMC_A 有效的间隔时间	-	0	ns
$t_{v(NADV\_NE)}$	FSMC_NEx 变为低电平到 FSMC_NADV 变为低电平的间隔时间	1	2	ns
$t_{w(NADV)}$	FSMC_NADV 为低电平的时间	$T_{HCLK}-2$	$T_{HCLK}+1$	ns
$t_{h(AD\_NADV)}$	FSMC_NADV 变为高电平后 FSMC_AD (地址) 有效的保持时间	$T_{HCLK}-2$	-	ns
$t_{h(A\_NWE)}$	FSMC_NWE 变为高电平后的地址保持时间	$T_{HCLK}$	-	ns
$t_{h(BL\_NWE)}$	FSMC_NWE 变为高电平后 FSMC_BL 的保持时间	$T_{HCLK}-2$	-	ns
$t_{v(BL\_NE)}$	FSMC_NEx 变为低电平到 FSMC_BL 有效的间隔时间	-	1.5	ns
$t_{v(Data\_NADV)}$	FSMC_NADV 变为高电平到数据有效的间隔时间	-	$T_{HCLK}-0.5$	ns
$t_{h(Data\_NWE)}$	FSMC_NWE 变为高电平后的数据保持时间	$T_{HCLK}$	-	ns

1.  $C_L = 30 \text{ pF}$ 。
2. 通过特性分析确定，未经生产测试。

同步波形和时序

图 57 到图 60 所示为同步波形，表 78 到表 80 则给出了相应的时序。这些表格中的结果在如下 FSMC 配置条件下获得：

- BurstAccessMode = FSMC\_BurstAccessMode\_Enable;
- MemoryType = FSMC\_MemoryType\_CRAM;
- WriteBurst = FSMC\_WriteBurst\_Enable;
- CLKDivision = 1；（不支持 0，请参见 STM32F40xxx/41xxx 参考手册）
- 使用 NOR Flash 时，DataLatency = 1；使用 PSRAM 时，DataLatency = 0

在所有时序表中， $T_{HCLK}$  均为 HCLK 时钟周期（最大 FSMC\_CLK = 60 MHz）。

图 57. 同步复用 NOR/PSRAM 读操作时序

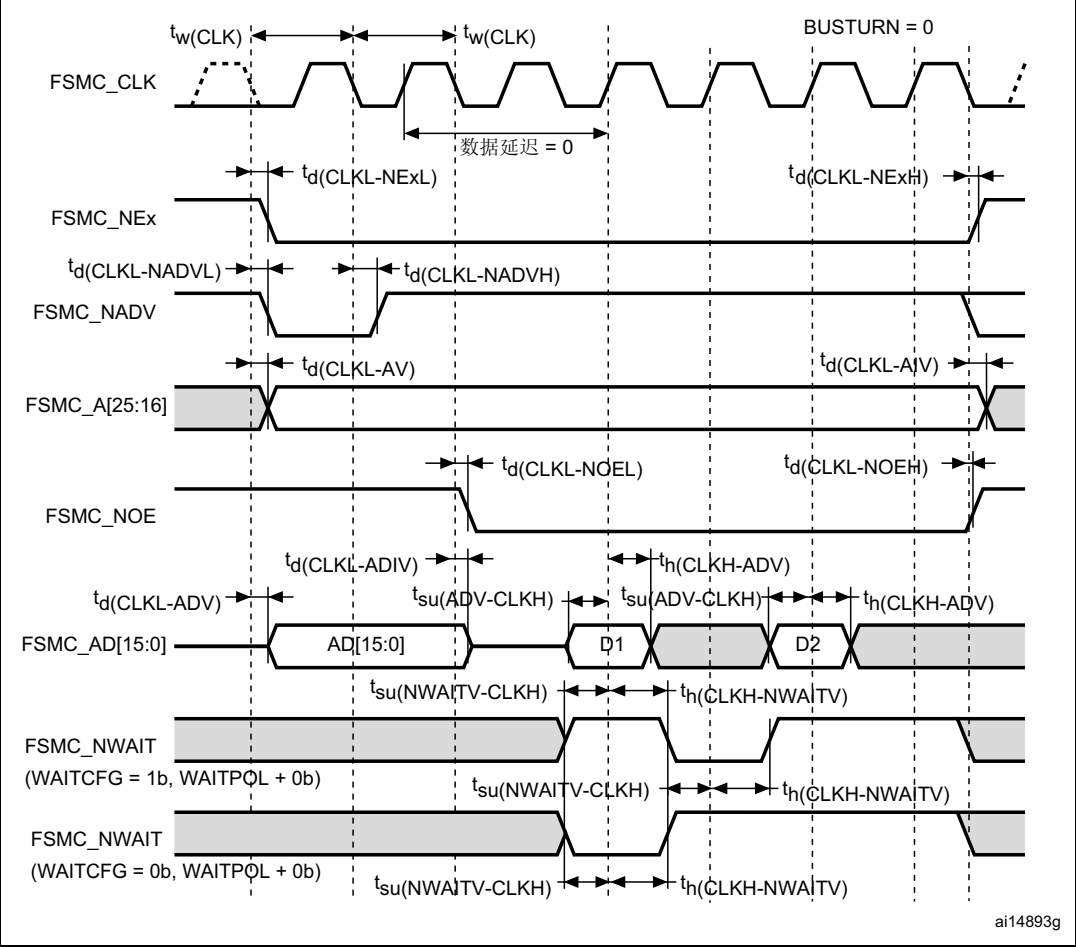


表 77. 同步复用 NOR/PSRAM 读操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{w(CLK)}$	FSMC_CLK 周期	$2T_{HCLK}$	-	ns
$t_{d(CLKL-NExL)}$	FSMC_CLK 变为低电平到 FSMC_NEx 变为低电平的间隔时间 ( $x=0..2$ )	-	0	ns
$t_{d(CLKL-NExH)}$	FSMC_CLK 变为低电平到 FSMC_NEx 变为高电平的间隔时间 ( $x=0..2$ )	2	-	ns
$t_{d(CLKL-NADV_L)}$	FSMC_CLK 变为低电平到 FSMC_NADV 变为低电平的间隔时间	-	2	ns
$t_{d(CLKL-NADV_H)}$	FSMC_CLK 变为低电平到 FSMC_NADV 变为高电平的间隔时间	2	-	ns
$t_{d(CLKL-AV)}$	FSMC_CLK 变为低电平到 FSMC_Ax 有效的间隔时间 ( $x=16..25$ )	-	0	ns
$t_{d(CLKL-AIV)}$	FSMC_CLK 变为低电平到 FSMC_Ax 无效的间隔时间 ( $x=16..25$ )	0	-	ns
$t_{d(CLKL-NOEL)}$	FSMC_CLK 变为低电平到 FSMC_NOE 变为低电平的间隔时间	-	0	ns
$t_{d(CLKL-NOEH)}$	FSMC_CLK 变为低电平到 FSMC_NOE 变为高电平的间隔时间	2	-	ns
$t_{d(CLKL-ADV)}$	FSMC_CLK 变为低电平到 FSMC_AD[15:0] 有效的间隔时间	-	4.5	ns
$t_{d(CLKL-ADIV)}$	FSMC_CLK 变为低电平到 FSMC_AD[15:0] 无效的间隔时间	0	-	ns
$t_{su(ADV-CLKH)}$	FSMC_CLK 变为高电平前 FSMC_A/D[15:0] 数据有效的间隔时间	6	-	ns
$t_h(CLKH-ADV)$	FSMC_CLK 变为高电平后 FSMC_A/D[15:0] 数据有效的间隔时间	0	-	ns

1.  $C_L = 30 \text{ pF}$ 。

2. 通过特性分析确定，未经生产测试。

图 58. 同步复用 PSRAM 写操作时序

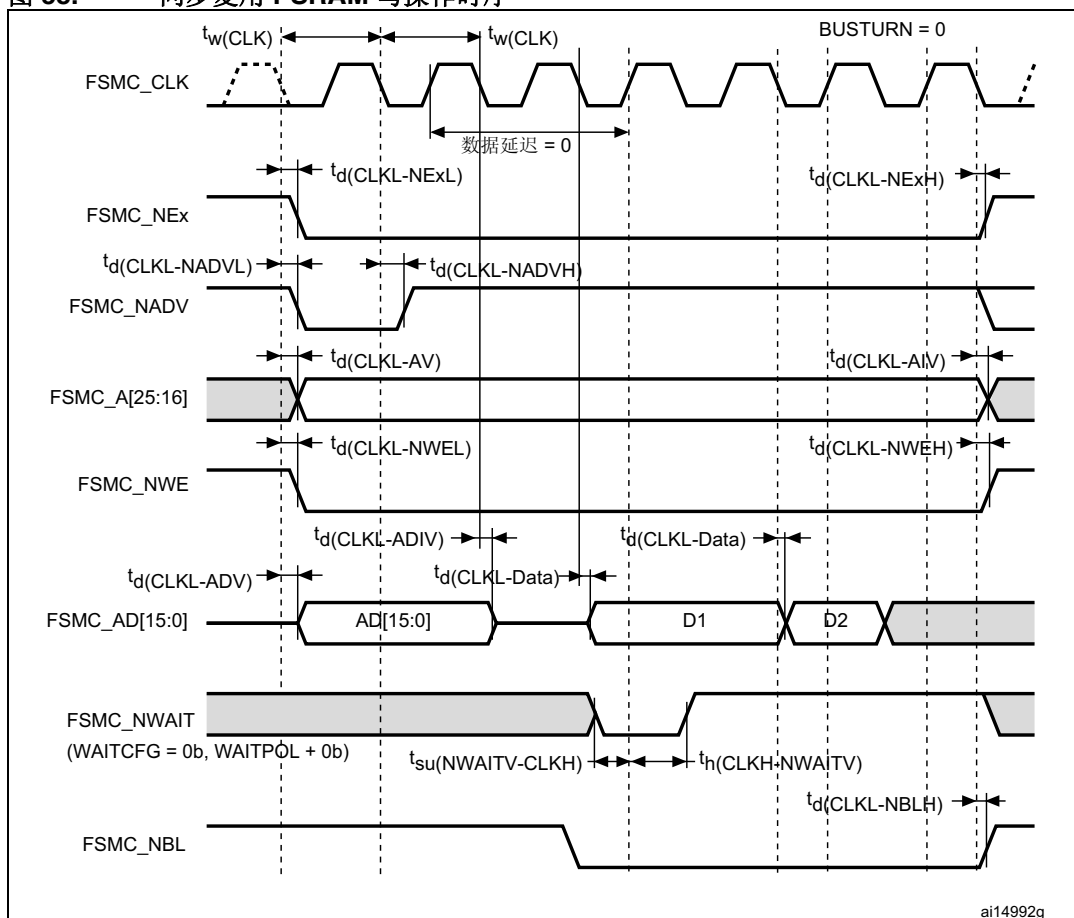




表 78. 同步复用 PSRAM 写操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{w(CLK)}$	FSMC_CLK 周期	$2T_{HCLK}$	-	ns
$t_{d(CLKL-NExL)}$	FSMC_CLK 变为低电平到 FSMC_NEx 变为低电平的间隔时间 ( $x=0..2$ )	-	1	ns
$t_{d(CLKL-NExH)}$	FSMC_CLK 变为低电平到 FSMC_NEx 变为高电平的间隔时间 ( $x=0..2$ )	1	-	ns
$t_{d(CLKL-NADV_L)}$	FSMC_CLK 变为低电平到 FSMC_NADV 变为低电平的间隔时间	-	0	ns
$t_{d(CLKL-NADV_H)}$	FSMC_CLK 变为低电平到 FSMC_NADV 变为高电平的间隔时间	0	-	ns
$t_{d(CLKL-AV)}$	FSMC_CLK 变为低电平到 FSMC_Ax 有效的间隔时间 ( $x=16..25$ )	-	0	ns
$t_{d(CLKL-AIV)}$	FSMC_CLK 变为低电平到 FSMC_Ax 无效的间隔时间 ( $x=16..25$ )	8	-	ns
$t_{d(CLKL-NWEL)}$	FSMC_CLK 变为低电平到 FSMC_NWE 变为低电平的间隔时间	-	0.5	ns
$t_{d(CLKL-NWEH)}$	FSMC_CLK 变为低电平到 FSMC_NWE 变为高电平的间隔时间	0	-	ns
$t_{d(CLKL-ADIV)}$	FSMC_CLK 变为低电平到 FSMC_AD[15:0] 无效的间隔时间	0	-	ns
$t_{d(CLKL-DATA)}$	FSMC_CLK 变为低电平后 FSMC_A/D[15:0] 数据有效的间隔时间	-	3	ns
$t_{d(CLKL-NBLH)}$	FSMC_CLK 变为低电平到 FSMC_NBL 变为高电平的间隔时间	0	-	ns

1.  $C_L = 30$  pF。
2. 通过特性分析确定，未经生产测试。

图 59. 同步非复用 NOR/PSRAM 读操作时序

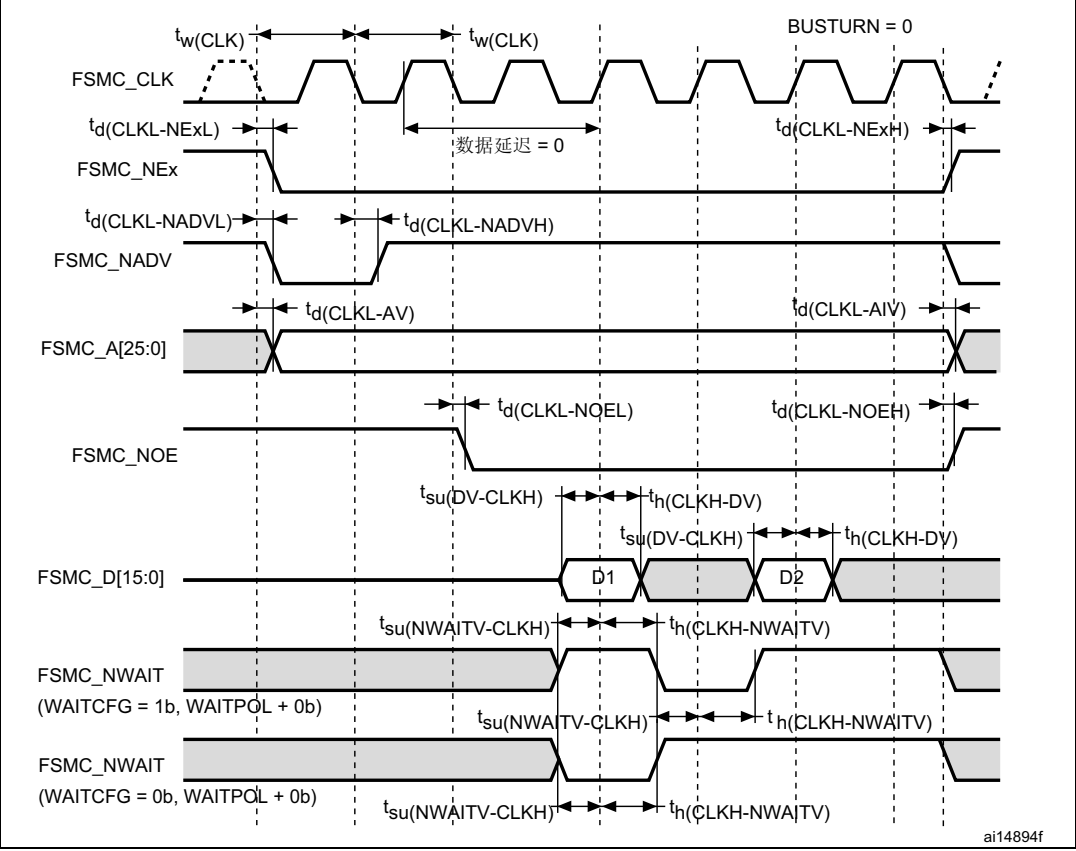


表 79. 同步非复用 NOR/PSRAM 读操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{w(CLK)}$	FSMC_CLK 周期	$2T_{HCLK} - 0.5$	-	ns
$t_{d(CLK-L-NExL)}$	FSMC_CLK 变为低电平到 FSMC_NEx 变为低电平的间隔时间 ( $x=0..2$ )	-	0.5	ns
$t_{d(CLK-L-NExH)}$	FSMC_CLK 变为低电平到 FSMC_NEx 变为高电平的间隔时间 ( $x=0..2$ )	0	-	ns
$t_{d(CLK-L-NADV)}$	FSMC_CLK 变为低电平到 FSMC_NADV 变为低电平的间隔时间	-	2	ns
$t_{d(CLK-L-NADVH)}$	FSMC_CLK 变为低电平到 FSMC_NADV 变为高电平的间隔时间	3	-	ns
$t_{d(CLK-L-AV)}$	FSMC_CLK 变为低电平到 FSMC_Ax 有效的间隔时间 ( $x=16..25$ )	-	0	ns
$t_{d(CLK-L-AIV)}$	FSMC_CLK 变为低电平到 FSMC_Ax 无效的间隔时间 ( $x=16..25$ )	2	-	ns
$t_{d(CLK-L-NOEL)}$	FSMC_CLK 变为低电平到 FSMC_NOE 变为低电平的间隔时间	-	0.5	ns
$t_{d(CLK-L-NOEH)}$	FSMC_CLK 变为低电平到 FSMC_NOE 变为高电平的间隔时间	1.5	-	ns
$t_{su(DV-CLKH)}$	FSMC_CLK 变为高电平前 FSMC_D[15:0] 数据有效的间隔时间	6	-	ns
$t_h(CLKH-DV)$	FSMC_CLK 变为高电平后 FSMC_D[15:0] 数据有效的间隔时间	3	-	ns

1.  $C_L = 30$  pF。

2. 通过特性分析确定，未经生产测试。

图 60. 同步非复用 PSRAM 写操作时序

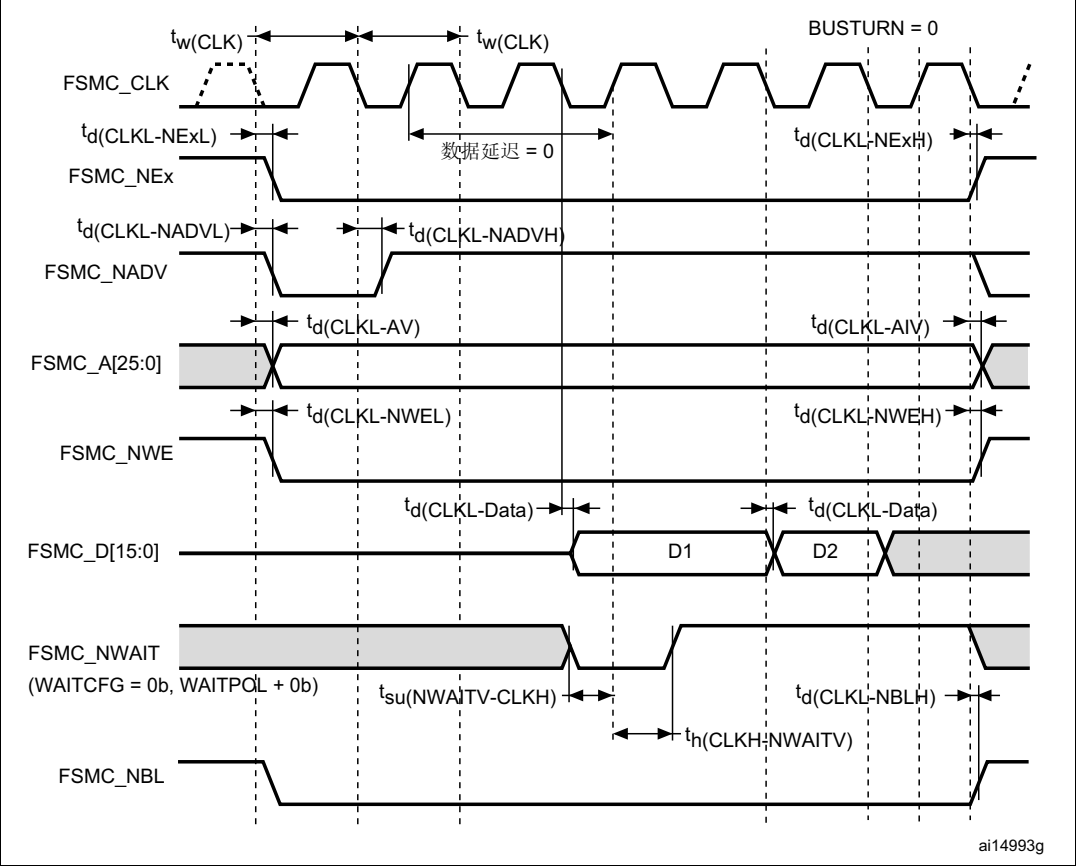


表 80. 同步非复用 PSRAM 写操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{w(CLK)}$	FSMC_CLK 周期	$2T_{HCLK}$	-	ns
$t_d(CLKL-NExL)$	FSMC_CLK 变为低电平到 FSMC_NEx 变为低电平的间隔时间 ( $x=0..2$ )	-	1	ns
$t_d(CLKL-NExH)$	FSMC_CLK 变为低电平到 FSMC_NEx 变为高电平的间隔时间 ( $x=0..2$ )	1	-	ns
$t_d(CLKL-NADV_L)$	FSMC_CLK 变为低电平到 FSMC_NADV 变为低电平的间隔时间	-	7	ns
$t_d(CLKL-NADV_H)$	FSMC_CLK 变为低电平到 FSMC_NADV 变为高电平的间隔时间	6	-	ns
$t_d(CLKL-AV)$	FSMC_CLK 变为低电平到 FSMC_Ax 有效的间隔时间 ( $x=16..25$ )	-	0	ns
$t_d(CLKL-AIV)$	FSMC_CLK 变为低电平到 FSMC_Ax 无效的间隔时间 ( $x=16..25$ )	6	-	ns
$t_d(CLKL-NWE_L)$	FSMC_CLK 变为低电平到 FSMC_NWE 变为低电平的间隔时间	-	1	ns
$t_d(CLKL-NWE_H)$	FSMC_CLK 变为低电平到 FSMC_NWE 变为高电平的间隔时间	2	-	ns
$t_d(CLKL-Data)$	FSMC_CLK 变为低电平后 FSMC_D[15:0] 数据有效的间隔时间	-	3	ns
$t_d(CLKL-NBLH)$	FSMC_CLK 变为低电平到 FSMC_NBL 变为高电平的间隔时间	3	-	ns

1.  $C_L = 30\text{ pF}$ 。

2. 通过特性分析确定，未经生产测试。

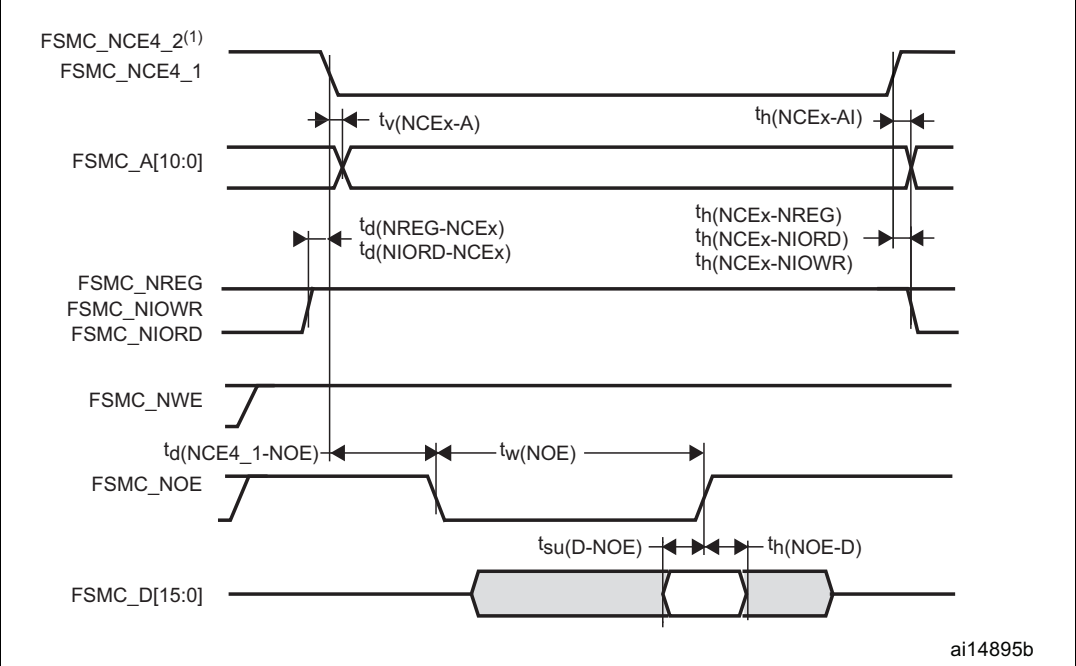
## PC 卡/CF 卡控制器的波形和时序

图 61 到图 66 所示为同步波形，表 81 和表 82 则给出了相应的时序。该表格中的结果在如下 FSMC 配置条件下获得：

- COM.FSMC\_SetupTime = 0x04；
- COM.FSMC\_WaitSetupTime = 0x07；
- COM.FSMC\_HoldSetupTime = 0x04；
- COM.FSMC\_HiZSetupTime = 0x00；
- ATT.FSMC\_SetupTime = 0x04；
- ATT.FSMC\_WaitSetupTime = 0x07；
- ATT.FSMC\_HoldSetupTime = 0x04；
- ATT.FSMC\_HiZSetupTime = 0x00；
- IO.FSMC\_SetupTime = 0x04；
- IO.FSMC\_WaitSetupTime = 0x07；
- IO.FSMC\_HoldSetupTime = 0x04；
- IO.FSMC\_HiZSetupTime = 0x00；
- TCLRSetupTime = 0；
- TARSetupTime = 0。

在所有时序表中， $T_{HCLK}$  均为 HCLK 时钟周期。

图 61. PC 卡/CF 卡控制器对存储器通用空间读操作波形



1. FSMC\_NCE4\_2 保持高电平（8 位访问期间无效）。

图 62. PC 卡/CF 卡控制器对存储器通用空间写操作波形

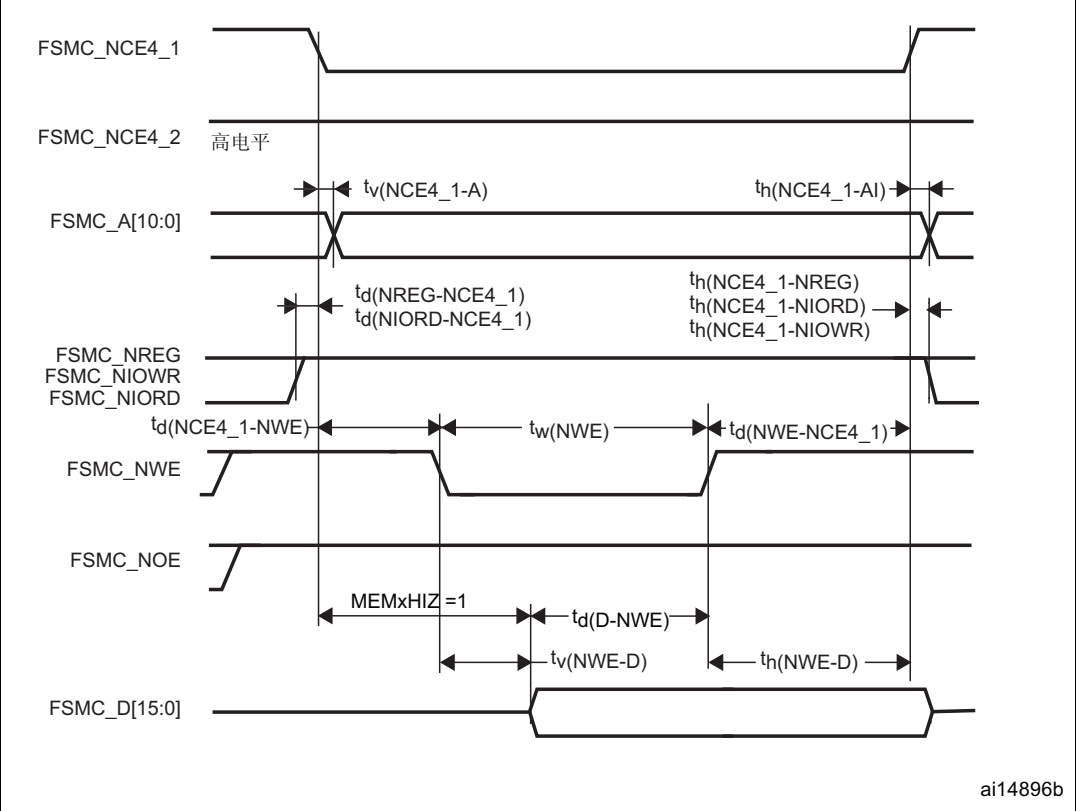
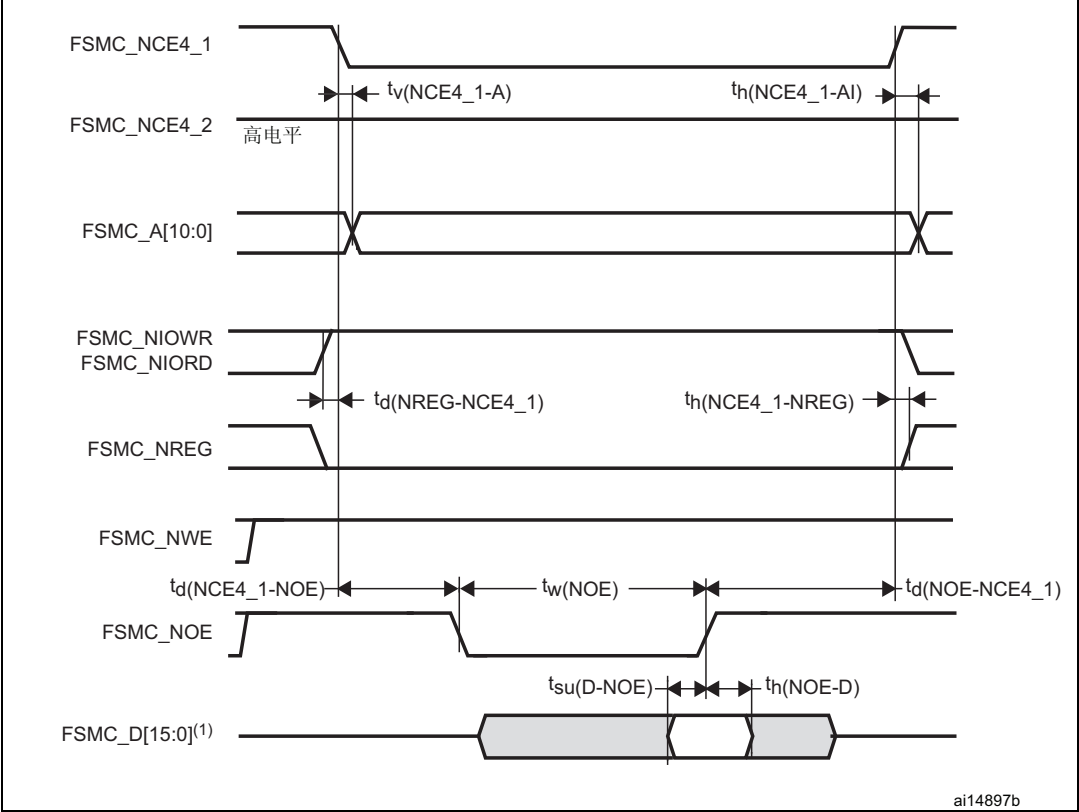
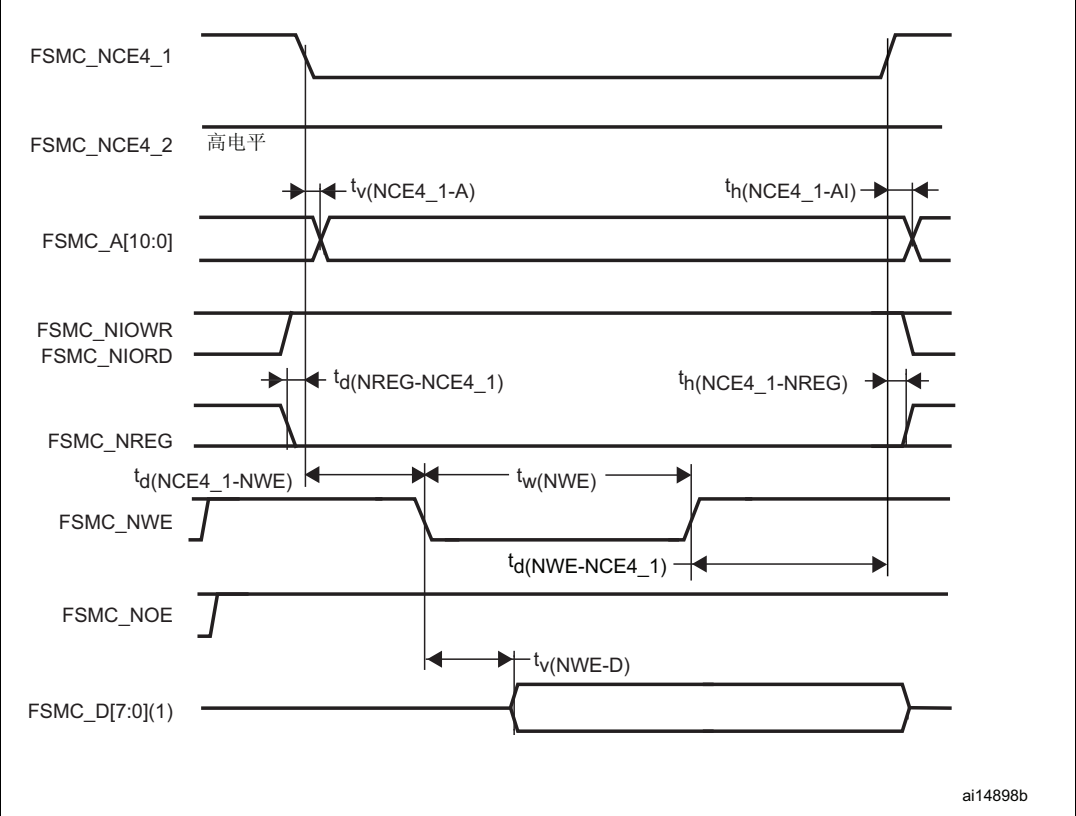


图 63. PC 卡/CF 卡控制器对存储器特性空间读操作波形



1. 仅读取数据位 0...7（忽略位 8...15）。

图 64. PC 卡/CF 卡控制器对存储器特性空间写操作波形



1. 仅驱动数据位 0...7（位 8...15 保持高阻状态）。

图 65. PC 卡/CF 卡控制器对存储器 I/O 空间读操作波形

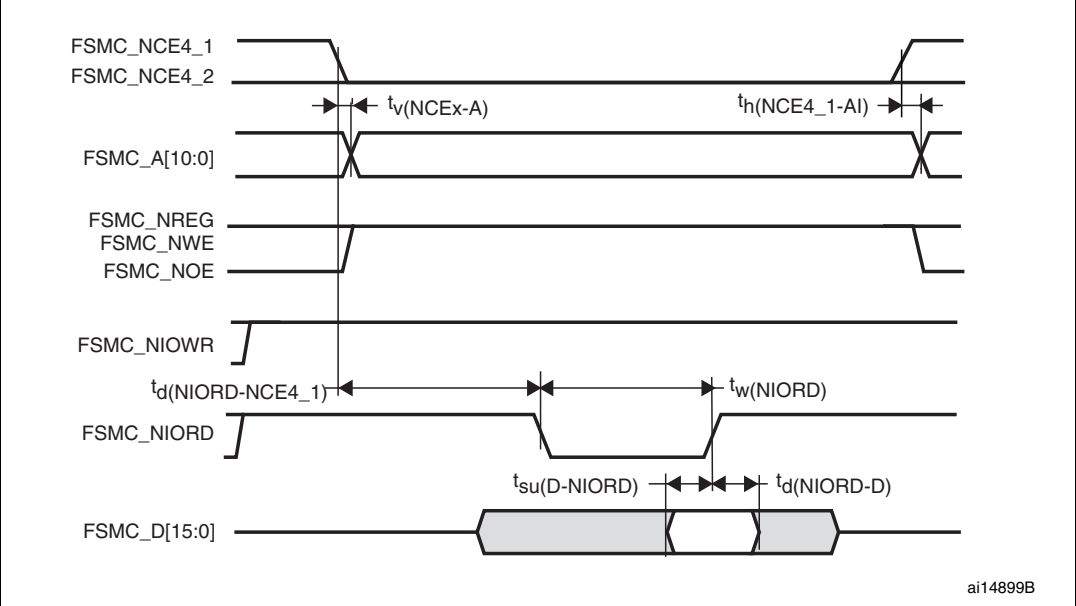
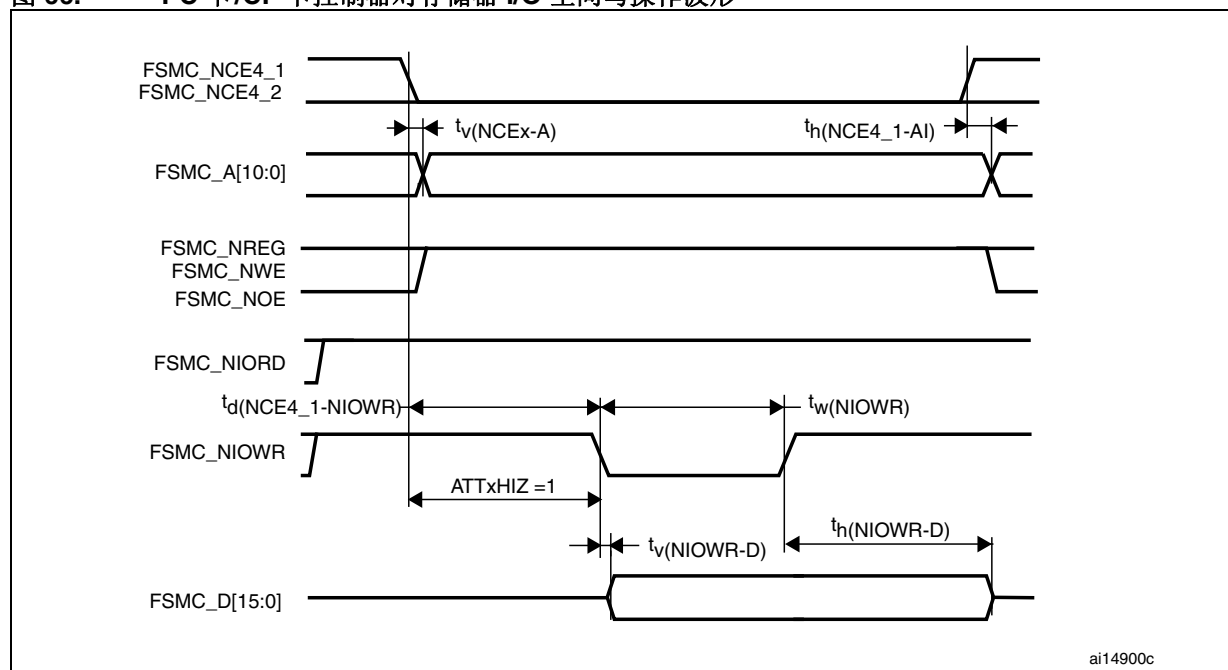




图 66. PC 卡/CF 卡控制器对存储器 I/O 空间写操作波形

表 81. PC 卡/CF 读写特性空间/通用空间时的时序参数<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{v(NCEx-A)}$	FSMC_Ncex 变为低电平到 FSMC_Ay 有效的间隔时间	-	0	ns
$t_{h(NCEx-AI)}$	FSMC_NCEx 变为高电平到 FSMC_Ax 无效的间隔时间	4	-	ns
$t_{d(NREG-NCEx)}$	FSMC_NCEx 变为低电平到 FSMC_NREG 有效的间隔时间	-	3.5	ns
$t_{h(NCEx-NREG)}$	FSMC_NCEx 变为高电平到 FSMC_NREG 无效的间隔时间	$T_{HCLK}+4$	-	ns
$t_{d(NCEx-NWE)}$	FSMC_NCEx 变为低电平到 FSMC_NWE 变为低电平的间隔时间	-	$5T_{HCLK}+0.5$	ns
$t_{d(NCEx-NOE)}$	FSMC_NCEx 变为低电平到 FSMC_NOE 变为低电平的间隔时间	-	$5T_{HCLK}+0.5$	ns
$t_{w(NOE)}$	FSMC_NOE 为低电平的时间	$8T_{HCLK}-1$	$8T_{HCLK}+1$	ns
$t_{d(NOE-NCEx)}$	FSMC_NOE 变为高电平到 FSMC_NCEx 变为高电平的间隔时间	$5T_{HCLK}+2.5$	-	ns
$t_{su(D-NOE)}$	FSMC_NOE 变为高电平前 FSMC_D[15:0] 数据有效的间隔时间	4.5	-	ns
$t_{h(NOE-D)}$	FSMC_NOE 变为高电平到 FSMC_D[15:0] 无效的间隔时间	3	-	ns
$t_{w(NWE)}$	FSMC_NWE 为低电平的时间	$8T_{HCLK}-0.5$	$8T_{HCLK}+3$	ns
$t_{d(NWE-NCEx)}$	FSMC_NWE 变为高电平到 FSMC_NCEx 变为高电平的间隔时间	$5T_{HCLK}-1$	-	ns

表 81. PC 卡/CF 读写特性空间/通用空间时的时序参数<sup>(1)(2)</sup> (续)

符号	参数	最小值	最大值	单位
$t_{d(NCEx-NWE)}$	FSMC_NCEx 变为低电平到 FSMC_NWE 变为低电平的间隔时间	-	$5T_{HCLK} + 1$	ns
$t_{v(NWE-D)}$	FSMC_NWE 变为低电平到 FSMC_D[15:0] 有效的间隔时间	-	0	ns
$t_h(NWE-D)$	FSMC_NWE 变为高电平到 FSMC_D[15:0] 无效的间隔时间	$8T_{HCLK} - 1$	-	ns
$t_d(D-NWE)$	FSMC_NWE 变为高电平前 FSMC_D[15:0] 有效的间隔时间	$13T_{HCLK} - 1$	-	ns

1.  $C_L = 30 \text{ pF}$ 。

2. 通过特性分析确定, 未经生产测试。

表 82. PC 卡/CF 读写 I/O 空间时的时序参数<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_w(NIOWR)$	FSMC_NIOWR 为低电平的时间	$8T_{HCLK} - 1$	-	ns
$t_{v(NIOWR-D)}$	FSMC_NWE 变为低电平到 FSMC_D[15:0] 有效的间隔时间	-	$5T_{HCLK} - 1$	ns
$t_h(NIOWR-D)$	FSMC_NIOWR 变为高电平到 FSMC_D[15:0] 无效的间隔时间	$8T_{HCLK} - 2$	-	ns
$t_d(NCE4\_1-NIOWR)$	FSMC_NCE4_1 变为低电平到 FSMC_NIOWR 有效的间隔时间	-	$5T_{HCLK} + 2.5$	ns
$t_h(NCEx-NIOWR)$	FSMC_NCEx 变为高电平到 FSMC_NIOWR 无效的间隔时间	$5T_{HCLK} - 1.5$	-	ns
$t_d(NIORD-NCEx)$	FSMC_NCEx 变为低电平到 FSMC_NIORD 有效的间隔时间	-	$5T_{HCLK} + 2$	ns
$t_h(NCEx-NIORD)$	FSMC_NCEx 变为高电平到 FSMC_NIORD 有效的间隔时间	$5T_{HCLK} - 1.5$	-	ns
$t_w(NIORD)$	FSMC_NIORD 为低电平的时间	$8T_{HCLK} - 0.5$	-	ns
$t_{su}(D-NIORD)$	FSMC_NIORD 变为高电平前 FSMC_D[15:0] 有效的间隔时间	9	-	ns
$t_d(NIORD-D)$	FSMC_NIORD 变为高电平后 FSMC_D[15:0] 有效的间隔时间	0	-	ns

1.  $C_L = 30 \text{ pF}$ 。

2. 通过特性分析确定, 未经生产测试。

## NAND 控制器波形和时序

图 67 到图 70 所示为同步波形，表 83 和表 84 则给出了相应的时序。该表格中的结果在如下 FSMC 配置条件下获得：

- COM.FSMC\_SetupTime = 0x01 ;
- COM.FSMC\_WaitSetupTime = 0x03 ;
- COM.FSMC\_HoldSetupTime = 0x02 ;
- COM.FSMC\_HiZSetupTime = 0x01 ;
- ATT.FSMC\_SetupTime = 0x01 ;
- ATT.FSMC\_WaitSetupTime = 0x03 ;
- ATT.FSMC\_HoldSetupTime = 0x02 ;
- ATT.FSMC\_HiZSetupTime = 0x01 ;
- Bank = FSMC\_Bank\_NAND ;
- MemoryDataWidth = FSMC\_MemoryDataWidth\_16b ;
- ECC = FSMC\_ECC\_Enable ;
- ECCPageSize = FSMC\_ECCPageSize\_512Bytes ;
- TCLRSetupTime = 0 ;
- TARSetupTime = 0 。

在所有时序表中， $T_{HCLK}$  均为 HCLK 时钟周期。

图 67. NAND 控制器的读访问波形

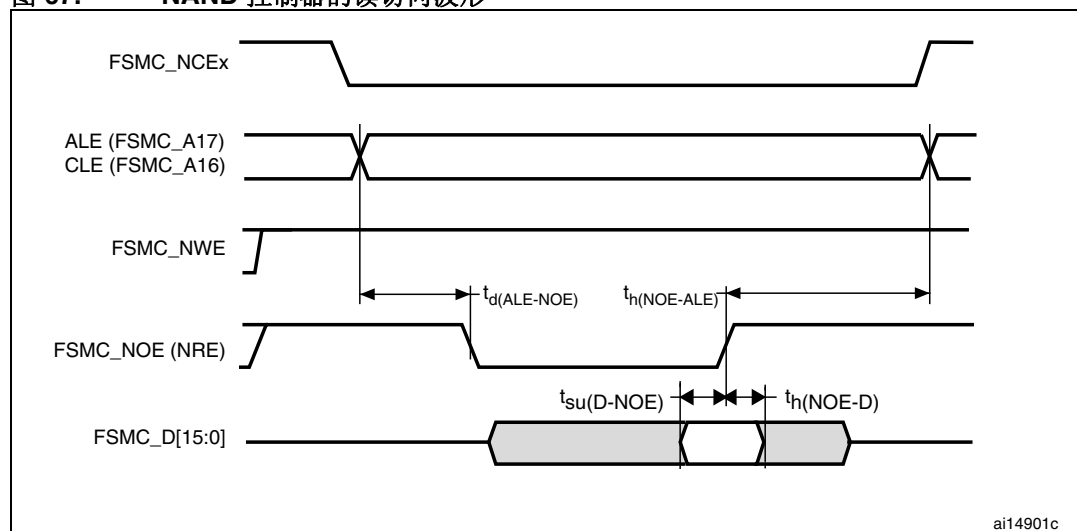


图 68. NAND 控制器的写访问波形

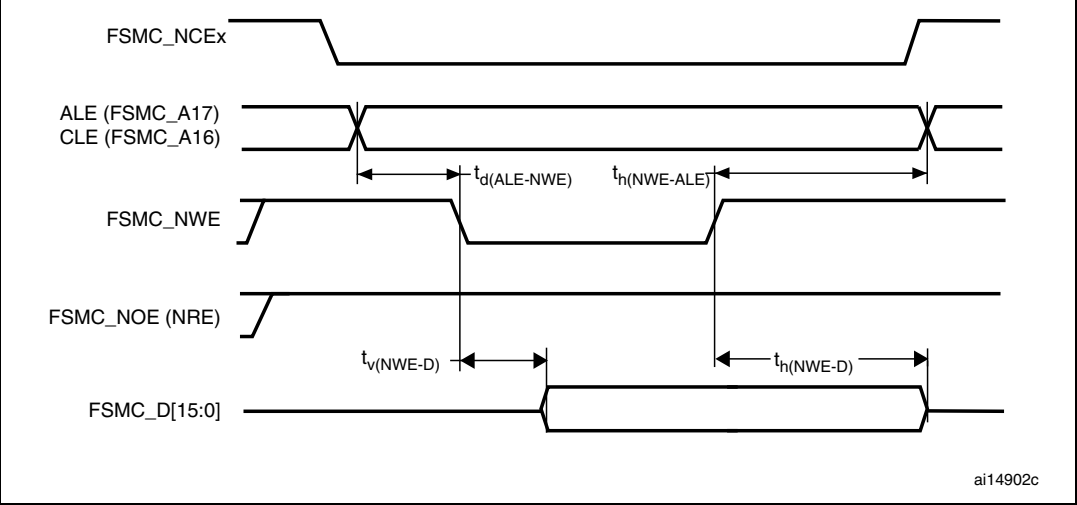


图 69. NAND 控制器的存储器通用空间读访问波形

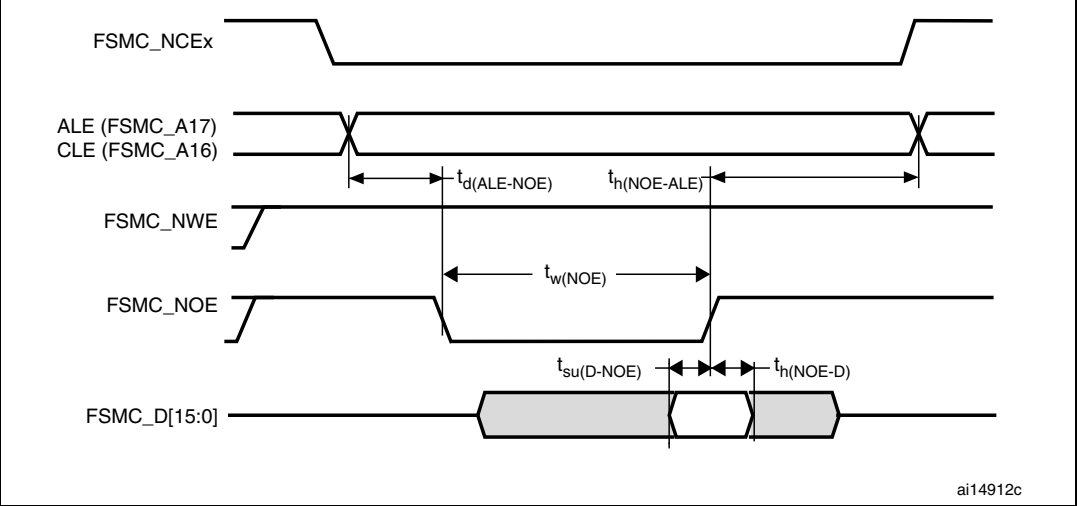


图 70. NAND 控制器的存储器通用空间写访问波形

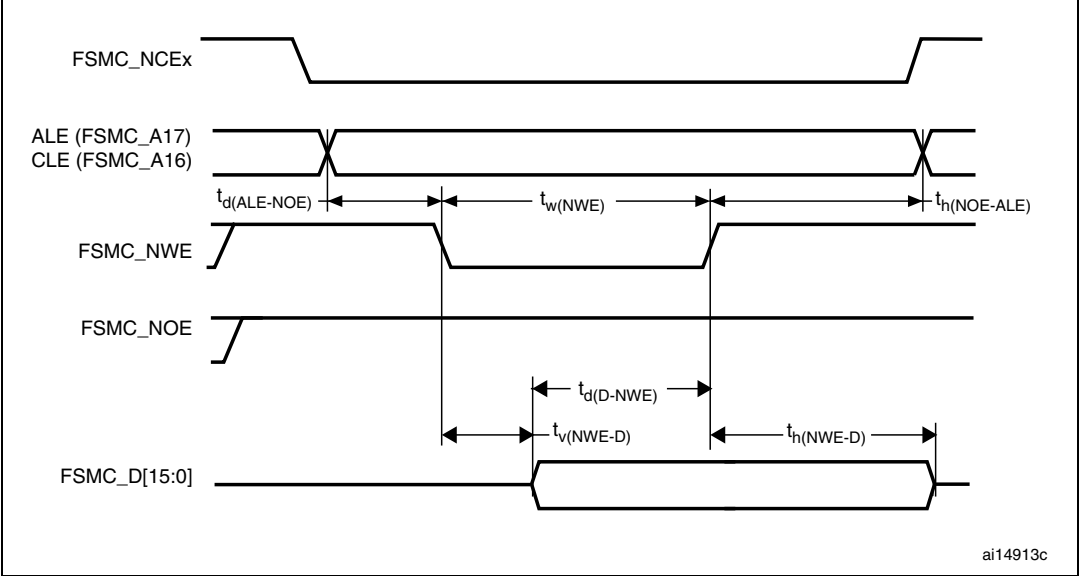


表 83. NAND Flash 读操作时序参数<sup>(1)</sup>

符号	参数	最小值	最大值	单位
$t_{w(NOE)}$	FSMC_NOE 为低电平的时间	$4T_{HCLK}-0.5$	$4T_{HCLK}+3$	ns
$t_{su(D-NOE)}$	FSMC_NOE 变为高电平前 FSMC_D[15-0] 数据有效的间隔时间	10	-	ns
$t_h(NOE-D)$	FSMC_NOE 变为高电平后 FSMC_D[15-0] 数据有效的间隔时间	0	-	ns
$t_d(ALE-NOE)$	FSMC_NOE 变为低电平前 FSMC_ALE 有效的间隔时间	-	$3T_{HCLK}$	ns
$t_h(NOE-ALE)$	FSMC_NWE 变为高电平到 FSMC_ALE 无效的间隔时间	$3T_{HCLK}-2$	-	ns

1.  $C_L = 30$  pF。

表 84. NAND Flash 写操作时序参数<sup>(1)</sup>

符号	参数	最小值	最大值	单位
$t_{w(NWE)}$	FSMC_NWE 为低电平的时间	$4T_{HCLK}-1$	$4T_{HCLK}+3$	ns
$t_v(NWE-D)$	FSMC_NWE 变为低电平到 FSMC_D[15-0] 有效的间隔时间	-	0	ns
$t_h(NWE-D)$	FSMC_NWE 变为高电平到 FSMC_D[15-0] 无效的间隔时间	$3T_{HCLK}-2$	-	ns
$t_d(D-NWE)$	FSMC_NWE 变为高电平前 FSMC_D[15-0] 有效的间隔时间	$5T_{HCLK}-3$	-	ns
$t_d(ALE-NWE)$	FSMC_NWE 变为低电平前 FSMC_ALE 有效的间隔时间	-	$3T_{HCLK}$	ns
$t_h(NWE-ALE)$	FSMC_NWE 变为高电平到 FSMC_ALE 无效的间隔时间	$3T_{HCLK}-2$	-	ns

1.  $C_L = 30$  pF。

5.3.26 摄像头接口 (DCMI) 时序规范

表 85. DCMI 特性

符号	参数	条件	最小值	最大值
	频率比 DCMI_PIXCLK/f <sub>HCLK</sub> <sup>(1)</sup>			0.4

1. DCMI\_PIXCLK 的最大值 = 54 MHz。

5.3.27 SD/SDIO MMC 卡主机接口 (SDIO) 特性

除非特别说明，否则表 86 中给出的参数均在表 13 中汇总的环境温度、f<sub>PCLKx</sub> 频率和 V<sub>DD</sub> 电源电压条件下测试得出的。

有关输入/输出复用功能特性 (D[7:0]、CMD、CK) 的详细信息，请参见第 5.3.16 节：I/O 端口特性。

图 71. SDIO 高速模式

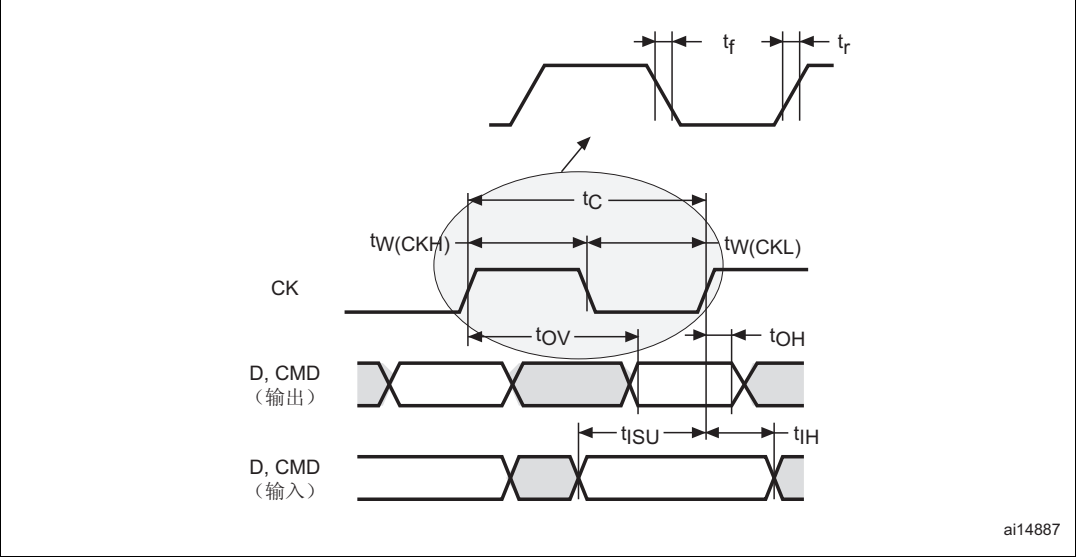


图 72. SD 默认模式

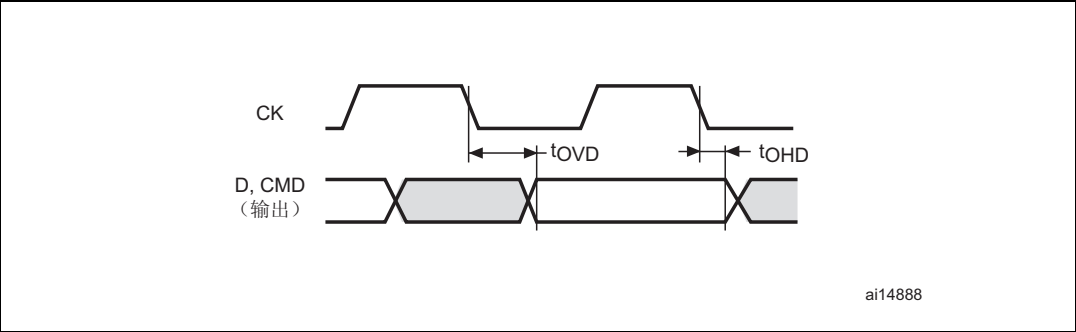


表 86. SD/MMC 特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
f <sub>PP</sub>	数据传输模式下的时钟频率	C <sub>L</sub> ≤ 30 pF	TBD	TBD	MHz
-	SDIO_CLK/f <sub>PCLK2</sub> 频率比	-	-	TBD	-
t <sub>W(CKL)</sub>	时钟低电平时间, f <sub>PP</sub> = 16 MHz	C <sub>L</sub> ≤ 30 pF	TBD	-	ns
t <sub>W(CKH)</sub>	时钟高电平时间, f <sub>PP</sub> = 16 MHz	C <sub>L</sub> ≤ 30 pF	TBD	-	
t <sub>r</sub>	时钟上升时间	C <sub>L</sub> ≤ 30 pF	-	TBD	
t <sub>f</sub>	时钟下降时间	C <sub>L</sub> ≤ 30 pF	-	TBD	
CMD、D 输入（以 CK 为基准）					
t <sub>ISU</sub>	输入建立时间	C <sub>L</sub> ≤ 30 pF	TBD	-	ns
t <sub>IH</sub>	输入保持时间	C <sub>L</sub> ≤ 30 pF	TBD	-	
MMC 和 SD HS 模式下的 CMD、D 输出（以 CK 为基准）					
t <sub>OV</sub>	输出有效时间	C <sub>L</sub> ≤ 30 pF	-	TBD	ns
t <sub>OH</sub>	输出保持时间	C <sub>L</sub> ≤ 30 pF	TBD	-	
SD 默认模式下的 CMD、D 输出（以 CK 为基准） <sup>(2)</sup>					
t <sub>OVD</sub>	输出有效默认时间	C <sub>L</sub> ≤ 30 pF	-	TBD	ns
t <sub>OHD</sub>	输出保持默认时间	C <sub>L</sub> ≤ 30 pF	TBD	-	

1. TBD 表示“待定”。

2. 请参见用于控制 CK 输出的 SDI 时钟控制寄存器 SDIO\_CLKCR。

### 5.3.28 RTC 特性

表 87. RTC 特性

符号	参数	条件	最小值	最大值
-	$f_{PCLK1}/\text{RTCCLK}$ 频率比	对 RTC 寄存器进行的任何读写操作	4	-

## 6 封装特性

### 6.1 封装机械数据

为了满足环保要求，ST 根据不同的环保级别为这些器件提供了不同等级的 ECOPACK® 封装。ECOPACK® 规范、等级定义和产品状态可在 [www.st.com](http://www.st.com) 网站获得。ECOPACK® 是 ST 的商标。



图 73. WLCSP90 - 0.400 mm 间距，晶圆级芯片尺寸封装图

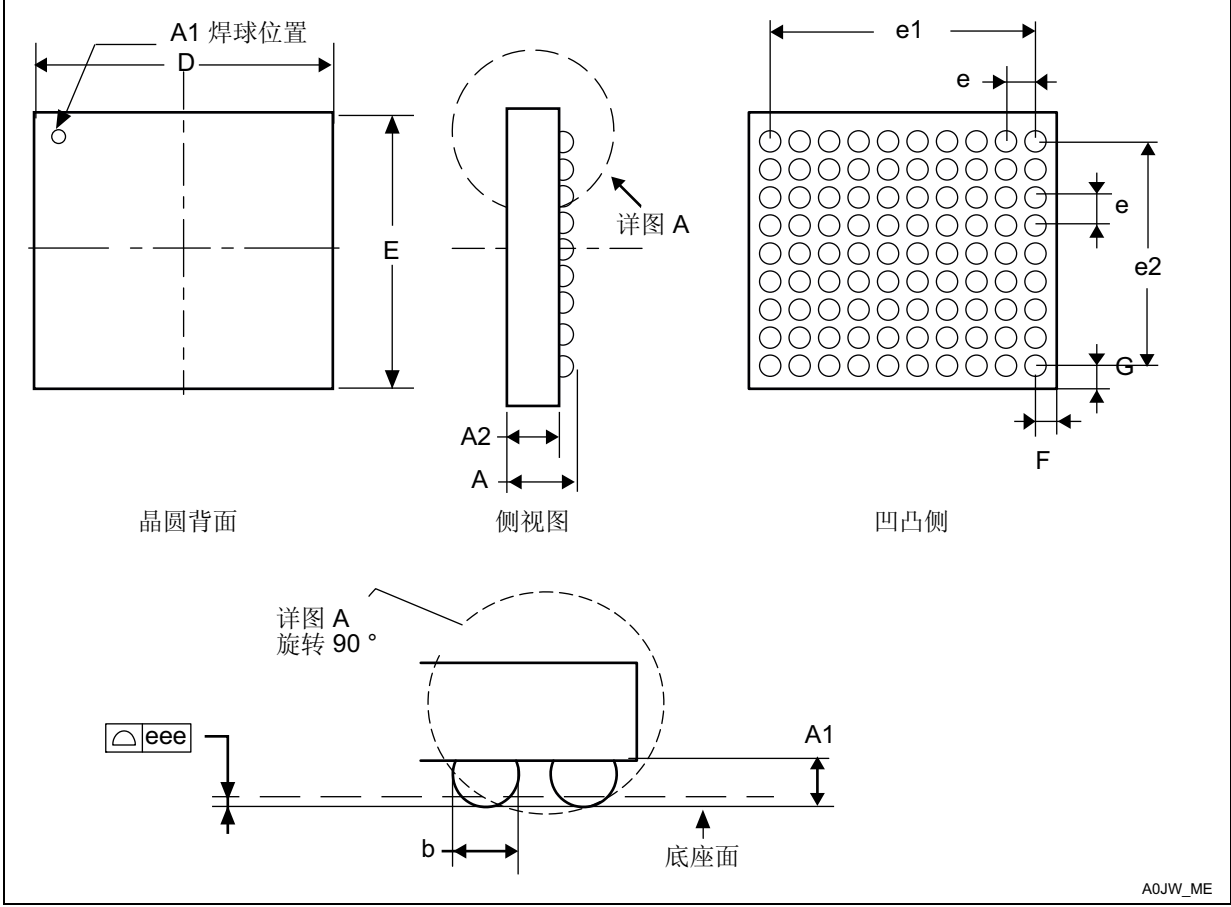
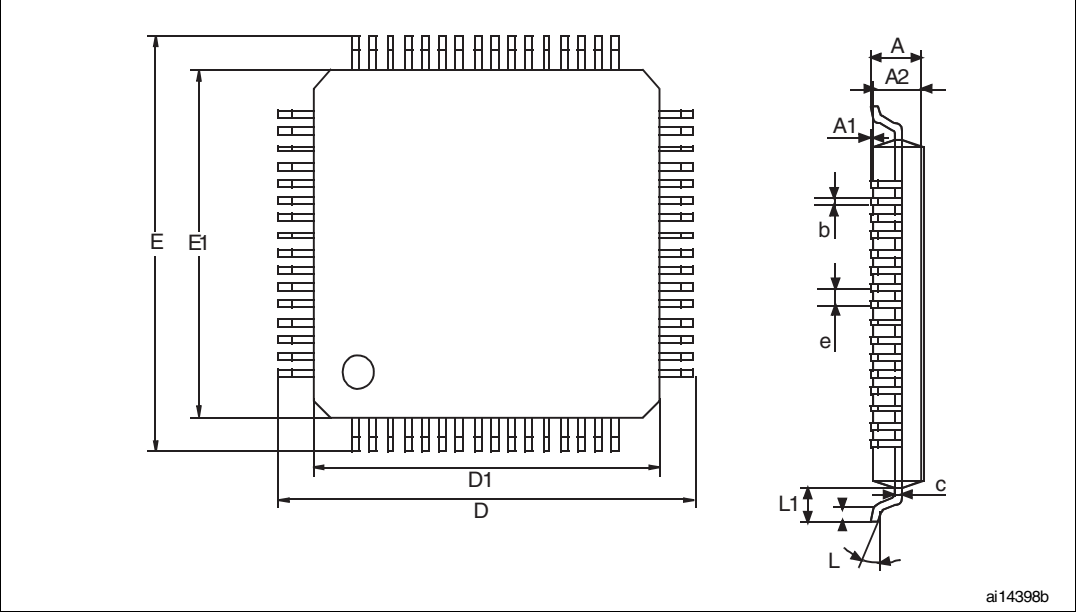


表 88. WLCSP90 - 0.400 mm 间距，晶圆级芯片尺寸封装机械数据

符号	毫米			英寸 <sup>(1)</sup>		
	最小值	典型值	最大值	最小值	典型值	最大值
A	0.520	0.570	0.620	0.0205	0.0224	0.0244
A1	0.165	0.190	0.215	0.0065	0.0075	0.0085
A2	0.350	0.380	0.410	0.0138	0.015	0.0161
b	0.240	0.270	0.300	0.0094	0.0106	0.0118
D	4.178	4.218	4.258	0.1645	0.1661	0.1676
E	3.964	3.969	4.004	0.1561	0.1563	0.1576
e		0.400			0.0157	
e1		3.600			0.1417	
e2		3.200			0.126	
F		0.312			0.0123	
G		0.385			0.0152	
eee			0.050			0.0020

1. 英寸值由毫米值换算而来，四舍五入至 4 位小数。

图 74. LQFP64 – 10 x 10 mm 64 引脚薄型正方扁平封装图



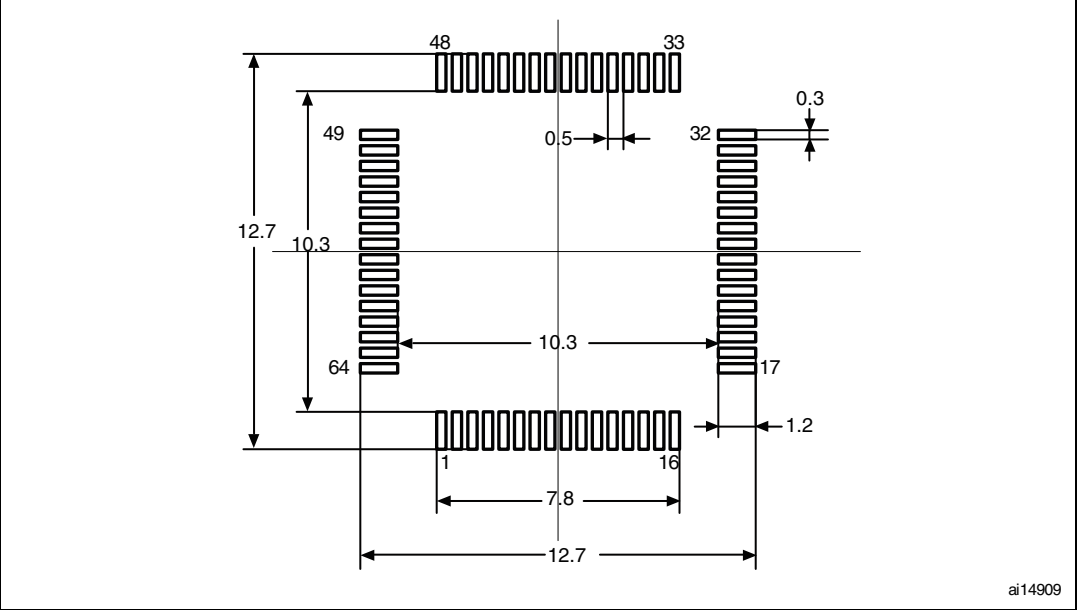
1. 图纸未按比例绘制。

表 89. LQFP64 – 10 x 10 mm 64 引脚薄型正方扁平封装机械数据

符号	毫米			英寸 <sup>(1)</sup>		
	最小值	典型值	最大值	最小值	典型值	最大值
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090		0.200	0.0035		0.0079
D		12.000			0.4724	
D1		10.000			0.3937	
E		12.000			0.4724	
E1		10.000			0.3937	
e		0.500			0.0197	
θ	0°	3.5°	7°	0°	3.5°	7°
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
N	引脚数					
	64					

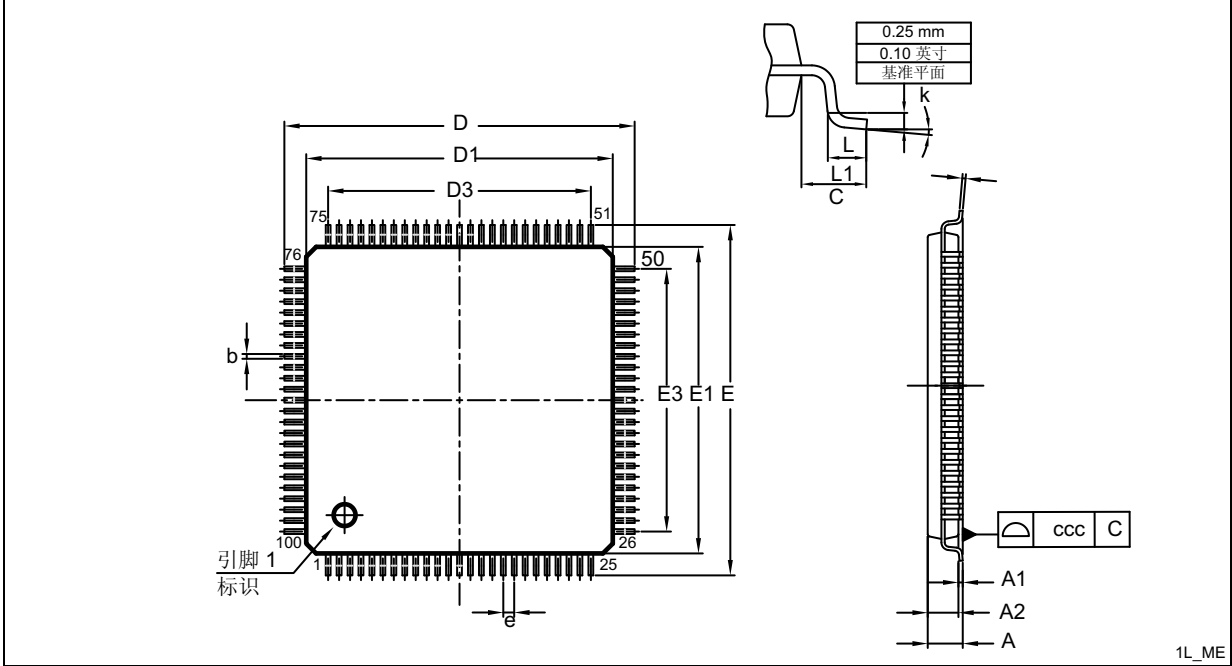
1. 英寸值由毫米值换算而来，四舍五入至 4 位小数。

图 75. LQFP64 推荐的封装图



1. 图纸未按比例绘制。
2. 尺寸单位为毫米。

图 76. LQFP100, 14 x 14 mm 100 引脚薄型正方扁平封装图



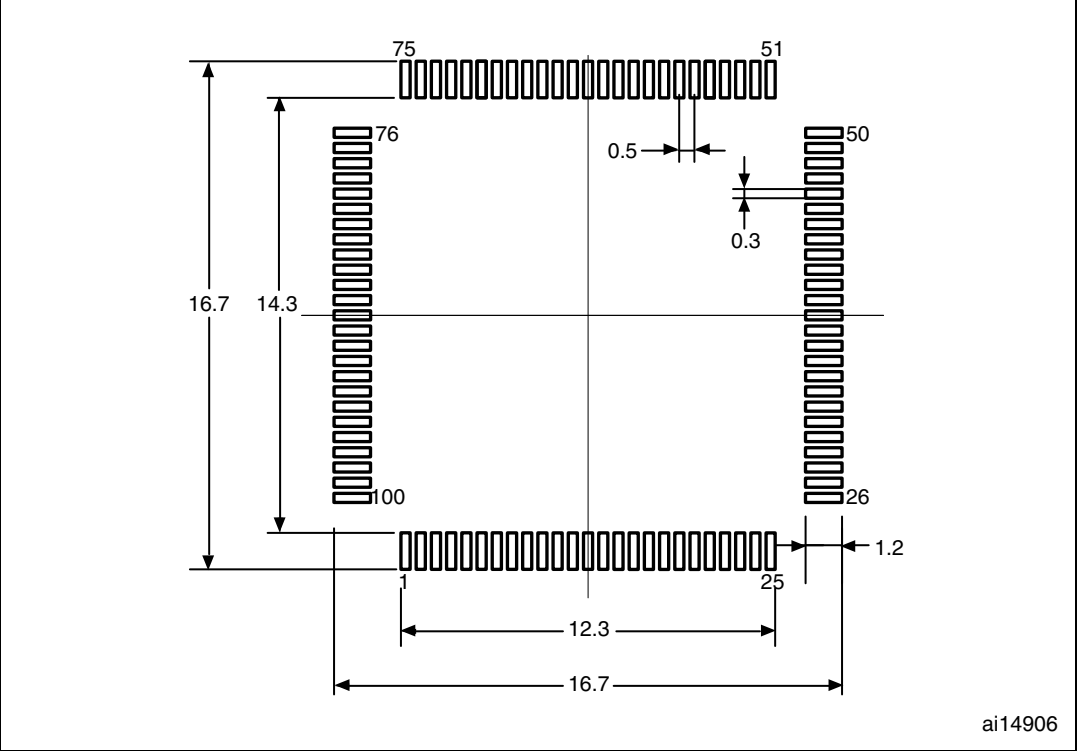
1. 图纸未按比例绘制。

表 90. LQPF100 – 14 x 14 mm 100 引脚薄型正方扁平封装机械数据<sup>(1)</sup>

符号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090		0.200	0.0035		0.0079
D	15.800	16.000	16.200	0.6220	0.6299	0.6378
D1	13.800	14.000	14.200	0.5433	0.5512	0.5591
D3		12.000			0.4724	
E	15.80v	16.000	16.200	0.6220	0.6299	0.6378
E1	13.800	14.000	14.200	0.5433	0.5512	0.5591
E3		12.000			0.4724	
e		0.500			0.0197	
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
k	0°	3.5°	7°	0°	3.5°	7°
ccc			0.080			0.0031

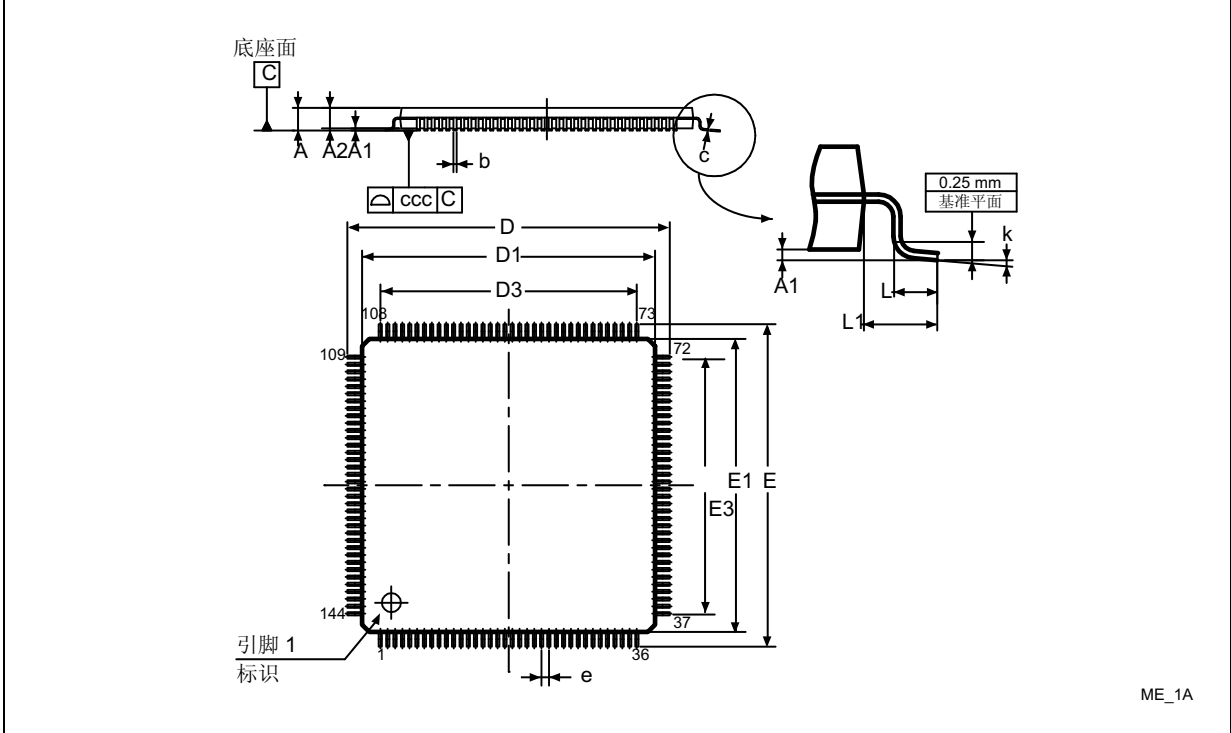
1. 英寸值由毫米值换算而来，四舍五入至 4 位小数。

图 77. LQFP100 推荐的封装图



1. 图纸未按比例绘制。
2. 尺寸单位为毫米。

图 78. LQFP144, 20 x 20 mm, 144 引脚薄型正方扁平封装图



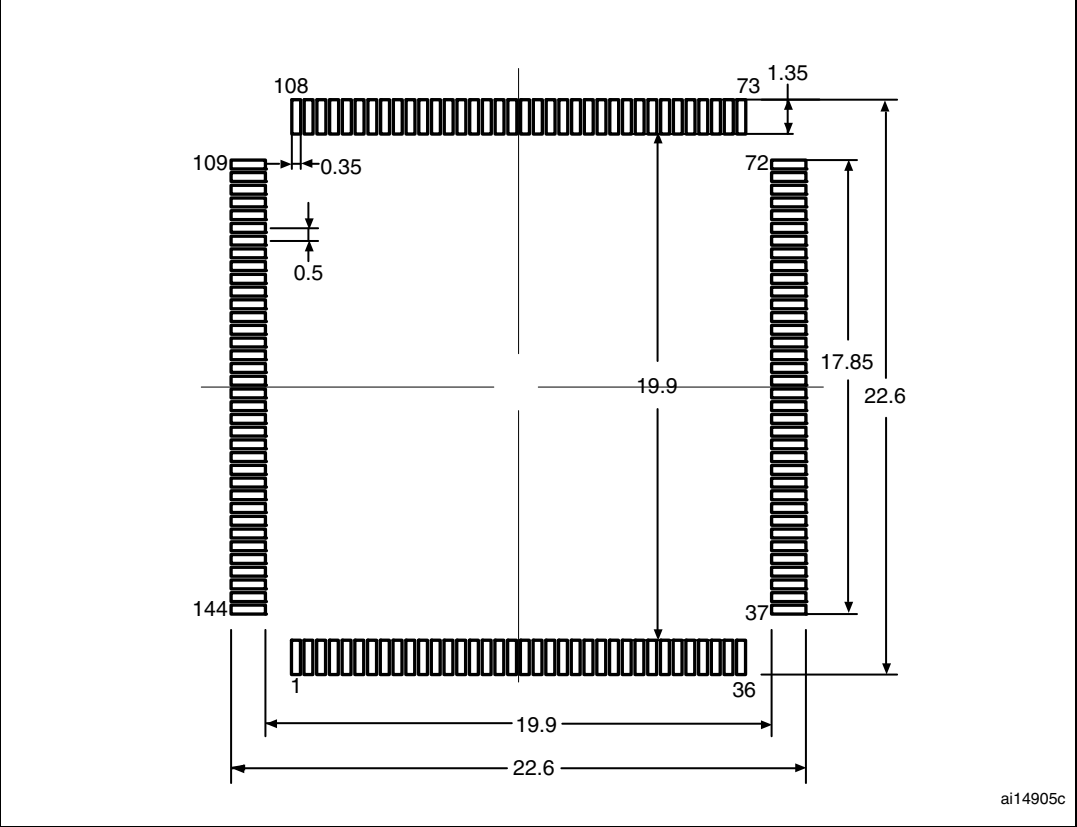
1. 图纸未按比例绘制。

表 91. LQFP144, 20 x 20 mm, 144 引脚薄型正方扁平封装机械数据

符号	毫米			英寸 <sup>(1)</sup>		
	最小值	典型值	最大值	最小值	典型值	最大值
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090		0.200	0.0035		0.0079
D	21.800	22.000	22.200	0.8583	0.8661	0.874
D1	19.800	20.000	20.200	0.7795	0.7874	0.7953
D3		17.500			0.689	
E	21.800	22.000	22.200	0.8583	0.8661	0.8740
E1	19.800	20.000	20.200	0.7795	0.7874	0.7953
E3		17.500			0.6890	
e		0.500			0.0197	
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
k	0°	3.5°	7°	0°	3.5°	7°
ccc			0.080			0.0031

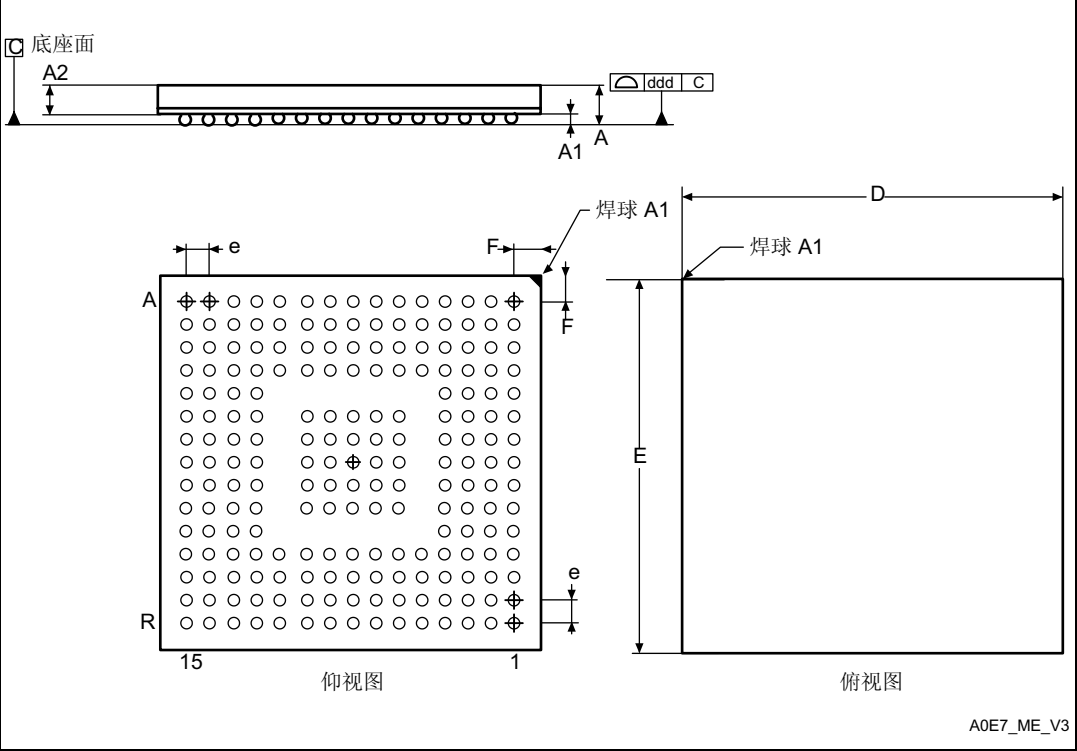
1. 英寸值由毫米值换算而来，四舍五入至 4 位小数。

图 79. LQFP144 推荐的封装图



1. 图纸未按比例绘制。
2. 尺寸单位为毫米。

图 80. UFBGA176+25 - 超细间距球形封装 10 × 10 × 0.6 mm，封装图



1. 图纸未按比例绘制。

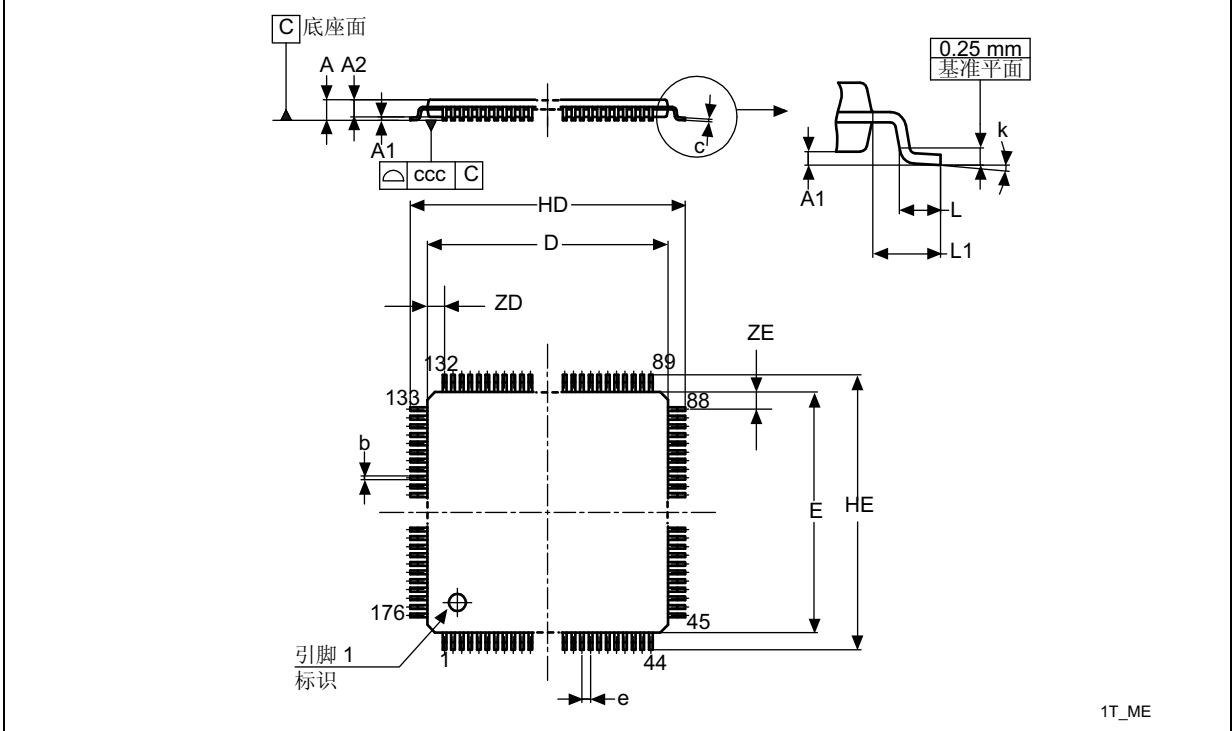
表 92. UFBGA176+25 - 超细间距球形封装 10 × 10 × 0.6 mm 机械数据

符号	毫米			英寸 <sup>(1)</sup>		
	最小值	典型值	最大值	最小值	典型值	最大值
A	0.460	0.530	0.600	0.0181	0.0209	0.0236
A1	0.050	0.080	0.110	0.002	0.0031	0.0043
A4	0.400	0.450	0.500	0.0157	0.0177	0.0197
b	0.230	0.280	0.330	0.0091	0.0110	0.0130
D	9.900	10.000	10.100	0.3898	0.3937	0.3976
E	9.900	10.000	10.100	0.3898	0.3937	0.3976
e		0.650			0.0256	
F	0.425	0.450	0.475	0.0167	0.0177	0.0187
ddd			0.080			0.0031
eee			0.150			0.0059
fff			0.080			0.0031

1. 英寸值由毫米值换算而来，四舍五入至 4 位小数。



图 81. LQFP176 24 x 24 mm, 176 引脚薄型正方扁平封装图



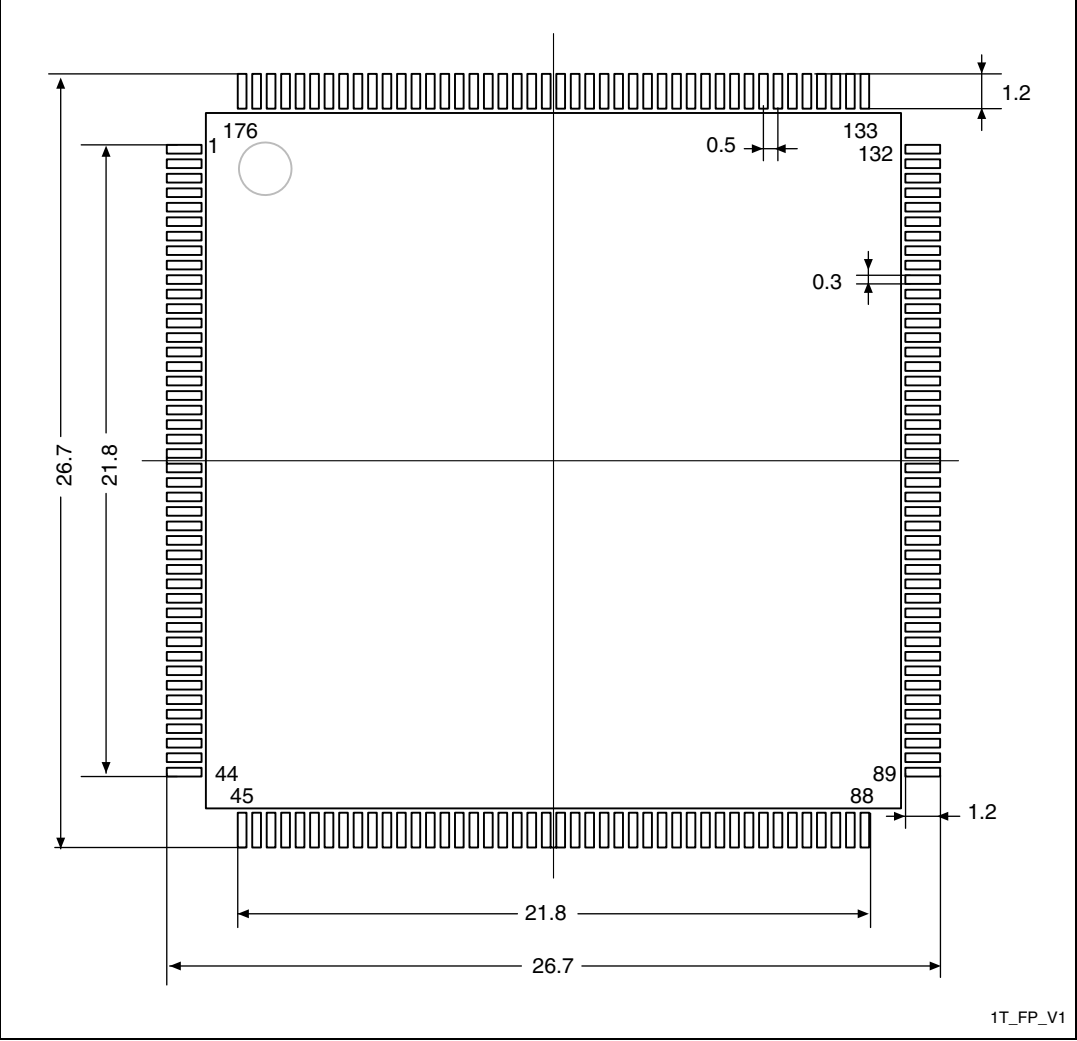
1. 图纸未按比例绘制。

表 93. LQFP176, 24 x 24 mm, 176 引脚薄型正方扁平封装机械数据

符号	毫米			英寸 <sup>(1)</sup>		
	最小值	典型值	最大值	最小值	典型值	最大值
A			1.600			0.0630
A1	0.050		0.150	0.0020		
A2	1.350		1.450	0.0531		0.0060
b	0.170		0.270	0.0067		0.0106
C	0.090		0.200	0.0035		0.0079
D	23.900		24.100	0.9409		0.9488
E	23.900		24.100	0.9409		0.9488
e		0.500			0.0197	
HD	25.900		26.100	1.0200		1.0276
HE	25.900		26.100	1.0200		1.0276
L	0.450		0.750	0.0177		0.0295
L1		1.000			0.0394	
ZD		1.250			0.0492	
ZE		1.250			0.0492	
ccc			0.080			0.0031
k	0 °		7 °	0 °		7 °

1. 英寸值由毫米值换算而来，四舍五入至 4 位小数。

图 82. LQFP176 推荐的封装图



1. 尺寸单位为毫米。

# 6.2 热特性

芯片最高结温 ( $T_J \text{ max}$ ) 以摄氏度表示，可使用如下公式计算：

$$T_J \text{ max} = T_A \text{ max} + (P_D \text{ max} \times \Theta_{JA})$$

其中：

- $T_A \text{ max}$  表示最高环境温度，以 °C 表示，
- $\Theta_{JA}$  为封装结点至环境的热阻，以 °C/W 表示。
- $P_D \text{ max}$  是  $P_{INT} \text{ max}$  与  $P_{I/O} \text{ max}$  之和 ( $P_D \text{ max} = P_{INT} \text{ max} + P_{I/O} \text{ max}$ )，
- $P_{INT} \text{ max}$  为  $I_{DD}$  与  $V_{DD}$  的乘积，以瓦特表示。它是芯片能接受的最大内部功率。

$P_{I/O} \text{ max}$  表示输出引脚的最大功耗，其中：

$$P_{I/O} \text{ max} = \Sigma (V_{OL} \times I_{OL}) + \Sigma ((V_{DD} - V_{OH}) \times I_{OH})$$

考虑了应用中 I/O 在低电平和高电平状态下的实际  $V_{OL}/I_{OL}$  和  $V_{OH}/I_{OH}$ 。

表 94. 封装热特性

符号	参数	值	单位
$\Theta_{JA}$	结点至环境的热阻 LQFP64 - 10 × 10 mm/0.5 mm 间距	46	°C/W
	结点至环境的热阻 LQFP100 - 14 × 14 mm/0.5 mm 间距	43	
	结点至环境的热阻 LQFP144 - 20 × 20 mm/0.5 mm 间距	40	
	结点至环境的热阻 LQFP176 - 24 × 24 mm/0.5 mm 间距	38	
	结点至环境的热阻 UFBGA176 - 10 × 10 mm/0.65 mm 间距	39	
	结点至环境的热阻 WLCSP90 - 0.400 mm 间距	38.1	

## 参考文档

《JESD51-2 集成电路热试验方法环境条件 - 自然对流（静止空气）》。可从 [www.jedec.org](http://www.jedec.org) 下载。

7 料号

表 95. 订货代码

示例:	STM32	F	415	R	E	T	6	xxx								
器件系列																
STM32 = 基于 ARM 的 32 位微控制器																
产品类型																
F = 通用型																
器件子系列																
415 = STM32F41x、互联型、硬件加密模块																
417= STM32F41x、互联型、摄像头接口、以太网硬件加密模块，																
引脚数																
R = 64 个引脚																
O = 90 个引脚																
V = 100 个引脚																
Z = 144 个引脚																
I = 176 个引脚																
Flash 大小																
E = 512 KB Flash																
G = 1024 KB Flash																
封装																
T = LQFP																
H = UFBGA																
Y = WLCSP																
温度范围																
6 = 工业级温度范围，-40 °C 到 85 °C。																
7 = 工业级温度范围，-40 °C 到 105 °C。																
选件																
xxx = 可编程部分																
TR = 卷带式包装																

有关可用选件（速度、封装等）列表或本器件任何方面的更多信息，请联系最近的 ST 销售办事处。



附录 A 应用框图

A.1 主要应用与封装

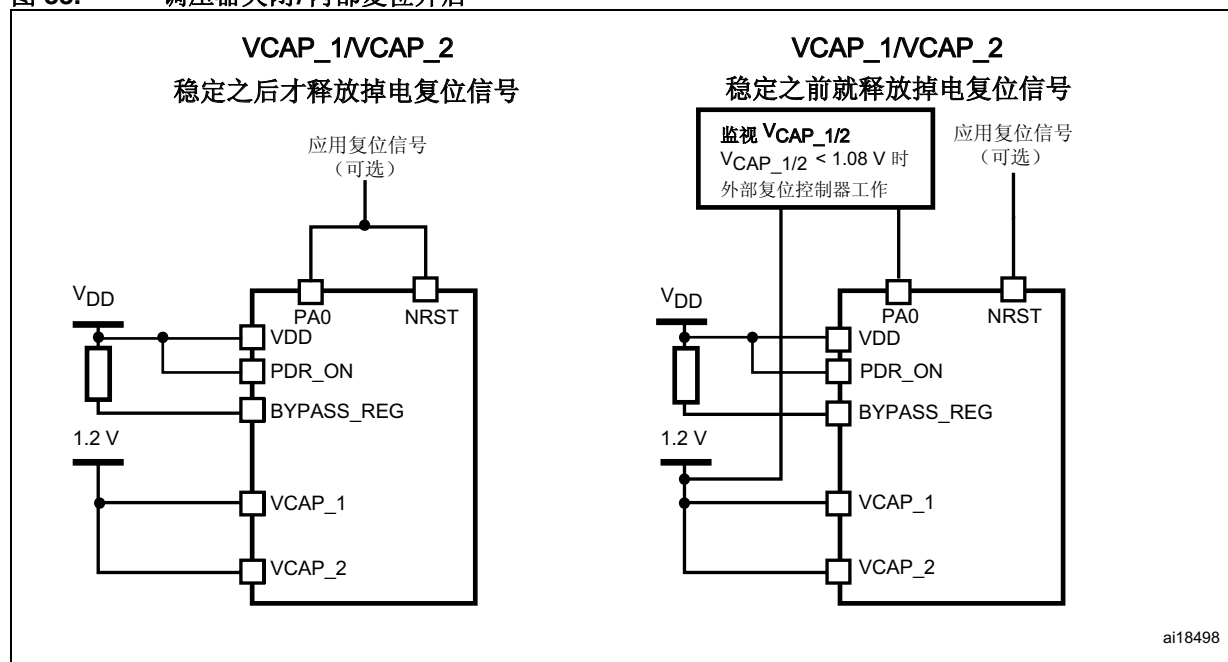
表 96 给出了适用于每种封装的配置示例。

表 96. 适用于 STM32F417xx 微控制器的主要应用与封装

		64 个引脚			100 个引脚				144 个引脚				176 个引脚	
		配置 1	配置 2	配置 3	配置 1	配置 2	配置 3	配置 4	配置 1	配置 2	配置 3	配置 4	配置 1	配置 2
USB 1	OTG FS	X	X	X	X	X	X	-	X		X		X	
	FS	X	X	X	X	X	X	X	X	X	X	X	X	
USB 2	HS ULPI	-	-	-	X	-	-	-	X	X			X	X
	OTGFS	-	-	-	X				X	X			X	X
	FS	-	-	-	X	X	X	X	X	X	X	X	X	X
以太网	MII	-	-	-	-	-	X	X			X	X	X	X
	RMII	-	-	-	-	X	X	X	X	X	X	X	X	X
SPI/I2S2 SPI/I2S3		-	X	-	-	X	X	X	X	X	X	X	X	X
SDIO	SDIO	SDIO 或 DCMI	SDIO 或 DCMI	-	SDIO 或 DCMI	SDIO 或 DCMI	SDIO 或 DCMI	X	SDIO 或 DCMI	X	SDIO 或 DCMI	X	X	X
DCMI	8 位 数据			-				X		X		X	X	X
	10 位 数据			-				X		X		X	X	X
	12 位 数据			-				X		X		X	X	X
	14 位 数据	-	-	-	-	-	-	-		X		X	X	X
FSMC	NOR/ RAM 复用	-	-	-	X	X	X	X	X	X	X	X	X	X
	NOR/ RAM	-	-	-					X	X	X	X	X	X
	NAND	-	-	-	X	X	X	X	X	X	X	X	X	X
	CF	-	-	-	-	-	-	-	X	X	X	X	X	X
CAN		-	X	X	-	X	X	X	-	-	X	X	-	X

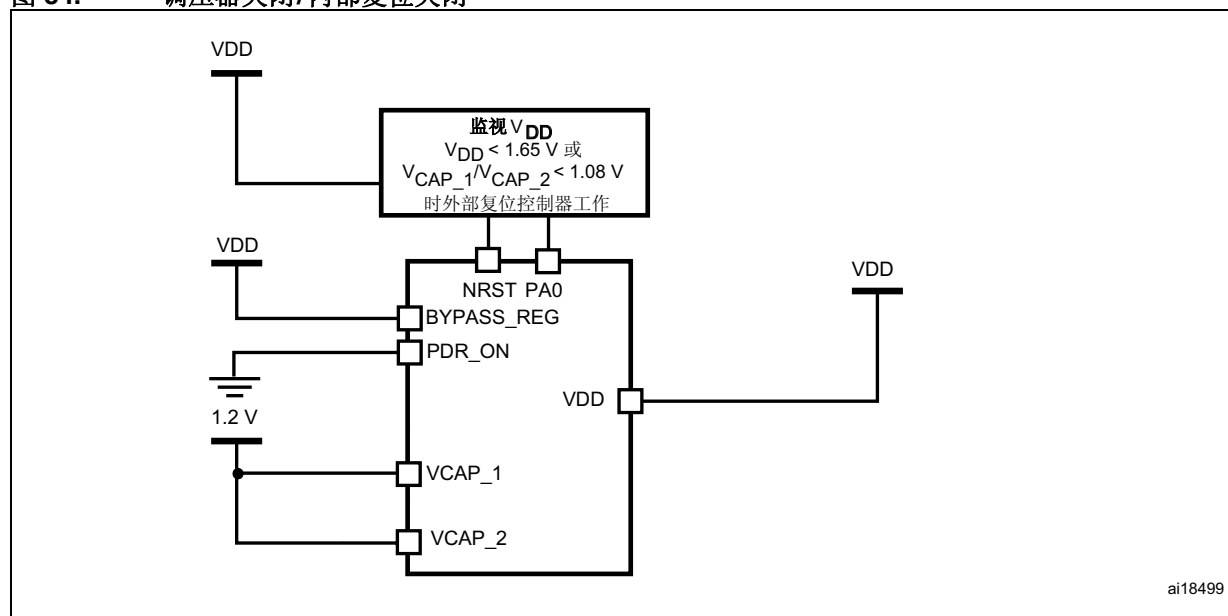
## A.2 调压器关闭时的应用示例

图 83. 调压器关闭/内部复位开启



1. 此模式仅适用于 UFBGA176 和 WLCSP90 封装。

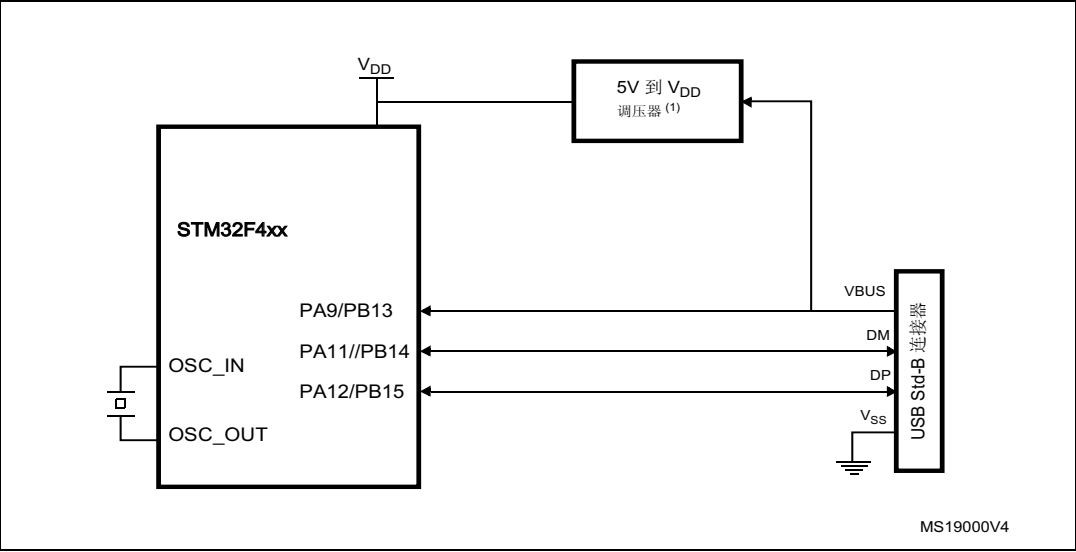
图 84. 调压器关闭/内部复位关闭



1. 此模式仅适用于 UFBGA176 和 WLCSP90 封装。

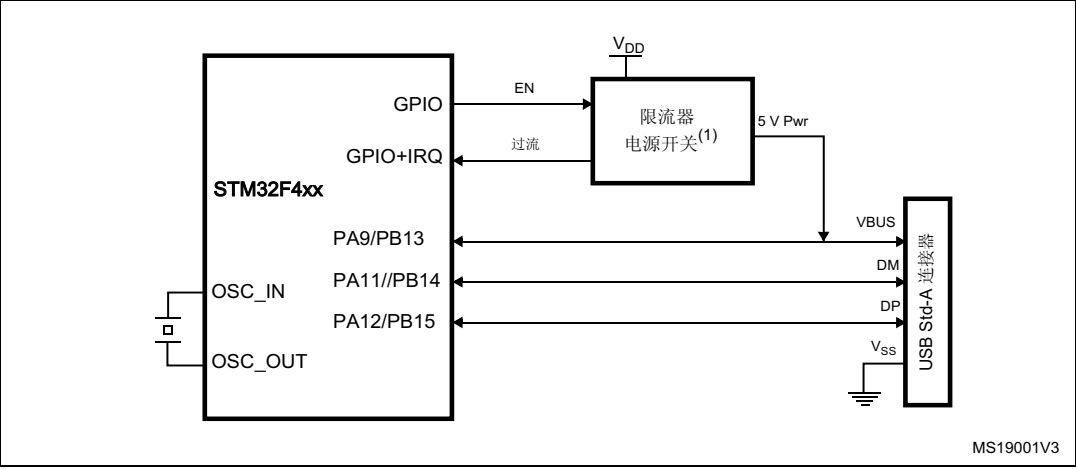
A.3 USB OTG 全速 (FS) 接口解决方案

图 85. USB 控制器配置为“仅作设备”并在全速模式下使用



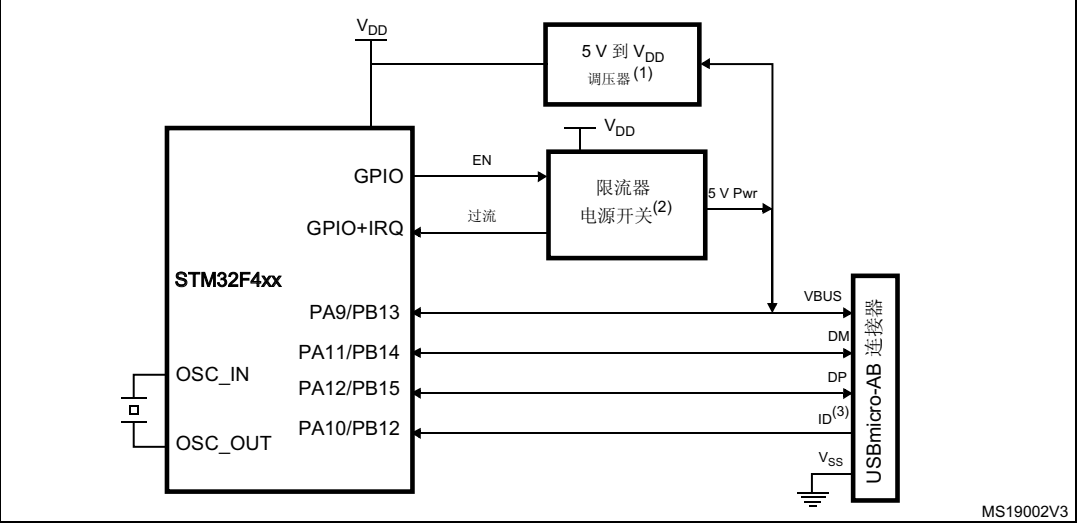
- 1. 只有在构建由  $V_{BUS}$  供电的器件时才需要外部调压器。
- 2. 凭借大容量的 Rx/Tx FIFO 和专用的 DMA 控制器，也可使用 OTG HS 在 FS 模式下开发相同的应用以获得更强的性能。

图 86. USB 控制器配置为“仅作主机”并在全速模式下使用



- 1. 只有在应用必须支持由  $V_{BUS}$  供电的器件时才需要限流器。如果应用电路板提供 5 V 电源，则可以使用基本电源开关。
- 2. 凭借大容量的 Rx/Tx FIFO 和专用的 DMA 控制器，也可使用 OTG HS 在 FS 模式下开发相同的应用以获得更强的性能。

图 87. USB 控制器在双角色模式下配置并在全速模式下使用

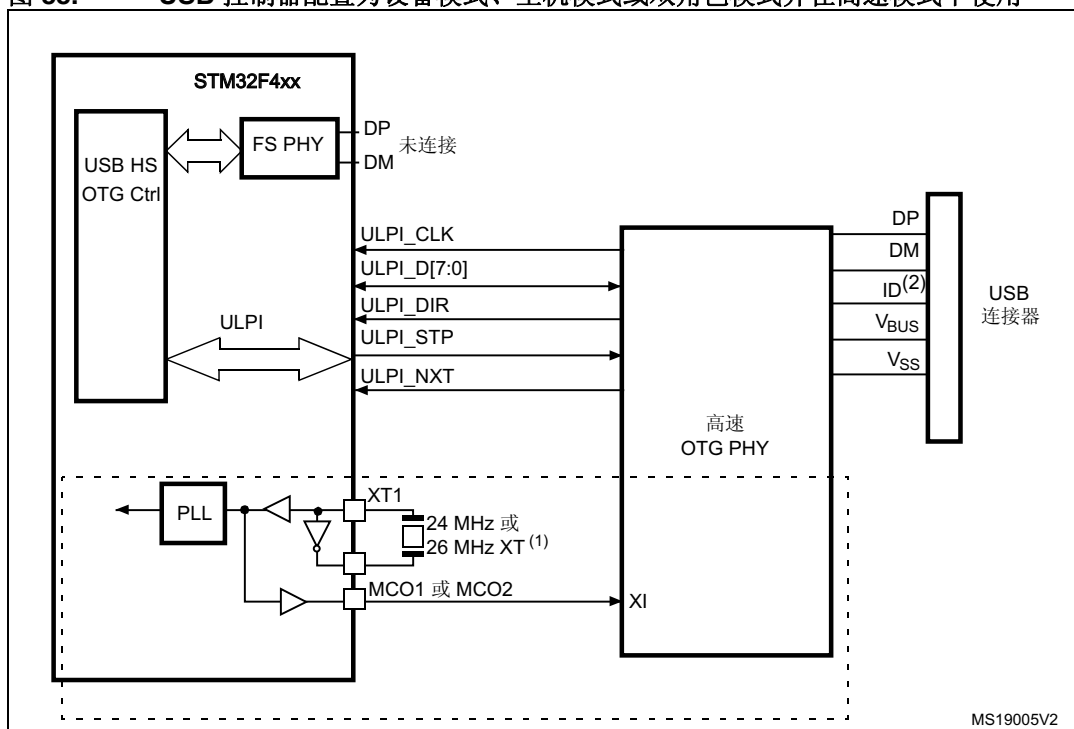


1. 只有在构建由  $V_{BUS}$  供电的器件时才需要外部调压器。
2. 只有在应用必须支持由  $V_{BUS}$  供电的器件时才需要限流器。如果应用电路板提供 5 V 电源，则可以使用基本电源开关。
3. 仅在双角色下才需要 ID 引脚。
4. 凭借大容量的 Rx/Tx FIFO 和专用的 DMA 控制器，也可使用 OTG HS 在 FS 模式下开发相同的应用以获得更强的性能。



## A.4 USB OTG 高速 (HS) 接口解决方案

**图 88. USB 控制器配置为设备模式、主机模式或双角色模式并在高速模式下使用**



1. 可以使用 MCO1 或 MCO2 为外部高速 PHY 提供时钟, 以节省外部晶振。但是, 在使用 USB HS 时并不强制通过 24 或 26 MHz 晶振为 STM32F41x 提供时钟频率。上图仅显示了一个可能的连接示例。
2. 仅在双角色下才需要 ID 引脚。

A.5 完整的音频播放器解决方案

这里提供了两个解决方案，具体说明见图 89 和图 90。

图 89 显示了使用软件编解码器时存储介质到音频 DAC/放大器的数据流。此解决方案采用了音频晶振，主时钟精度可达 I<sup>2</sup>S 音频类精度（最大误差 0.5%，有关详细信息，请参见参考手册中的“串行外设接口”部分）。

图 89. 完整的音频播放器解决方案 1

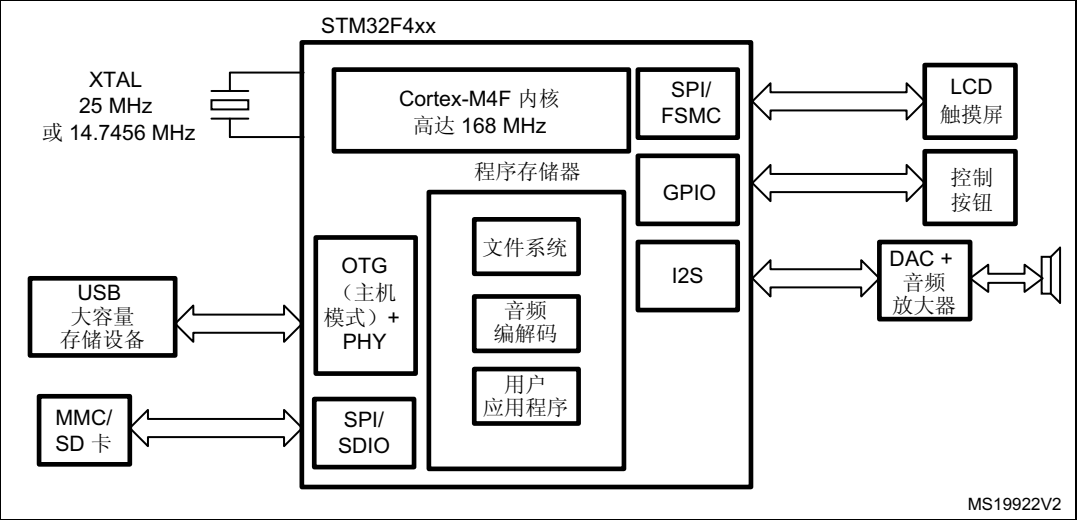


图 90 显示了使用硬件编解码器对输入/输出音频流进行 SOF 同步时存储介质到音频编解码器/放大器的数据流。

图 90. 完整的音频播放器解决方案 2

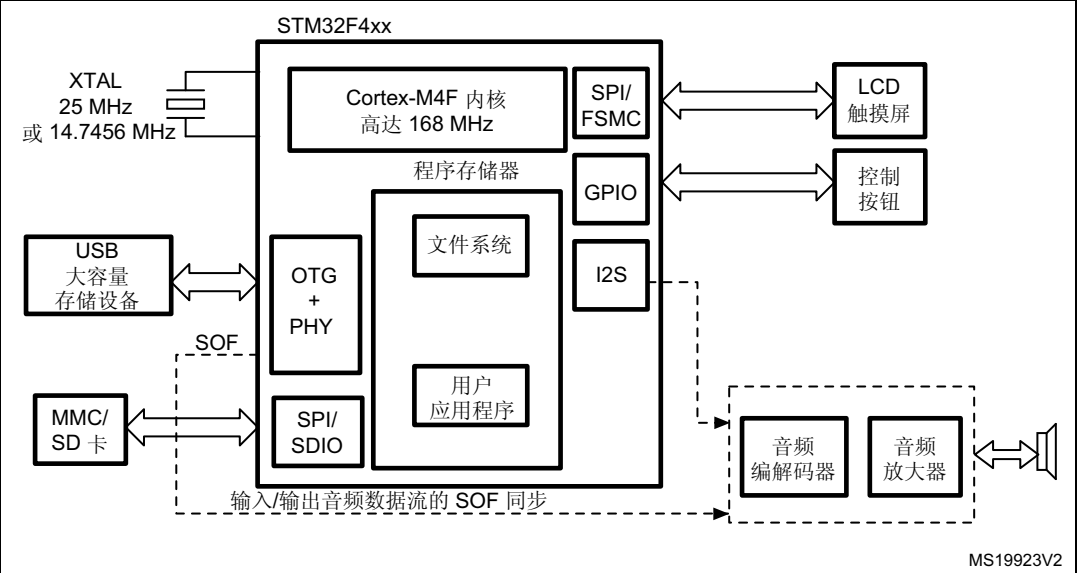


图 91. 使用 PLL、PLLI2S、USB 和 1 个晶振的音频播放器解决方案

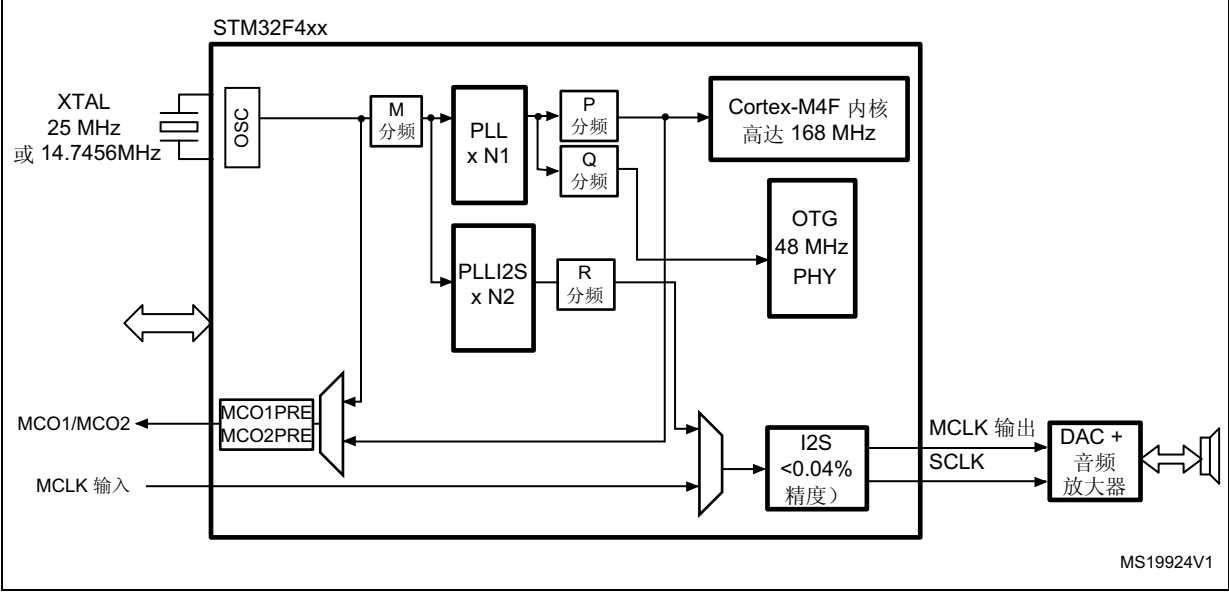


图 92. 提供精确的 I2S 时钟的音频 PLL (PLLI2S)

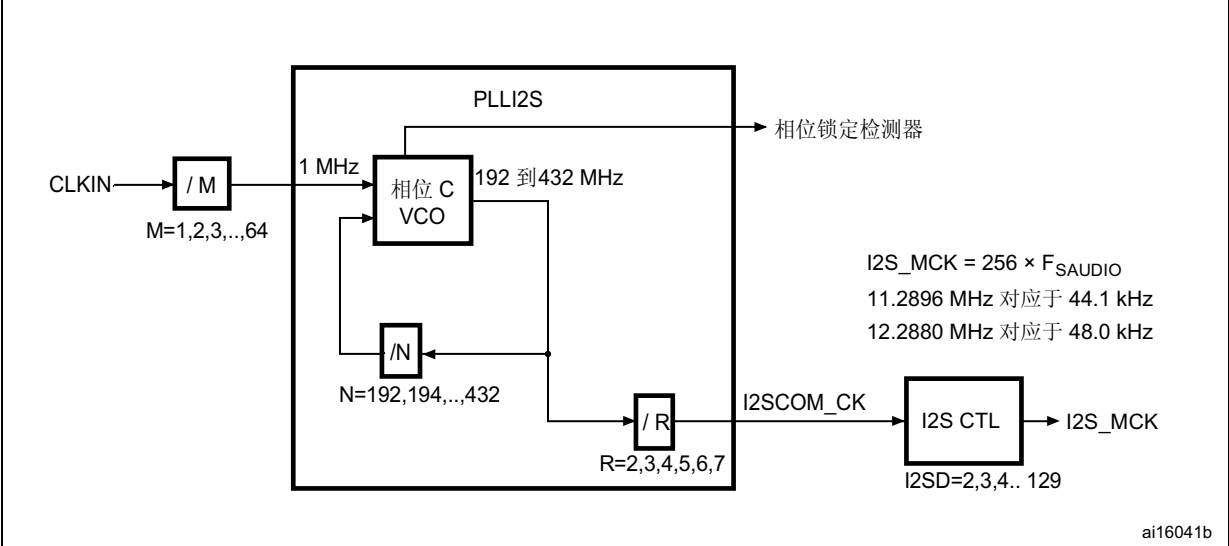
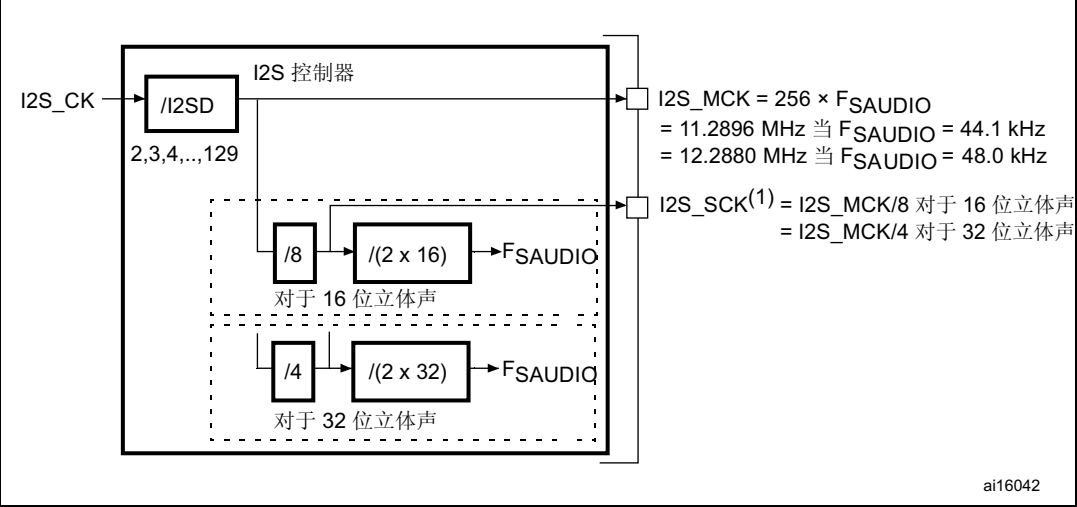
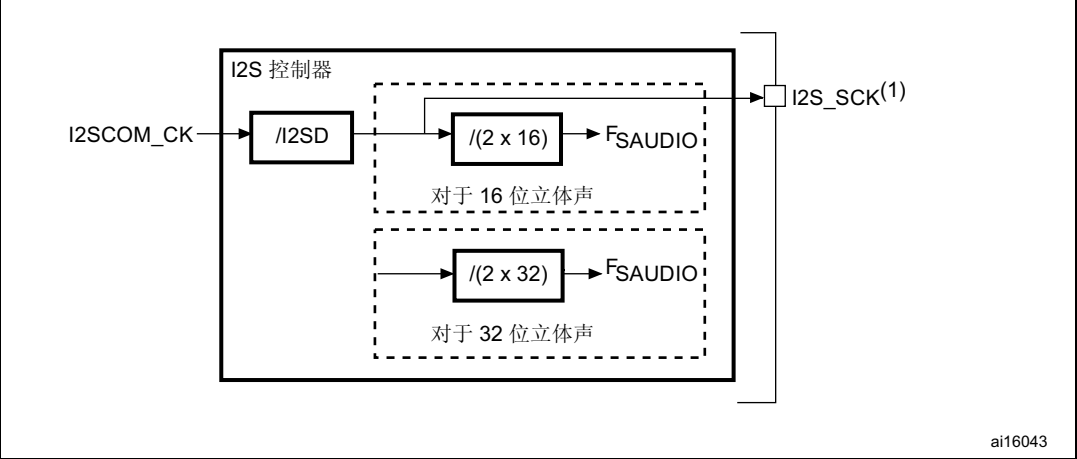


图 93. 需要主时钟 (MCK) 驱动外部音频 DAC 时



1. I2S\_SCK 是与外部音频 DAC 相连的 I2S 串行时钟（请勿与 I2S\_CK 混淆）。

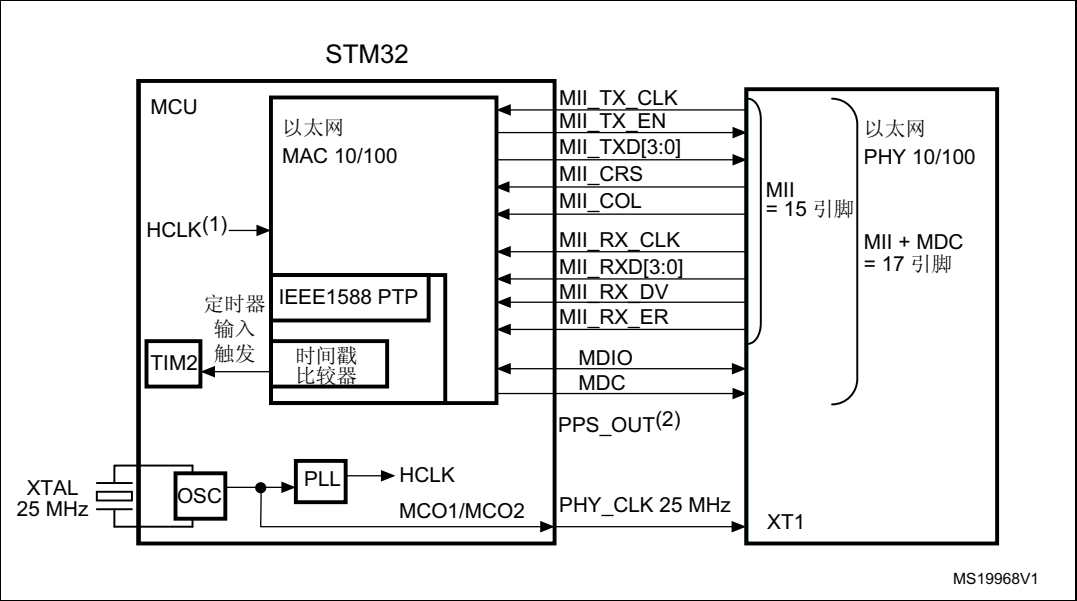
图 94. 不需要主时钟 (MCK) 驱动外部音频 DAC 时



1. I2S\_SCK 是与外部音频 DAC 相连的 I2S 串行时钟（请勿与 I2S\_CK 混淆）。

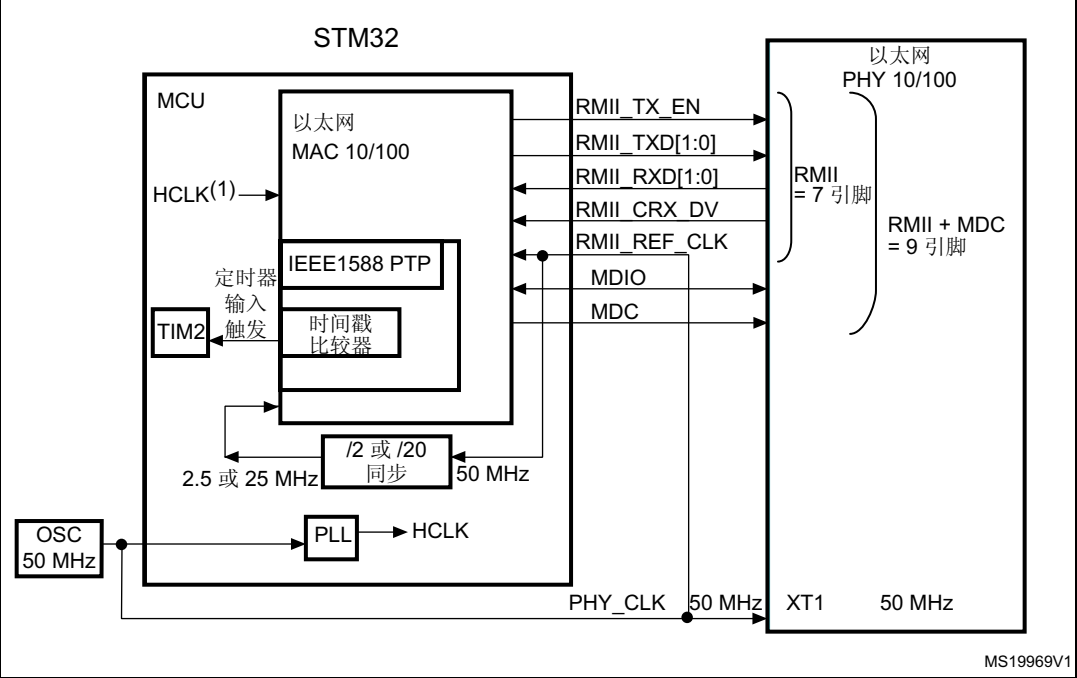
A.6 以太网接口解决方案

图 95. 使用 25 MHz 晶振的 MII 模式



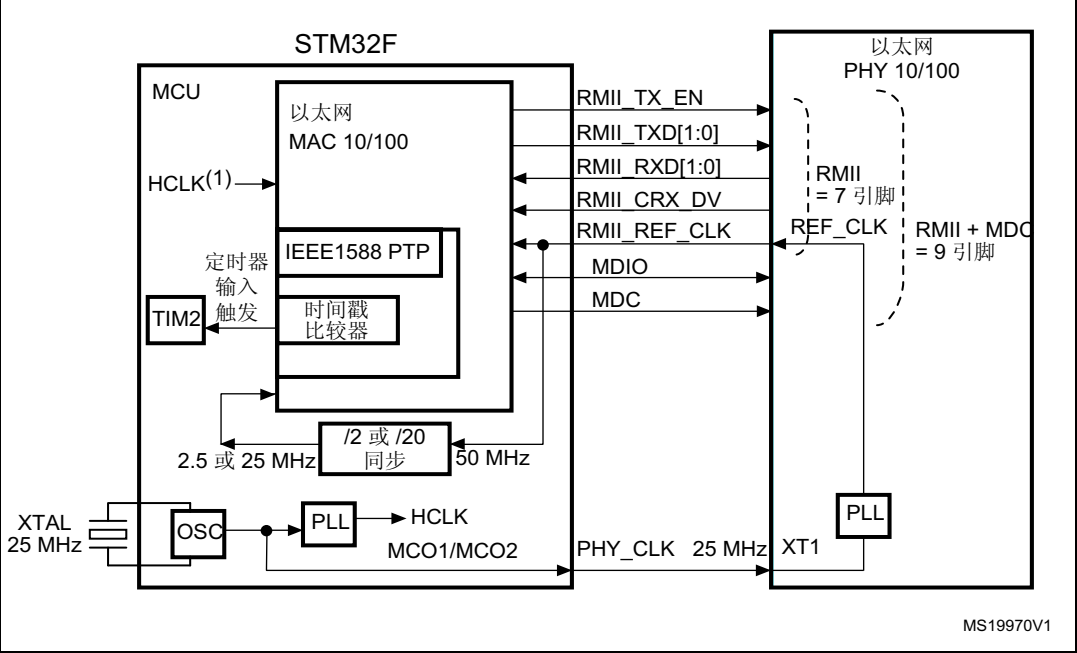
1.  $f_{HCLK}$  必须大于 25 MHz。
2. 使用 IEEE1588 PTP 可选信号时每秒的脉冲。

图 96. 使用 50 MHz 振荡器的 RMII 模式



1.  $f_{HCLK}$  必须大于 25 MHz。

图 97. 使用 25 MHz 晶振的 RMII 和带 PLL 的 PHY



1.  $f_{HCLK}$  必须大于 25 MHz。
2. 25 MHz (PHY\_CLK) 必须在 PLL 块之前直接由 HSE 振荡器提供。

# 8 版本历史

表 97. 文档版本历史

日期	版本	变更
2011 年 9 月 15 日	1	初始版本。
2012 年 01 月 24 日	2	<p>封面页增加了 WLCSP90 封装。</p> <p>USART4 和 USART5 分别重命名为 UART4 和 UART5。</p> <p>更新了表 2: STM32F415xx 和 STM32F417xx: 特性和外设数量中 USB OTG HS 和 USB OTG FS 的数量。</p> <p>更新了图 3: 采用 LQFP144 封装的 STM32F10xx/STM32F2xx/STM32F4xx 的兼容电路板设计和图 4: 采用 LQFP176 封装的 STM32F2xx 和 STM32F4xx 的兼容电路板设计, 并删除了注 1 和注 2。</p> <p>更新了第 2.2.9 节: 灵活的静态存储控制器 (FSMC)。</p> <p>修改了第 2.2.13 节: 自举模式中用于为 CAN2 和 USB OTG FS 重新编程 Flash 的 I/O。</p> <p>更新了第 2.2.14 节: 电源方案中的注释。</p> <p>PDR_ON 无法再用于 LQFP100 封装。更新了第 2.2.16 节: 调压器。</p> <p>更新了整个文档中的相应条件以获得最小电源电压 1.7 V。</p> <p>在表 4: USART 特性比较中将 USART4/5 重命名为 UART4/5, 并为 UART4 和 UART5 增加了 LIN 和 IrDA 特性。</p> <p>删除了第 2.2.29 节: 全速 USB on-the-go (OTG_FS) 中 I2C 对 OTG PHY 的支持。</p> <p>增加了表 5: 引脚排列表中使用的图注/缩写。</p> <p>表 6: STM32F41x 引脚和焊球定义: 用 V<sub>SS</sub> 替换了 V<sub>SS_3</sub>、V<sub>SS_4</sub> 和 V<sub>SS_8</sub>; 重新格式化了表 6: STM32F41x 引脚和焊球定义以进一步凸显 I/O 结构以及复用功能和附加功能; 对应于 LQFP100 引脚 99 的信号从 PDR_ON 更改为 V<sub>SS</sub>; 复用功能列表中为所有 I/O 增加了 EVENTOUT; 增加了 ADC3_IN8 作为 PF10 的复用功能; 增加了 FSMC_CLE 和 FSMC_ALE 分别作为 PD11 和 PD12 的复用功能; PH10 的复用功能 TIM15_CH1_ETR 被重命名为 TIM5_CH1; PA4 和 PA5 的 I/O 结构更新为 TTa。</p> <p>删除了表 6: STM32F41x 引脚和焊球定义和表 8: 复用功能映射中的 OTG_HS_SCL、OTG_HS_SDA 和 OTG_FS_INTN。</p> <p>图 16: STM32F41x 存储器映射中的 TCM 数据 RAM 更改为 CCM 数据 RAM。</p> <p>表 11: 电流特性中增加了 I<sub>VDD</sub> 和 I<sub>VSS</sub> 的最大值。</p> <p>表 13: 通用工作条件中增加了与 f<sub>HCLK</sub> 相关的注 1 并更新了注 2, 此外还增加了最大功耗值。</p> <p>更新了表 14: 具体限制取决于工作电源电压范围。</p>

表 97. 文档版本历史 (续)

日期	版本	变更
2012 年 01 月 24 日	2 (续)	<p>表 18: 内置复位和电源控制模块特性中增加了 V12。</p> <p>更新了表 19: 运行模式下的典型和最大电流消耗, 数据处理代码从 Flash 运行 (禁止 ART 加速器) 和表 20: 运行模式下的典型和最大电流消耗, 数据处理代码从 Flash (使能 ART 加速器) 或 RAM 运行。增加了图 22、图 23、图 24 和图 25。</p> <p>更新了表 21: 睡眠模式下的典型和最大电流消耗并删除了注 1。</p> <p>更新了表 22: 待机模式下的典型和最大电流消耗、表 23: 待机模式下的典型和最大电流消耗、表 24: V<sub>BAT</sub> 模式下的典型和最大电流消耗和表 25: 开关输出 I/O 电流消耗。</p> <p>片上外设电流消耗一节: 修改了条件并更新了表 26: 外设电流消耗和注 2。</p> <p>表 28: 高速外部用户时钟特性中的 f<sub>HSE_ext</sub> 更改为 50 MHz, 并更改了 t<sub>r(HSE)</sub>/t<sub>f(HSE)</sub> 的最大值。</p> <p>表 29: 低速外部用户时钟特性中增加了 C<sub>in(LSE)</sub>。</p> <p>更新了表 34: 主 PLL 特性中的最大 PLL 输入时钟频率、删除了相关的注释, 还删除了 RMII 以太网的 MCO 抖动典型值。更新了表 35: PLLI2S (音频 PLL) 特性中的最大 PLLI2S 输入时钟频率并删除了相关的注释。</p> <p>更新了 Flash 一节, 现在可指出器件交付客户时 Flash 已擦除。更新了表 37: Flash 特性并在表 38: Flash 编程中增加了 t<sub>ME</sub>。</p> <p>更新了表 41: EMS 特性和表 42: EMI 特性。</p> <p>更新了表 55: I<sup>2</sup>S 特性</p> <p>更新了图 44: ULPI 时序图和表 62: ULPI 时序。</p> <p>在表 50: 与 APB1 域相连的 TIMx 的特性和表 51: 与 APB2 域相连的 TIMx 的特性中都增加了 t<sub>COUNTER</sub> 和 t<sub>MAX_COUNT</sub>。更新了表 65: 动态特性: 以太网 MAC 的 RMII 信号。</p> <p>删除了 USB OTG FS 特性一节中的 USB-IF 认证。</p> <p>更新了表 59: USB FS 时钟时序参数和表 61: USB HS 时钟时序参数</p> <p>更新了表 67: ADC 特性。</p> <p>更新了表 68: f<sub>ADC</sub> = 30 MHz 时的 ADC 精度。</p> <p>更新了表 72: DAC 特性中的注 1。</p> <p>第 5.3.25 节: FSMC 特性: 表 73 更新为表 84、C<sub>L</sub> 值更改为 30 pF, 并且修改了异步时序和波形的 FSMC 配置。更新了图 58: 同步复用 PSRAM 写操作时序。</p> <p>更新了表 94: 封装热特性。</p> <p>附录 A.3: USB OTG 全速 (FS) 接口解决方案: 修改了图 85: USB 控制器配置为“仅作设备”并在全速模式下使用并增加了注 2、更新了图 86: USB 控制器配置为“仅作主机”并在全速模式下使用并增加了注 2、更改了图 87: USB 控制器在双角色模式下配置并在全速模式下使用并增加了注 3。</p> <p>附录 A.4: USB OTG 高速 (HS) 接口解决方案: 删除了图 USB OTG HS 仅器件连接 (FS 模式) 和 USB OTG HS 仅主机连接 (FS 模式), 更新了图 88: USB 控制器配置为设备模式、主机模式或双角色模式并在高速模式下使用并增加了注 2。</p> <p>增加了附录 A.6: 以太网接口解决方案。</p>



表 97. 文档版本历史 (续)

日期	版本	变更
2012 年 05 月 31 日	3	<p>更新了图 5: STM32F41x 框图和图 7: 调压器开启/内部复位关闭。</p> <p>表 2: STM32F415xx 和 STM32F417xx: 特性和外设数量中增加了 SDIO, 还增加了与 FSMC 和 SPI/I2S 相关的注释。</p> <p>从硅版本 Z 开始, USB OTG 全速接口适用于所有 STM32F415xx 器件。</p> <p>增加了有关 WLCSP90 封装与相应料号的全部信息。</p> <p>AHB 总线编号更改为 3。</p> <p>修改了第 2.2.4 节: 嵌入式 Flash 中可用的 Flash 大小。</p> <p>修改了第 2.2.10 节: 嵌套向量中断控制器 (NVIC) 中可屏蔽中断通道的编号。</p> <p>更新了第 2.2.16 节: 调压器中的调压器开启/内部复位开启、调压器开启/内部复位关闭以及调压器关闭/内部复位开启这三种情况。</p> <p>更新了第 2.2.18 节: 低功耗模式中的待机模式说明。</p> <p>在图 14: STM32F41x UFBGA176 焊球布局下增加了注 1。</p> <p>在图 15: STM32F41x WLCSP90 焊球布局下增加了注 1。</p> <p>更新了表 6: STM32F41x 引脚和焊球定义。</p> <p>增加了表 7: FSMC 引脚定义。</p> <p>删除了表 6: STM32F41x 引脚和焊球定义和表 8: 复用功能映射中的 OTG_HS_INTN 复用功能。</p> <p>删除了表 8: 复用功能映射中 PB6/AF5 的 I2S2_WS 功能。</p> <p>表 8: 复用功能映射中用 NJTRST 替换了 JTRST、删除了 ETH_RMII_TX_CLK 并修改了 PC11 的 I2S3ext_SD 功能。</p> <p>表 8: 复用功能映射。</p> <p>增加了表 9: STM32F41x 寄存器边界地址。</p> <p>更新了图 16: STM32F41x 存储器映射。</p> <p>更新了图 19: 电源方案中的 V<sub>DDA</sub> 和 V<sub>REF+</sub> 去耦电容。</p> <p>表 13: 通用工作条件中增加了 WLCSP90 的最大功耗值。</p> <p>更新了表 18: 内置复位和电源控制模块特性中的 V<sub>POR/PDR</sub>。</p> <p>更新了表 19: 运行模式下的典型和最大电流消耗, 数据处理代码从 Flash 运行 (禁止 ART 加速器)、表 20: 运行模式下的典型和最大电流消耗, 数据处理代码从 Flash (使能 ART 加速器) 或 RAM 运行和表 21: 睡眠模式下的典型和最大电流消耗中的注释。</p> <p>更新了表 22: 停机模式下的典型和最大电流消耗中 T<sub>A</sub> = 25 °n 时的最大电流消耗。</p>

表 97. 文档版本历史 (续)

日期	版本	变更
2012 年 05 月 31 日	3 (续)	<p>删除了表 28: 高速外部用户时钟特性中 <math>f_{HSE\_ext}</math> 的典型值。更新了表 30: HSE 4-26 MHz 振荡器特性和表 31: LSE 振荡器特性 (<math>f_{LSE} = 32.768\text{ kHz}</math>)。</p> <p>表 34: 主 PLL 特性中增加了 <math>f_{PLL48\_OUT}</math> 最大值。</p> <p>修改了第 5.3.11 节: PLL 扩展频谱时钟发生器 (SSCG) 特性中的公式 1 和公式 2。</p> <p>更新了表 37: Flash 特性、表 38: Flash 编程和表 39: 使用 <math>V_{PP}</math> 进行 Flash 编程。</p> <p>更新了输出驱动电流一节。</p> <p>表 52: <math>I_C</math> 特性: 注 3 进行了更新, 现在适用于快速模式下的 <math>t_{h(SDA)}</math>, 删除了与 <math>t_{h(SDA)}</math> 最小值相关的注 4。</p> <p>更新了表 67: ADC 特性。更新了表 68: <math>f_{ADC} = 30\text{ MHz}</math> 时的 ADC 精度下与 ADC 精度和反向注入电流有关的注释。</p> <p>表 94: 封装热特性中增加了 WLCSP90 热阻。</p> <p>更新了表 88: WLCSP90 - 0.400 mm 间距, 晶圆级芯片尺寸封装机械数据。</p> <p>更新了图 80: UFBGA176+25 - 超细间距球形封装 <math>10 \times 10 \times 0.6\text{ mm}</math>, 封装图和表 92: UFBGA176+25 - 超细间距球形封装 <math>10 \times 10 \times 0.6\text{ mm}</math> 机械数据。</p> <p>增加了图 82: LQFP176 推荐的封装图。</p> <p>从表 95: 订货代码中删除了容量为 256 KB 和 768 KB 的 Flash。</p> <p>附录 A.1: 主要应用与封装: 删除了表 96: 适用于 STM32F417xx 微控制器的主要应用与封装中 FSMC/NAND 的地址线编号。</p> <p>附录 A.5: 完整的音频播放器解决方案: 更新了图 89: 完整的音频播放器解决方案 1 和图 90: 完整的音频播放器解决方案 2。</p>



### 请仔细阅读：

中文翻译仅为方便阅读之目的。该翻译也许不是对本文档最新版本的翻译，如有任何不同，以最新版本的英文原版文档为准。

本文档中信息的提供仅与ST产品有关。意法半导体公司及其子公司（“ST”）保留随时对本文档及本文所述产品与服务进行变更、更正、修改或改进的权利，恕不另行通知。

所有ST产品均根据ST的销售条款出售。

买方自行负责对本文所述ST产品和服务的选择和使用，ST概不承担与选择或使用本文所述ST产品和服务相关的任何责任。

无论之前是否有过任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为ST授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在ST的销售条款中另有说明，否则，ST对ST产品的使用和/或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途（及其依据任何司法管辖区的法律的对应情况），或侵犯任何专利、版权或其他知识产权的默示保证。

意法半导体的产品不得应用于武器。此外，意法半导体产品也不是为下列用途而设计并不得应用于下列用途：（A）对安全性有特别要求的应用，例如，生命支持、主动植入设备或对产品功能安全有要求的系统；（B）航空应用；（C）汽车应用或汽车环境，且/或（D）航天应用或航天环境。如果意法半导体产品不是为前述应用设计的，而采购商擅自将其用于前述应用，即使采购商向意法半导体发出了书面通知，采购商仍将独自承担因此而导致的任何风险，意法半导体的产品设计规格明确指定的汽车、汽车安全或医疗工业领域专用产品除外。根据相关政府主管部门的规定，ESCC、QML或JAN正式认证产品适用于航天应用。

经销的ST产品如有不同于本文档中提出的声明和/或技术特点的规定，将立即导致ST针对本文所述ST产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大ST的任何责任。

ST和ST徽标是ST在各个国家或地区的商标或注册商标。

本文档中的信息取代之前提供的所有信息。

ST徽标是意法半导体公司的注册商标。其他所有名称是其各自所有者的财产。

© 2014 STMicroelectronics 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克共和国 - 芬兰 - 法国 - 德国 - 中国香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美国

[www.st.com](http://www.st.com)

