

次世代人工知能へのアプローチ

シリコン神経ネットワーク

An approach to next-generation Artificial Intelligence

Silicon neuronal networks

河野 崇¹

KOHNO Takashi¹

¹ 東京大学生産技術研究所

¹ The University of Tokyo, Institute of Industrial Science

シリコン神経ネットワークは、神経細胞に対応するシリコンニューロン回路、シナプスに対応するシリコンシナプス回路を組み合わせてることによって作られた電子回路版神経ネットワークである。脳神経系の電気生理学的活動をリアルタイムあるいはそれ以上の速度で模倣することにより、超低消費電力や少ないデータからの学習など脳神経系のもつ優れた特性を受け継ぐことができると期待されている。しかし、神経ネットワークにおける情報処理の原理が完全に解明されておらず、脳神経系に匹敵するシステムの実現のために、シリコン神経ネットワークの研究者も「構築による解析」の立場からこの問題に寄与することが求められている。このため、現代のシリコン神経ネットワークにおいてはモデルの設計方法がより重要であり、いくつかのアプローチが存在するが、それらについて簡単に解説する。

ニューロモルフィックシステム、ニューロミメティックシステム、脳神経系、人工知能、電子回路、シリコン神経ネットワーク、人工ニューラルネットワーク、定性的神経モデル

原稿受理 (2017-07-18)

情報管理. 2017, vol. 60, no. 7, p. 461-470. doi: <http://doi.org/10.1241/johokanri.60.461>

1. はじめに

近年、スマートフォンやIoTデバイスの普及により、情報端末数が急激に増加している。さらに、一台一台の情報端末の扱う情報量も増大し、情報ネットワークの大容量化、複雑化を加速している。また、労働人口が減少傾向にある中で、超高齢社会を支える介護、福祉の必要とする人的リソースは増加し、高度化の進む工業製品を効率的に大量生産する必要性も高まっている。一方で、温暖化やエネルギー問題により、使用可能なエネルギー量の伸びには大きな制約がかかっている。社会基盤としての情報処理技術には、この状況に対応して社会の継続的な発展を支えることが求められており、エネルギー効率の向上だけでなく、大規模複雑化を続けるシステムの信頼性向上、維持コストの低減も喫緊の課題である。

従来、半導体プロセスの微細化によって逐次計算

モデルの実行効率向上は指数的に増加してきたが、微細化の物理的限界や製造コスト上昇によりその伸びが鈍化しつつあり、並列計算への要求が高まっている。近年のブレークスルーにより飛躍的な性能向上を果たした「人工ニューラルネットワーク」は、脳神経系の情報処理からヒントを得て構築された超並列計算モデルであり、半導体プロセス微細化の恩恵により計算能力を向上させることができ、かつ、従来型の情報処理モデルでは実行効率が低かったパターン認識などを効率的に実行できるため、現代の情報処理技術に対する要求を満たすことのできる基盤技術として大きな期待を寄せられ、実際にさまざまな場面で成果を上げ始めている。また、ディープニューラルネットによるパターン認識能力の向上だけでなく、より高度な処理を行う、真の意味での人工知能の実現にも期待が集まっている。

一方、1960年代初頭の南雲回路^{注1)}、¹⁾を皮切りに、

脳神経系の電気生理学的な活動（以降、神経活動）を、アナログ回路を用いた物理計算により効率的にシミュレートし、脳神経系の機能を模倣する、あるいはそれに類似したハードウェア（ニューロモルフィックハードウェア）を構築しようとする研究が、1980年代半ば頃より行われるようになった²⁾。特に注目を集めたのは、網膜の神経ネットワークを模倣した「シリコン網膜回路」である。この回路の特徴は、網膜の神経ネットワークを構築する各神経細胞の特性を模倣した回路を、神経ネットワークと同様に相互接続することで、網膜の神経ネットワークを再現する点にある。初期のシリコン網膜回路は網膜外網状層の神経ネットワークのみを模倣するシンプルな構成だったが、明順応と暗順応、明滅する光が特に明るく見える時間応答、マッハバンドに代表される空間応答など、網膜で行われている主要な処理を再現することに成功した。

シリコン網膜回路の考え方を汎用化^{はんよう}し、電子回路版脳神経系を実現しようとする試みが「シリコン神経ネットワーク」である。

2. シリコン神経ネットワークと人工ニューラルネットワークの違い

2.1 設計面から

「シリコン神経ネットワーク」は、神経細胞に対応するシリコンニューロン回路、神経細胞間の接続部であるシナプスに対応するシリコンシナプス回路を組み合わせることによって、脳神経系を構成する神経ネットワークの神経活動をリアルタイムあるいはそれ以上の速度で再現する回路である。

細胞膜は絶縁体であり、電気容量をもつ（膜容量）。この容量に蓄えられた電荷の作る電位差を膜電位と呼ぶ。イオン粒子を通過させるタンパク質（イオンチャネル）が多数細胞膜を貫通しており、イオンのもつ電荷の移動により膜電位が変動するが、これが神経活動の正体である。大規模な神経ネットワークにおいて、多くの神経細胞はパルス状の素早い膜電位の変動（神経スパイク）を発生させることが知ら

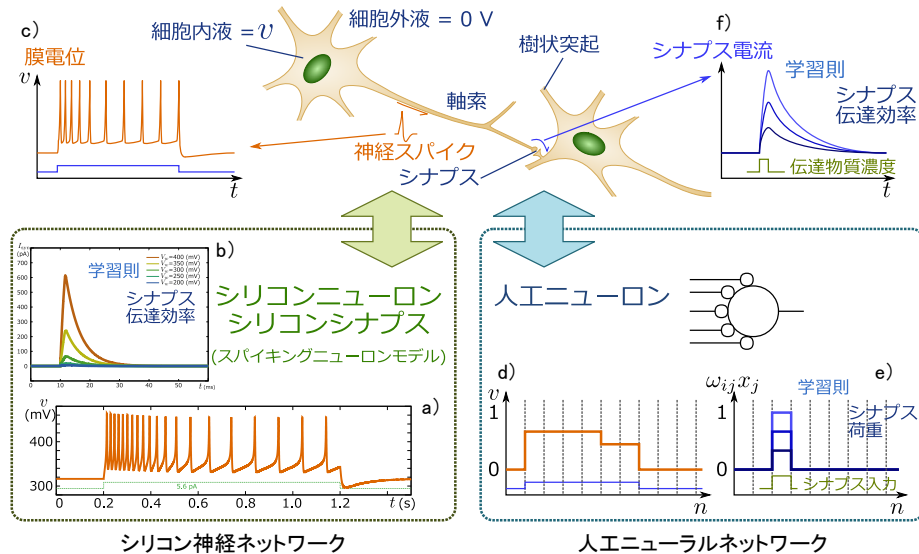
れている。神経スパイクは、シナプスの一種である化学シナプスを介して他の神経細胞に伝達され、神経ネットワーク全体での情報処理を実現するだけでなく、伝達過程で学習などに関わっていることが知られている。このため、神経細胞の電氣的生理学的挙動の最も基本的な「単位」であると考えられている。

すべてのシリコンニューロン回路は、神経スパイクに対応するパルス状の波形を生成するように設計されている（図1a）。シナプスが伝達する電流をシナプス電流と呼ぶが、化学シナプスのシナプス電流は、図1bに示すように神経スパイクに同期して素早く立ち上がった後、比較的ゆっくりと減衰する。シナプス電流は、学習により大きさが変化し、神経ネットワークの情報処理機能の構築に重要な役割を果たしている。さらに、このゆっくりとした減衰が、神経スパイクの時空間パターンを用いた情報処理に重要な役割を担っていることが示唆されている³⁾。したがって、多くのシリコンシナプス回路は、シナプス電流のスケールを変更できるだけでなく、ゆっくりと減衰する波形をつくることができるよう設計されている（図1a）。

これに対し、人工ニューラルネットワークの基本要素である人工ニューロンは、神経細胞とシナプスの両方に対応している。人工ニューロンの出力は一定時間間隔ごとに更新される実数値（図1d）であり、この時間内に神経スパイクが生成される確率と関連づけられている。また、同じ時間間隔ごとに実行される積和演算がシナプスに対応している（図1e）。このように、シリコン神経ネットワークと人工ニューラルネットワークはまったく異なる基盤をもつ。

2.2 システム構築のアプローチから

さらに、情報処理システムを構築するアプローチも大きく異なる。人工ニューラルネットワークでは、どのような構造のネットワークとどのような学習則とを組み合わせれば優れた情報処理を行うことができるかについて、脳神経系に関する知見を適宜取り入れながら、構築的なアプローチによって研究されてきた。1940年代にマカロックとピッツによって初



- a) シリコンニューロン回路の動作例（縦軸：膜電位，横軸：時間）
 b) シリコンシナプス回路の動作例（縦軸：シナプス電流，横軸：時間）
 c) 神経細胞の活動電位例（縦軸：膜電位，横軸：時間）
 d) 人工ニューロンの動作例（縦軸：出力値，横軸：時間）
 e) 人工ニューロンのシナプス荷重の作用（縦軸：シナプス入力値，横軸：時間）
 f) シナプスの活動例（縦軸：シナプス電流，横軸：時間）
 ※出典：筆者作成

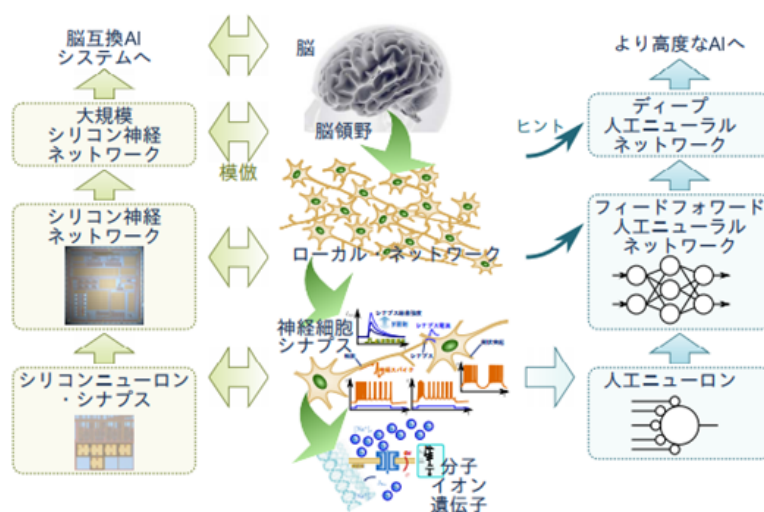
図1 シリコン神経ネットワークと人工ニューラルネットワークにおける基本構成要素の違い

めて人工ニューロンのモデルが提唱されてから70年以上にわたる研究の成果として，階層の深いフィードフォワードネットワークによって優れたパターン認識を行う方法が確立された。

これに対しシリコン神経ネットワークは，脳神経

系の階層構造を細胞レベルからボトムアップにたどるアプローチにより，最終的には脳に匹敵する情報処理システムの構築を目指している（図2）。

脳科学の知見に着目し，脳神経系との「互換性」を常に意識しながら研究が進められている。また，



シリコン神経ネットワーク（左）は，脳神経系の階層構造を，脳神経系との互換性に留意しながら，細胞レベルからボトムアップにたどるアプローチで，脳に匹敵する情報処理システムの構築を目指す。人工ニューラルネットワーク（右）は，脳神経系に関する知見を適宜取り入れながら，構築的なアプローチによって研究されてきた。

※出典：筆者作成

図2 システム構築からみる，シリコン神経ネットワークと人工ニューラルネットワークの違い

脳神経系との「互換性」に特に注力したシリコン神経ネットワークを、バイオシリコハイブリッドシステムや脳の高速シミュレータ^{2), 4)} などに応用することを目標に開発している研究グループも存在する。

バイオシリコハイブリッドシステムは、脳神経系とシリコン神経ネットワークとを接続したシステムであり、脳神経系の損傷部位の補綴^{ほてつ}や、老化などによって低下した機能の補完などのための医療デバイスへの応用を目指して研究が進められている。この分野では、ボルドー大学などが中心となって進めていたBrain-Bowというプロジェクトが大きな成果を残している⁵⁾ 他、同プロジェクトの構成メンバーなどにより引き続き研究が進められている⁶⁾。

3. シリコン神経ネットワークによる新たな脳互換AI

シリコン神経ネットワークは発展途上の技術であり、現時点では残念ながら、パターン認識などの性能において人工ニューラルネットワークによる人工知能に及ばない。しかし、今後研究が進み、脳神経系と同等の原理で動作する人工知能が実現した場合には、次のような特長をもつと期待されている。

1つ目は、電力効率（同じ処理をするために必要な電力がどの程度少なくて済むかを表す）の高さである。神経活動の時間スケールはおおよそミリ秒単位で表すことができ、電子回路にとっては非常に低速である。このような時間スケールで動作する場合、現代の標準的な集積回路技術ではMOSトランジスタのサブスレッショルド領域³⁾ を利用することによって、回路に流れる電流を非常に小さくすることができる。数ナノワット（nW）の電力で動作するシリコンニューロン回路がすでに発表されている。仮にこのシリコンニューロン回路を用いて大脳皮質と同等の規模のシリコン神経ネットワークを構築した場合の消費電力は、おおざっぱな計算で高性能なパーソナル・コンピュータと同程度（約200ワット）以下と見積もることができる。

2つ目は、神経スパイクを用いて、脳神経系と同等

の原理で情報を扱うことから、言語などを用いた記号化を経ることなく、神経スパイクの時空間パターンによって情報をやりとりできることが期待される。このため、感性や感覚など言語化に限界のある情報をきめ細かく扱うことができる可能性がある。さらに、脳神経系と同等の学習メカニズムを実現することにより、脳と同じように少ないデータから効率的に学習することが期待できる。現行の人工知能では大量のデータを用いた学習過程が必要であるが、この短所を克服できる可能性がある。

成人の脳において、神経細胞などが新しく作られ（アダルトニューロジェネシス）、古くなった細胞を置き換えることで脳機能が維持されていることが知られている。同等のメカニズムをシリコン神経ネットワークに実装することができれば、壊れにくい、あるいは、壊れても徐々に回復する人工知能を実現できる可能性がある。

このような人工知能システムを小型化し、脳神経系と直接接続する技術が開発されれば、普段は脳機能を補完するコンピューターとして働き、脳卒中などで脳の一部が損傷した場合には、健常時に蓄積したデータを基にリハビリテーションを補助、あるいは失われた脳機能を代替する、付帯脳デバイスへの応用も考えられる。シリコン神経ネットワークの目指す人工知能の特徴を一言にまとめると、「脳と共生し、脳を守る」と書けると考えている。

4. シリコン神経ネットワークのモデリング

4.1 さまざまなモデリングの長所と短所

1952年に発表されたホジキン・ハクスレイモデル⁷⁾をはじめとする長年の研究により、神経細胞やシナプスの電気生理学的活動に関する分子メカニズムの解明が進んでいる。神経細胞、シナプス単体の特性、小さな神経ネットワークにおける神経活動についてよく研究されており、優れたモデルが作られている^{8), 9)}。これらの研究成果を基に、さまざまなシリコンニューロンおよびシナプス回路が開発されてきた。

(1) イオンコンダクタンスモデル

前述（2章2節）のバイオシリコハイブリッドシステムや脳の高速シミュレータへの応用においては、脳神経系との「互換性」が特に重要視されるため、脳神経系内のさまざまな神経細胞の特徴的な神経活動をよく再現できる回路が開発されている。このタイプの回路は、神経活動の分子メカニズムを記述したモデル「イオンコンダクタンスモデル (ionic conductance model)」をリアルタイムで、あるいは高速に解くことにより、複雑な神経活動をよく再現できるよう設計されている。しかし、イオンコンダクタンスモデルは複雑な多変数非線形微分方程式で記述されているため、これを精度よく解くために回路は必然的に複雑でフットプリント（集積回路における実装面積）、消費電力ともに大きくなってしまふ。一つの神経細胞の活動を再現する回路が約100マイクロワット以上の電力を消費する。

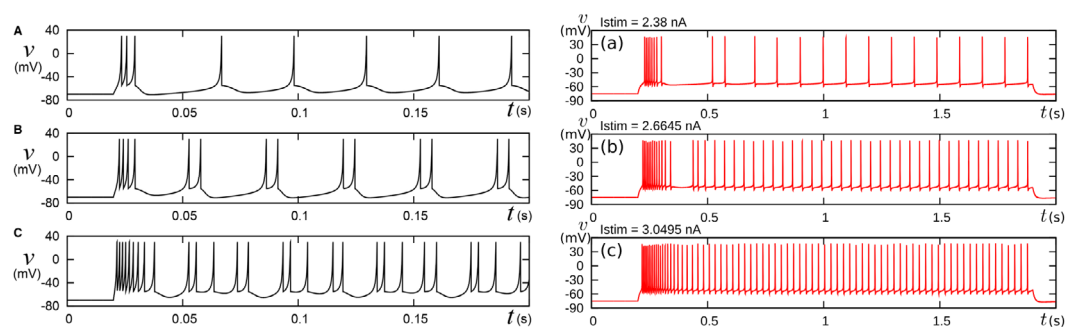
(2) インテグレートアンドファイア型モデル

一方、脳神経系を模倣した次世代情報処理システム（ニューロミメティックシステム (neuromimetic system)）の基盤技術としてのシリコン神経ネットワークにおいては、可能な限りシンプルで低消費電力な回路が必要である。このタイプの回路は多くの場合、神経スパイクをイベントとして扱い（神経スパイクのプロセスに関する記述を省略し）、その発生タイミングのみを記述した、「インテグレートアンドファイア型モデル (Integrate-and-Fire Model : 積

分発火モデル)」を解くよう設計されている。

このモデルは、少変数の簡潔な微分方程式で記述されるため、シンプルで低消費電力な回路で実装でき、既に数ナノワットで動作する回路が発表されている¹⁰⁾。しかし、神経スパイクをイベントとして扱うため、さまざまな制約が存在する。たとえば、海馬などで報告されている、神経スパイクの大きさの変動¹¹⁾を再現することができない。近年、イジケビッチモデル（神経活動の数理構造に関する知見を取り込んで構築された2変数モデル）¹²⁾ など、さまざまな神経細胞の神経スパイク生成パターンを模倣できるインテグレートアンドファイア型モデルが普及してきているが、神経スパイクの動力学的性質を無視しているため、その模倣能力に限界がある。

図3は、大脳皮質に存在するイントリンシックバースティング細胞^{注4)}に一定値の電流刺激を与え続けた場合の挙動について、イジケビッチモデルを用いて再現した場合（左列）と、イオンコンダクタンスモデルを用いた場合（右列）との比較である。刺激が十分弱い場合（上段）、両モデルの挙動は類似しているが、刺激が強い場合（中段、下段）は挙動が大きく異なることがわかる。また、イジケビッチモデルを用いた場合、神経スパイクの同期度で情報をコードするネットワークにおいて情報処理能力が低下することが報告されている¹³⁾。



刺激電流が弱い場合（上段）、イジケビッチモデルはイオンコンダクタンスモデルに類似した挙動をするが、強くなると（中段、下段）異なる挙動をする。

※出典：Nanami T.; Kohno T. Simple cortical and thalamic neuron models for digital arithmetic circuit implementation. *Frontiers in Neuroscience*. 2016, vol. 10, no. 181

図3 イントリンシックバースティング (IB) 細胞の挙動をイジケビッチモデル（左）およびイオンコンダクタンスモデル（右）を用いて再現

4.2 「構築による解析」を実現する「定性的神経モデル」

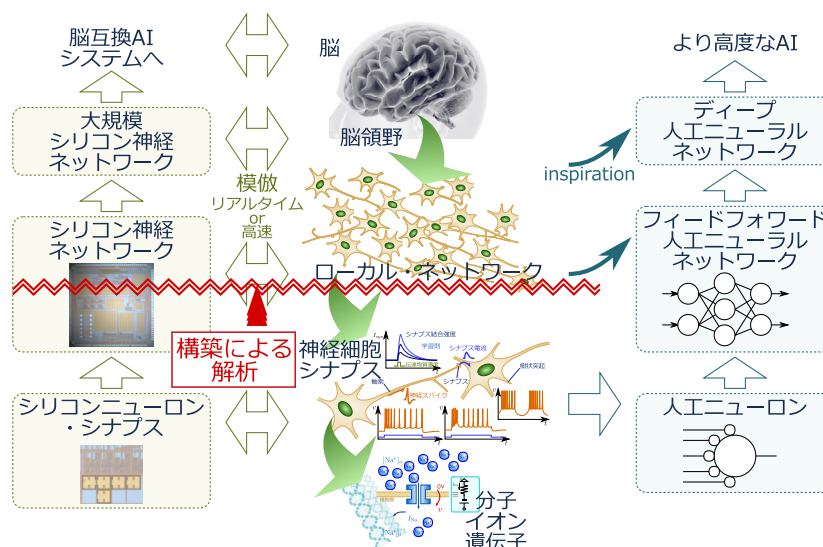
さて、脳神経系で行われている情報処理について、脳の高次機能に関する実験および理論脳科学分野の研究が進んでおり、脳のどの部位がどのような情報処理に関与しているかなどの知見が加速度的に蓄積されてきている。一方で、脳神経系に存在する多種多様な神経活動の組み合わせによって情報が表現され、処理されるメカニズムについてはほとんど明らかになっていない。また、神経ネットワークの詳細な接続構造も解明の途上である。つまり、シリコンニューロン回路、シリコンシナプス回路を組み合わせるシリコン神経ネットワーク回路を構築するに当たって、模倣する対象である局所的神経ネットワークの詳細が未解明のままであるという問題を抱えている。

この問題に対し、シリコン神経ネットワークの立場から「構築による解析」と呼ばれるアプローチで取り組むことができる(図4)。これは、シリコン神経ネットワークによってさまざまな神経ネットワークモデルを実装し、その動作を解析することによって神経ネットワークの動作原理を解明しようとするアプローチである。シリコン神経ネットワークによる脳の高速シミュレータ構築の目的の一つは、この「構築による解析」への寄与である。しかし、脳の高速シミュレータで用いられるイオンコンダクタンス

モデルは前述のように複雑な微分方程式で記述されているため、それらを多数組み合わせることによって脳神経系の情報処理を再現することができても、その動作原理の解明は非常に困難である。

「定性的神経モデル」は、非線形数学の技法を用いて構築された、イオンコンダクタンスモデルと同じ動力学的構造をもつ少変数の簡潔な微分方程式であり、イオンコンダクタンスモデルが神経活動を再現する数学的メカニズムの解明に役立てられてきた。たとえば、フィッツヒュー・南雲モデル¹⁴⁾はホジキン・ハクスレイモデルの数学的構造を再現した定性的神経モデルであり、ホジキン分類クラスIIに属する神経細胞のもつさまざまな性質の数学的メカニズムを明らかにする重要なツールとなった。このような、ヒトが神経活動の数学的メカニズムを理解するためのツールとしての定性的神経モデルは、右辺が低次の多項式で記述された微分方程式で表現されるが、これは多項式がヒトにとって理解しやすいためである。

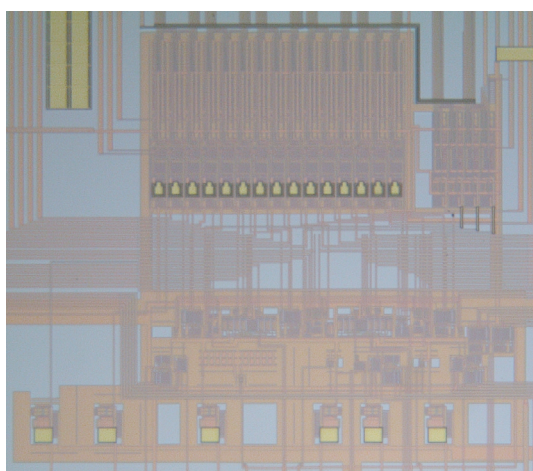
筆者らは、定性的神経モデルの本質が、数式の形ではなく数学的構造にある点に着目し、電子回路で実装しやすい式を組み合わせる定性的神経モデルを構築する手法を提案した¹⁵⁾。この手法により、低電力でありながらさまざまな神経活動の数学的構造を再現できるシリコンニューロン回路の実現が可能になった(図5)。この回路を用いたシリコン神経ネッ



※出典：筆者作成

図4 シリコン神経ネットワークの課題

トワークは、イオンコンダクタンスモデルに基づいた回路に比べ数学的メカニズムの解析が容易であるため、「構築による解析」を効率的に進めることができる。また、消費電力はシリコンニューロン回路単体で5ナノワットを切る程度と、インテグレートアンドファイア型モデルを実装する回路と同クラスである。



超低消費電力アナログシリコンニューロン回路。消費電力は5nW以下。3変数モデルを採用し、6種類の神経細胞を模倣できる。
※出典：筆者作成

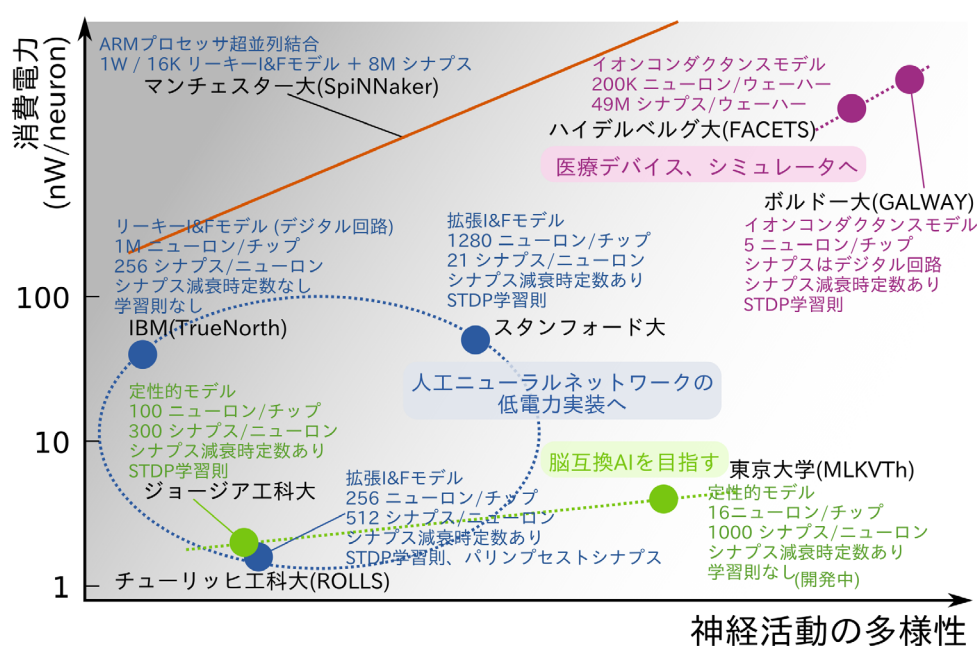
図5 シリコンニューロン回路

5. シリコン神経ネットワーク回路の現状と課題

図6に、主なシリコン神経ネットワーク回路を、シリコンニューロンあたりの消費電力の概算値を縦軸、再現できる神経活動の多様性を横軸にプロットした。より複雑なあるいは多様な神経活動を再現できる回路ほど右にプロットしたが、スカラー値で評価できる指標でないため、筆者の主観が入っている。

IBM、スタンフォード大学、チューリッヒ工科大学¹⁰⁾の回路は、インテグレートアンドファイア型モデル(図6では、I&F)を採用しており、サポートできる神経活動には限りがあるものの、消費電力が少ない。IBMの回路¹⁶⁾はデジタル回路を用いているため、アナログ回路に比べると消費電力の面で不利である。一方、デジタル回路は集積回路の製造ばらつきなどの影響を受けにくく、大規模ネットワークの構築に関して有利であり、100万ニューロン規模のネットワークを単一チップに集積することに成功している。

図中、IBMおよびマンチェスター大学のシステム以外はアナログ回路を用いているが、その場合に集積されているニューロン数は1,000程度以下である。これらの回路は、他のタイプに比べて低消費電



※出典：筆者作成

図6 シリコン神経ネットワーク回路の消費電力と、サポートする神経活動の多様性

力で集積数も多いが、脳神経系との「互換性」の面で弱いため、人工ニューラルネットワークによる人工知能のタスクを低電力で実行する方向で研究が進められている。

ボルドー大学の回路⁵⁾はBrain-Bowプロジェクトの、ハイデルベルグ大学の回路⁴⁾はBrainScaleSプロジェクトの成果であり、それぞれバイオハイブリッドシステム、脳の高速シミュレータへの応用を念頭に開発されている。イオンコンダクタンスモデルを採用しているため、前述のように、多様な神経活動をよく再現できるが、消費電力は大きい。

東京大学（筆者ら）、ジョージア工科大学の回路は定性的モデルを採用している。後者¹⁷⁾は、インテグレートアンドファイア型モデルでは一部の性質しか再現できないホジキン分類クラスIIの神経活動にフォーカスした回路であり、他の神経活動は再現できないものの、チューリッヒ工科大学のシステムと遜色ない電力を実現している。東京大学の回路¹⁸⁾は開発途上ではあるが、インテグレートアンドファイア型モデルを採用したシステムでは、ホジキン分類クラスIおよびII、レギュラスパイキング、ロースレショルドスパイキング、方形波バースト、楕円バーストの6種類の神経活動をサポートでき、シリコンニューロン回路単体で5ナノワット未満、シナプス回路を入れて10ナノワット未満の消費電力が見込まれている。ホジキン分類クラスII、楕円バーストは、インテグレートアンドファイア型モデルでは一部の性質しか再現できないことが知られている。

マンチェスター大学のシステム（SpiNNaker）¹⁹⁾では、多数のARMプロセッサが独自開発のファブリックにより超並列結合されている。ソフトウェアベースで記述した神経ネットワークモデルをリアルタイムあるいは高速で動作させるプラットフォームであり、ARMプロセッサ1チップあたり約1ワットの消費電力で、リーキーインテグレートアンドファイアモデル（Leaky Integrate-and-Fire Model:リーキー積分発火モデル（リークによって、時間がたつにしたがって膜電位が静止膜電位に近づいていく積分発火モデル））を1万6,000ニューロン分に800万

シナプスを加えたシステムをリアルタイムシミュレーションできる能力をもつ。脳の高速シミュレータからロボット制御まで幅広い応用を想定しており、必要に応じてプロセッサ数を選択できるスケールブルなシステムである。

シリコン神経ネットワークが情報処理能力を獲得するに当たって、学習則に従ってシナプス伝達効率を適切に変化させる必要があるが、神経ネットワークにおけるシナプスの数は神経細胞の1,000から1万倍といわれており、シナプス伝達効率の値を保持するメモリーデバイスの小型化は重要な課題である。しかし、現状ではデジタルメモリーを用いることが主流であり、例外はジョージア工科大学のグループがフローティングゲートメモリーにアナログ値を記録しているのみである。抵抗変化型不揮発性メモリーにアナログ値を記録する技術がさまざまなグループにより研究されているが、メモリーデバイスのコンダクタンス（電流の流れやすさ。単位シーメンス）が高く、消費電力の増大が予想される。低消費電力シリコン神経ネットワーク回路においては、シリコンシナプス回路あたりの定常消費電力は数ピコワット（pW）未満であることが要求されているため、100フェムトシーメンスから10ピコシーメンス程度のコンダクタンスをもつメモリーデバイスの出現が望まれている。脳神経系では、この程度のコンダクタンスを用いて情報処理が行われておりノイズを積極的に利用していると考えられている。このような高抵抗デバイスのノイズを生かす情報処理の原理について、理論面から明らかにすることも期待されている。

河野 崇（こうの たかし） kohno@sat.t.u-tokyo.ac.jp

1996年 東京大学 医学部医学科卒業、同大学院工学系研究科計数工学専攻博士課程入学。2002年 工学博士、浜松医科大学 医療情報部医員。2004年 科学技術振興機構ERATO合原複雑数理モデルプロジェクトグループリーダー。2006年 東京大学生産技術研究所准教授、現在に至る。



本文の注

- 注1) 南雲回路：当時の先端半導体デバイスである江崎ダイオードを用いて作られた，神経細胞膜の興奮活動を再現するアナログ電子回路。
- 注2) 脳の高速シミュレータ：脳を構成する神経ネットワークの電気活動を，脳よりも速く再現することのできるシステム。
- 注3) MOSトランジスター（酸化膜半導体トランジスター）は，現在最も広く使われているトランジスターであり，ゲート端子とシリコン基板との間に形成されたキャパシタの電圧に依存して，ソース端子とドレイン端子間に流れる電流（ドレイン電流）が変化する。十分大きなドレイン電流を得るためには，ゲート端子の電位が閾値（スレッショルド）を超える必要があるが，超えない場合（サブスレッショルド）の場合でも微小電流が流れており，この領域を使うことによってピコアンペア単位の電流を扱うアナログ回路をつくることができる。
- 注4) イントリンシックバースティング細胞：Intrinsic Bursting (IB) 細胞。大脳皮質の神経細胞で，ステップ電流刺激に反応してバースト発火の後周期発火する。

参考文献

- 1) Nagumo, J.; Arimoto, S.; Yoshizawa, S. An active pulse transmission line simulating nerve axon. *Proceedings of the IRE*. 1962, vol. 50, no. 10, p. 2061-2070.
- 2) Mead, C.; Ismail, M. eds. *Analog VLSI implementation of neural systems*. 1989, Springer, 250p.
- 3) Gütig, R.; Sompolinsky, H. The tempotron: A neuron that learns spike timing-based decisions. *Nature Neuroscience*. 2006, vol. 9, no. 3, p. 420-428.
- 4) Schemmel, J.; Brüderle, D.; Grünbl, A.; Hock, M.; Meier, K.; Millner, S. "A wafer-scale neuromorphic hardware system for large-scale neural modeling". *Proceedings of 2010 IEEE international symposium on circuits and systems*. Paris, France, 2010-05-30/06-02, IEEE, 2010, p. 1947-1950.
- 5) Grassia, F.; Buhry, L.; Levi, T.; Tomas, J.; Destexhe, A.; Saighi, S. Tunable neuromimetic integrated system for emulating cortical neuron models. *Frontiers in Neuroscience*. 2011, vol. 5, no. 134, p. 1-12.
- 6) Ambroise, M.; Buccelli, S.; Grassia, F.; Pirog, A.; Bornat, Y.; Chiappalone, M.; Levi, T. Biomimetic neural network for modifying biological dynamics during hybrid experiments. *Artificial Life and Robotics*. 2017, p. 1-6.
- 7) Hodgkin, A. L.; Huxley, A. F. A quantitative description of membrane current and its application to conduction and excitation in nerve. *The Journal of Physiology*. 1952, vol. 117, no. 4, p. 500-544.
- 8) Destexhe, A.; Mainen, Z. F.; Sejnowski, T. J. "Kinetic models of synaptic transmission". *Methods in neuronal modeling: From ions to networks*. Koch, C.; Segev, I. eds. 2nd ed. MIT Press, 1998, p. 1-25.
- 9) Abbott, L.; Marder, E. "Modeling small networks". *Methods in neuronal modeling: From ions to networks*. Koch, C.; Segev, I. eds. 2nd ed. MIT Press, 1998, p. 361-410.
- 10) Qiao, N.; Mostafa, H.; Corradi, F.; Osswald, M.; Stefanini, F.; Sumislawska, D.; Indiveri, G. A reconfigurable on-line learning spiking neuromorphic processor comprising 256 neurons and 128K synapses. *Frontiers in Neuroscience*. 2015, vol. 9, article. 141, p. 1-17.
- 11) Alle, H.; Geiger, J. R. Combined analog and action potential coding in hippocampal mossy fibers. *Science*. 2006, vol. 311, iss. 5765, p. 1290-1293.
- 12) Izhikevich, E. Which model to use for cortical spiking neurons?. *IEEE Transactions on Neural Networks*. 2004, vol. 15, iss. 5, p. 1063-1070.
- 13) Osawa, Y.; Kohno, T. Associative memory with class I and II Izhikevich model. *Journal of Robotics, Networking and Artificial Life*. 2015, vol. 1, no. 4, p. 312-315.
- 14) FitzHugh, R. Impulses and physiological states in theoretical models of nerve membrane. *Biophysical Journal*. 1961, vol. 1, iss. 6, p. 445-466.
- 15) Kohno, T.; Sekikawa, M.; Aihara, K. A configurable qualitative-modeling-based silicon neuron circuit. *Nonlinear Theory and Its Applications, IEICE*. 2017, vol. 8, no. 1, p. 25-37.

- 16) Esser, S. K.; Merolla, P. A.; Arthur, J. V.; Cassidy, A. S.; Appuswamy, R.; Andreopoulos, A.; Berg, D. J.; McKinstry, J. L.; Melano, T.; Barch, D. R.; Nolfo, C.; Datta, P.; Amir, A.; Taba, B.; Flickner, M. D.; Modha, D. S. Convolutional networks for fast, energy-efficient neuromorphic computing. PNAS. 2016, vol. 113, no. 41, p. 11441-11446.
- 17) Brink, S.; Nease, S.; Hasler, P.; Ramakrishnan, S.; Wunderlich, R.; Basu, A.; Degnan, B. A learning-enabled neuron array IC based upon transistor channel models of biological phenomena. IEEE Transactions on Biomedical Circuits and Systems. 2013, vol. 7, no. 1, p. 71-81.
- 18) Kohno, T.; Aihara, K. "A three-variable ultralow-power analog silicon neuron circuit". Proceedings of 2016 international symposium on nonlinear theory and its applications. Kanagawa, 2016-11-27/30, p. 190-193.
- 19) Furber, S. B.; Galluppi, F.; Temple, S.; Plana, L. A. The SpiNNaker Project. Proceedings of the IEEE. 2014, vol. 102, no. 5, p. 652-665.

Author Abstract

Silicon neuronal networks are an electronic circuit version of the nervous system. They are a network of silicon neuron and synapse circuits that correspond to the neuronal cell and the synapse, respectively, which simulates the electrophysiological activities in the nervous system in real time or faster. Such circuits are expected to inherit advantages in the nervous system including ultra-low power consumption and learning ability with small amount of data. The basic principle of the information processing in the nervous system has not been elucidated yet and the silicon neuronal networks are expected to contribute this problem from the standpoint of the "analysis by synthesis". Thus, modeling is most important for the silicon neuronal networks in these days and there are several approaches, which are briefly illustrated in this manuscript.

Key words

neuromorphic system, neuromimetic system, nervous system, Artificial Intelligence, electronic circuit, silicon neuronal network, artificial neural network, qualitative neuronal model