

第一章练习题

1. 某微处理机的主频为 100MHz，为测试性能用一个具有 100,000 条指令的测试程序在其上运行，已知程序中主要有四类指令组成，并得到各类指令所占比例和执行周期数如下表。

指令类型	CPI	各类指令所占比例
算术、逻辑运算	1	65
Cache 装载、存储	2	15
条件转移	4	10
Cache 缺失时存储器访问	8	10

- (1) 计算在运行测试程序时处理机的平均 CPI。
- (2) 计算该处理机每条指令的平均执行时间。
- (3) 计算在上述条件下的 MIPS 速率值。

$$(1) \overline{CPI} = 1 \times 0.65 + 2 \times 0.15 + 4 \times 0.1 + 8 \times 0.1 = 2.15$$

$$(2) \bar{t} = \overline{CPI} \times \frac{1}{100 \times 10^6} = 2.15 \times 10^{-8} \text{ s}$$

$$(3) \text{MIPS} = \frac{100 \times 10^6}{2.15 \times 10^{-8}} = \frac{100}{2.15} \approx 46.51$$

2. Intel 公司在推出 8086 时就同时推出了一个 8087 数字协处理机，专门用于协助 8086 对浮点进行处理，以后又在 Pentium 中将协处理机作了改进并制作在处理机芯片内。

(1) 在采用 8086 微处理机的机器上进行图形处理时，加了 8087 的机器要比不加协处理机的机器快 2 倍，已知图形处理中浮点运算占全部指令的 60%。请问，加了协处理机后浮点运算速度快了多少？

(2) 如像 Pentium 那样，将协处理机的浮点处理速度进一步改进，比最初提高了 5 倍，在不考虑其他因素的条件下，同样的图形处理将获益多少？

$$(1) \text{加速比} = 2 = \frac{1}{(1-0.6) + \frac{0.6}{\text{部件加速比}}} \Rightarrow \text{部件加速比} = 6$$

$$(2) \text{加速比} = \frac{1}{(1-0.6) + \frac{0.6}{5}} \approx 1.923$$

3. 一个存储系统采用的结构使其每次可以存取一个字，每次读写需要 4 个时钟周期。换用另一种存储芯片后，第一个字读写仍要 4 个时钟周期，但后续 3 个字每个都只需 1 个时钟即可完成。根据局部性原理，假定 80% 的机会都需要连续访问 4 个字。请计算改进后的存储系统的加速比。

$$\text{部件加速比} = \frac{4 \times 4}{4 + 3} \approx 2.29$$

$$\text{系统加速比} = \frac{1}{1 - 0.8 + \frac{0.8}{2.29}} \approx 1.82$$