



KOLEGJI UNIVERSITAR BEDËR

FAKULTETI I TEKNOLOGJISË DHE BIZNESIT
DEPARTAMENTI I SHKENCAVE KOMPJUTERIKE

Programi: Bachelor në Shkenca Kompjuterike

Viti: I-rë

Lënda: CMP 119 - 1 / ORGANIZIMI KOMPJUTERIK

Tema: *Ddr4*

DETYRË/PROJEKT

Punoi: Andja Cane
Valent Cane

Pranoi: Msc: Elton Kaziu

(Tiranë, Janar 2024)

Table of Contents

1. Hyrje.....	3
2.DRAM produkt.....	4
2.1Dendesia.....	4
2.2 Prefetch.....	4
2.3Frenkuenca.....	4
3. Ndertimi i DDR4.....	5
4.Grupet bankare.....	7
5. Zbulimi i gabimeve CRC.....	8
6. Inversioni i busit të të dhënave.....	9
7. Karakteristikat e prodhimit.....	9
8. Si funksionon?.....	10
9. READ/WRITE.....	11
10. Inicializimi dhe kalibrimi i DRAM.....	12
11.Fuqia e sistemit.....	13
12. I/O Fuqia e nderprerjes.....	14
13.Conclusion.....	14
14.References.....	15

Hyrje

DDR4 SDRAM është shkurtesa për "normën e dyfishtë të të dhënave të gjeneratës së katërt sinkrone dinamike random-access memory," varianti më i fundit i kujtesës. DDR4 konfiguruar si DRAM 8-bank për konfigurimin x16 dhe si një DRAM 16-bank për konfigurimet x4 dhe x8. Pajisja përdor një arkitekturë 8n-prefetch për të arritur funksionimin me shpejtësi të lartë. Arkitektura 8n-prefetch është e kombinuar me një ndërfaqe të projektuar për të transferuar dy fjalë të dhënash për ciklin e orës në I/O. Një operacion i vetëm READ ose WRITE përbëhet nga një transferim i vetëm 8n-bit i gjerë, katër orë i të dhënave në bërthamën e brendshme DRAM dhe dy transfertat të dhënash të ciklit n-bit të gjerë, një gjysmë ore në I/O. DDR4 është në gjendje të arrijë shpejtësi dhe efikasitet më të lartë falë rritjes së normave të transferimit dhe uljes së tensionit. DDR4 jep performancë më të lartë, kapacitete më të larta DIMM, integritet të përmirësuar të të dhënave dhe konsum më të ulët të energjisë. Duke arritur më shumë se 2Gbps për pin dhe duke konsumuar më pak fuqi se DDR3L (DDR3 Low Voltage), DDR4 siguron deri në 50 për qind rritje të performancës dhe gjerësia e bandës, ndërsa zvogëlon konsumin e energjisë së mjedisit tuaj të përgjithshëm. Kjo përbën një përmirësim të ndjeshëm në krahasim me teknologjitë e mëparshme të kujtesës dhe një kursim energjie deri në 40 për qind. Përveç performancës së optimizuar dhe llogaritjes me kosto të ulët, DDR4 gjithashtu ofron kontrolle ciklike të tepicës (CRC) për besueshmërinë e përmirësuar të të dhënave, zbulimin e barazisë në çip për verifikimin e integritetit të transferimeve të 'komandës dhe adresës' mbi një lidhje, integritet të përmirësuar të sinjalit dhe të tjera karakteristikat të fuqishme RAS.

DDR4 shtoi mbi 30 karakteristika të reja me një numër të konsiderueshëm prej tyre që ofrojnë aftësi të përmirësuara të sinjalizimit ose debug: pariteti CA, regjistri multipurpose, preambula e programueshme e shkrimit, preambula e programueshme e leximit, leximi i trajnimit të preambulës, shkrimi CRC, leximi DBI, shkrimi DBI, kalibrimi VREFDQ, dhe per adresueshmërinë DRAM. Është përtej fushës së këtij dokument për të dhënë një shpjegim të thellë të këtyre veçorive; Megjithatë, një dizajn i suksesshëm DDR4 me shpejtësi të lartë do të kërkojë përdorimin e këtyre karakteristikave të reja dhe ato nuk duhet të neglizhohen. Fleta e të dhënave Mikron DDR4 jep shpjegime të thella të këtyre veçorive.

Ndërsa normat e orës operative të DRAM janë rritur vazhdimisht, duke dyfishuar me çdo rritje të teknologjisë DDR, trajnimi/kalibrimi DRAM ka kaluar nga të qenit një luks në DDR në një domosdoshmëri absolute me DDR4. Për shembull, nëse kalibrimi i kërkuar VREFDQ dhe trajnimi i shkrimit të bus të të dhënave nuk do të kryheshin në mënyrë korrekte, specifikimet e minutazhit DDR4 do të duhej të zvogelohen. Por çështja është e pavlefshme pasi specifikimet kërkojnë kalibrimin VREFDQ dhe trajnimin e shkrimit të bus të të dhënave.

Table 1: Micron's DRAM Products

Product	Clock Rate (t_{CK})		Data Rate		Density	Prefetch (Burst Length)	Number of Banks
	Max	Min	Min	Max			
SDRAM	10ns	5ns	100 Mb/s	200 Mb/s	64–512Mb	1n	4
DDR	10ns	5ns	200 Mb/s	400 Mb/s	256Mb–1Gb	2n	4
DDR2	5ns	2.5ns	400 Mb/s	800 Mb/s	512Mb–2Gb	4n	4, 8
DDR3	2.5ns	1.25ns	800 Mb/s	1600 Mb/s	1–8Gb	8n	8
DDR4	1.25ns	0.625ns	1600 Mb/s	3200 Mb/s	4–16Gb	8n	8, 16

Dendësia

DDR4 SDRAM përcakton dendësitë që variojnë nga 2-16Gb; Megjithatë, industria filloi prodhimin për DDR4 me pjesë densiteti 4Gb. Këto pajisje me densitet më të lartë u mundësojnë dizajnerëve të sistemit të përfitojnë nga memoria më e disponueshme me të njëjtin numër vendosjesh, gjë që mund të ndihmojë në rritjen e bandwidth-it ose setit të veçorive të mbështetura të një sistemi. Ajo gjithashtu mund t'u mundësojë dizajnerëve të mbajnë të njëjtën dendësi me më pak vendosje, gjë që ndihmon në uljen e kostove.

Prefetch

Siç tregohet në tabelën 1, prefetch u dyfishua nga një familje DRAM në tjetrën. Me DDR4, megjithatë, gjatësia e plasjes mbetet e njëjtë me DDR3 (8)(Dyfishimi i gjatësisë së plasjes në 16 do të rezultonte në një pajisje x16 që transferonte 32 bajta të dhënash në çdo akses, gjë që është e mirë për transferimin e pjesëve të mëdha të të dhënave, por të paefektshme për transferimin e pjesëve më të vogla të të dhënave. Ashtu si DDR3, DDR4 ofron një burst chop 4 mode (BC4), i cili është një pseudo-burst gjatësi prej katër. Tranzicionet e shkruara në lexim ose lexim për të shkruar marrin një avantazh të vogël kohor nga përdorimi i BC4 krahasuar me maskimin e të dhënave në katër bitët e fundit të një gjatësie prej 8 (BL = 8) qasje; Megjithatë, modelet e tjera të aksesit nuk fitojnë ndonjë avantazh kohor nga ky mode

Frenkuenca

Standardi DDR4 përcakton normat e orës deri në 1600 MHz, me norma të dhënash deri në 3200 Mb/s. Frekuencat më të larta të orës përkthehen në mundësinë e gjerësisë më të lartë të kapaciteti i transmetimit. Megjithatë, nëse kufizimet e kohës nuk ulen në të njëjtën përqindje me rritjen e normës së orës, sistemi mund të mos jetë në gjendje të përfitojë nga të gjitha kapacitetet e transmetimit të mundshme.

Pajisjet që operojnë me orë më të larta dhe norma të dhënash bëjnë të mundur që të bëhet më shumë punë në një periudhë të caktuar kohore. Megjithatë, frekuencat më të larta gjithashtu e bëjnë më komplekse dërgimin dhe marrjen e informacionit në mënyrë korrekte. Si rezultat, pajisjet DDR4 ofrojnë:

- Dy mënyra të integruara të zbulimit të gabimeve: cikli i licencimit ciklik (CRC) për busin e të dhënave dhe paritetin duke kontrolluar për komandën dhe adresën.
- Inversioni i busëve të të dhënave (DBI) për të ndihmuar në përmirësimin e integritetit të sinjalit ndërsa redukton konsumin e energjisë.
- Të dyja këto karakteristika ka shumë të ngjarë të përdoren për qëllime zhvillimi dhe debug.

Ndertimi i DDR4

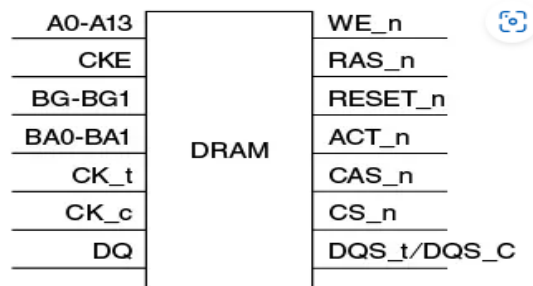


FIGURE 1 – DRAM top-level diagram

Një DRAM tipik ka disa linja sinjalizuese, kryesisht Clock, Reset, Data, Address, RAS, CAS, Write Enable dhe Data Control. Grupi i plotë i sinjaleve kryesore DRAM I/O nuk kufizohet vetëm në ato, nga ato janë disa nga linjat më të rëndësishme të sinjalit përgjegjës për lëvizjen e të dhënave. CKE është sinjali Clock Enable i cili mundëson orët e brendshme. CK_t dhe CK_c janë hyrjet diferenciale të orës, CS_n është Chip Select, i cili përdoret për të zgjedhur DIMMs ose për kaskadën e kujtesës. DQ dhe DQS janë busi i të dhënave dhe sinjalizuesi e të dhënave, i cili është një flamur për lëvizjen e të dhënave. RAS_n, CAS_n dhe WE_n janë busët kryesorë të kontrollit të cilët përdoren për të zgjedhur vendndodhjen e të dhënave, për të interpretuar lëvizjen e të dhënave dhe për të aktivizuar ose çaktivizuar Write and Read. ACT_n është funksioni Aktivizo. Do t'i diskutojmë këto më hollësisht më vonë. BG0-1, BA0-1 dhe A0-13 janë respektivisht Grupi Bankar, Adresa e Bankës dhe Inputet e Adresave.

Në një nivel të lartë, gjithçka fillon me një Grup Banke brenda të cilit përmban Bankën 0 deri në 3. Ka katër grupe të tilla bankare. Të gjitha këto janë të bllokuara duke përdorur I/O dhe kontrollohen nëpërmjet CMD (komandës) dhe regjistrave të adresave. Figura 2 tregon një paraqitje vizuale të kësaj.

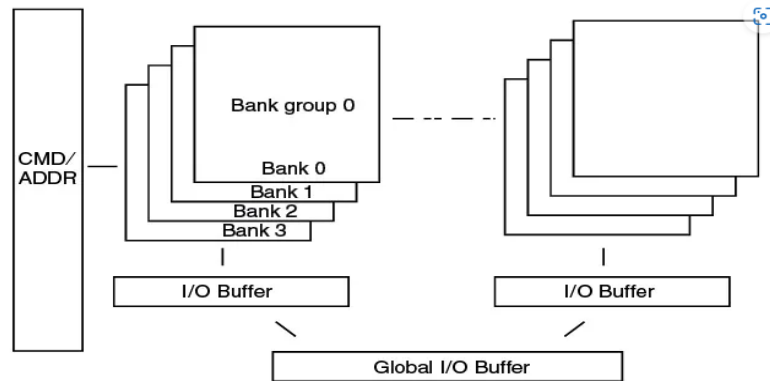


Figura 2

Për të kuptuar rrjedhën e të dhënave nga bota e jashtme në rreshta dhe kolona brenda kujtesës, le të kthehemi prapa në pamjen e nivelit të sistemit të një lidhje DDR dhe pastaj të kthehemi brenda kujtesës. Në nivelin e lartë, DRAM është e lidhur me një ASIC ose FPGA nëpërmjet një ndërfaqe fizike të quajtur DDR PHY. DDR PHY lidhet me bërthamën duke përdorur kontrolluesin DDR nëpërmjet një DFI (ndërfaqe DDR PHY). Kontrolluesi është përgjegjës për inicializimin, lëvizjen e të dhënave, konvertimin dhe menaxhimin e bandwidth. Në çdo sistem, logjika programuese e përdoruesit është përgjithësisht jostandarde dhe varet nga shoferët e dizajnerëve të ndryshëm të sistemit. "Përdoruesi" dërgon diçka që quhet adresë logjike, e cila konvertohet në një adresë fizike duke përdorur ndërfaqen PHY. DRAM sheh vetëm adresën fizike. Kjo adresë fizike ka fusha të ndryshme si Grup Bank, Bank, rreshta dhe kolona Kur themi "Row and Column", vendndodhja e rreshtit dhe kolonës identifikohet duke përdorur një dekoder rreshti dhe kolonash. Rreshti aktivizon një linjë në panelin e memories të quajtur një linjë fjalësh që aktivizohet duke përdorur amplifikatorët e shqisave. Adresa e kolonës pastaj lexon një pjesë të fjalës së ngarkuar në amplifikatorin e shqisave. Gjerësia e një Kolone quhet "Bit Line. Figura 3 ilustron se si janë rregulluar të dhënat dhe rrjedha e kontrollit. Gjerësia e një kolone është standarde, që është 4 bit, 8 bit ose 16 bit, që është e njëjtë me gjerësinë e autobusit DQ. Një pajisje $\times 16$ ka dy Grupe Bankare, ndërsa një $\times 4$ ose $\times 8$ kanë katër.

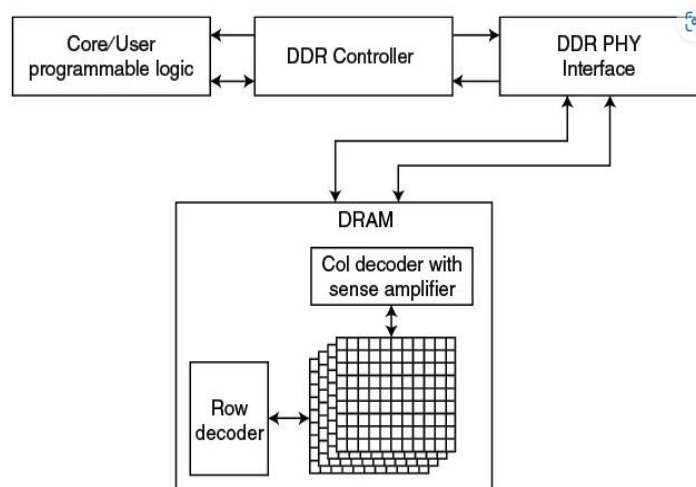


Figura 3

Kur flasim për bits në DRAM, bit është fizikisht një kondensator që mban ngarkesë, me të dhënat që rrjedhin nëpër një transistor si një switch. Një kondensator është një element pasiv dhe nuk mund të ruajë një ngarkesë përgjithmonë. Për të vizualizuar diagramin e nivelit të transistorit, shikoni *figurën 4*. Kur një rresht aktivizohet, një faqe e tërë ngarkohet në amplifikatorët e shqisave.

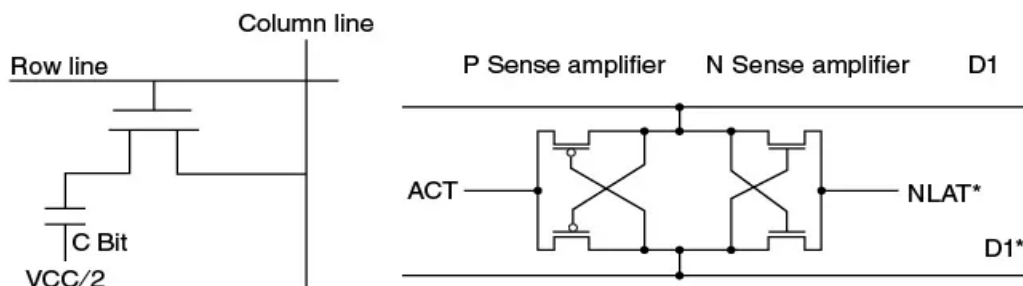


Figura 4

Grupet bankare

DDR4 mbështet grupimin bankar:

- pajisje DDR4 x4/x8: katër grupe bankare, secila e përbërë nga katër nën-banka
- pajisje x16 DDR4: dy grupe bankare, secila e përbërë nga katër nën-banka

Figure 4: Bank Groupings—x4 and x8 Configurations

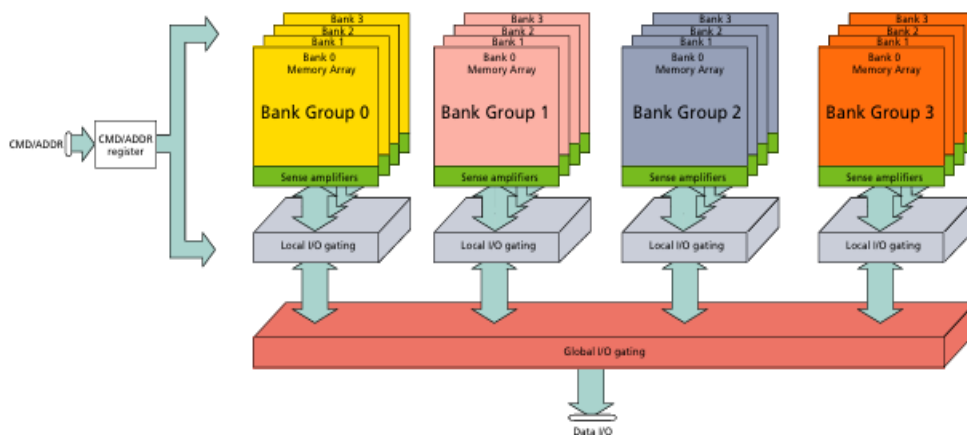


Figura 6

Figure 5: Bank Groupings—x16 Configuration

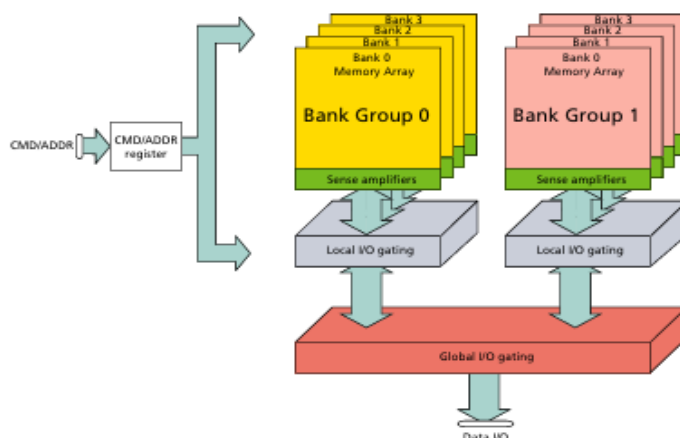


Figura 7

Aksesi i bankave në një grup bankar të ndryshëm kërkon më pak vonesë kohore midis qasjeve sesa akseseve bankare brenda të njëjtit grup bankar. Qasjet bankare në grupe të ndryshme bankare mund të përdorin specifikimin e shkurtër të kohës midis komandave, ndërsa akseset bankare brenda të njëjtit grup bankar duhet të përdorin specifikimet e kohës së gjatë. Kërkesat e ndryshme kohore mbështeten për qasje brenda të njëjtit grup bankar dhe ato midis grupeve të ndryshme bankare:

- Afatet e gjata (tCCD_L, tRRD_L dhe tWTR_L): aksesi në bankë brenda së njëjtës bankë

grup

- Afatet e shkurtra (tCCD_S, tRRD_S, tWTR_S): akseset bankare midis grupeve të ndryshme bankare

Figura8

Figure 6: Bank Group: Short vs. Long Timing

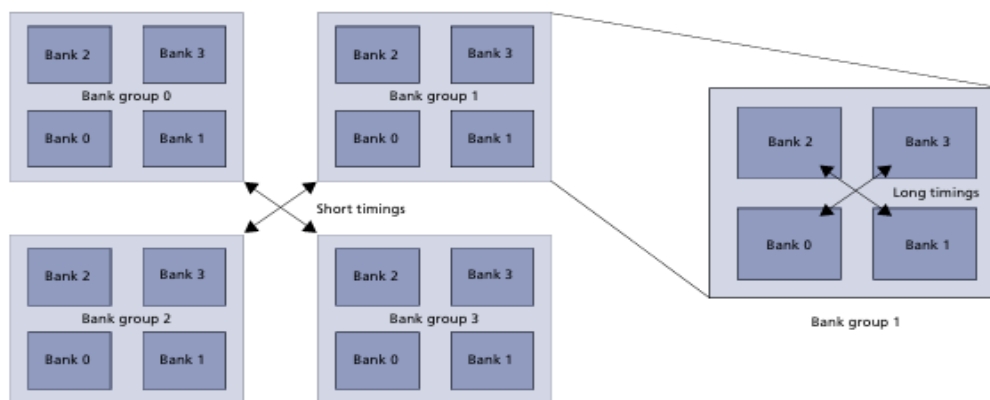


Table 4: DDR3 vs. DDR4 Bank Group Timings – t_{CCD}

Product	Parameter	1600	1866	2133	2400
DDR3	t_{CCD}	4CK	4CK	4CK	N/A
DDR4	t_{CCD_S}	4CK	4CK	4CK	4CK
DDR4	t_{CCD_L}	5CK or 6.25ns	5CK or 5.355ns	6CK or 5.355ns	6CK or 5ns

Table 5: DDR3 vs. DDR4 Bank Group Timings – t_{RRD}

Product	Parameter	1600	1866	2133	2400
DDR3	t_{RRD} (1KB)	4CK or 5ns	4 CK or 5ns	4CK or 5ns	N/A
DDR4	t_{RRD_S} (1/2KB, 1KB)	4CK or 5ns	4 CK or 4.2ns	4CK or 3.7ns	4CK or 3.3ns
DDR4	t_{RRD_L} (1/2KB, 1KB)	4CK or 6ns	4CK or 5.3ns	4CK or 5.3ns	4CK or 4.9ns
DDR3	t_{RRD} (2KB)	4CK or 7.5ns	4CK or 6ns	4CK or 6ns	N/A
DDR4	t_{RRD_S} (2KB)	4CK or 6ns	4CK or 5.3ns	4CK or 5.3ns	4CK or 5.3ns
DDR4	t_{RRD_L} (2KB)	4CK or 7.5ns	4CK or 6.4ns	4CK or 6.4ns	4CK or 6.4ns

Table 6: DDR3 vs. DDR4 Bank Group Timings – t_{WTR}

Product	Parameter	1600	1866	2133	2400
DDR3	t_{WTR}	4CK or 7.5ns	4CK or 7.5ns	4CK or 7.5ns	N/A
DDR4	t_{WTR_S}	2CK or 2.5ns	2CK or 2.5ns	2CK or 2.5ns	2CK or 2.5ns
DDR4	t_{WTR_L}	4CK or 7.5ns	4CK or 7.5ns	4CK or 7.5ns	4CK or 7.5ns

Zbulimi i gabimeve CRC

Zbulimi i gabimeve CRC siguron zbulimin e gabimeve në kohë reale në busin e të dhënave DDR4, duke përmirësuar besueshmërinë e sistemit gjatë operacioneve WRITE. DDR4 përdor një kontroll gabimi me kokë CRC 8 bit: X^8+X^2+X+1 (ATM-8 HEC). Funksionet e nivelit të lartë, CRC përfshijnë:

- DRAM gjeneron kotrollin per write burst, per DQS lane: 8 bit per write burst (CR0-CR7) dhe një CRC duke përdorur 72 bit të dhëna (bitët e transferimit të paallokuara janë 1s).
- DRAM krahasohet me kontrollin e kontrolluesit; Nëse dy kontrolle nuk përputhen, DRAM shënon një gabim.
- Një gabim CRC vendos një flamur duke përdorur sinjalin ALERT_n (pulsi i shkurtër i ulët; 6-10 orë)

Figure 1: CRC Error Detection

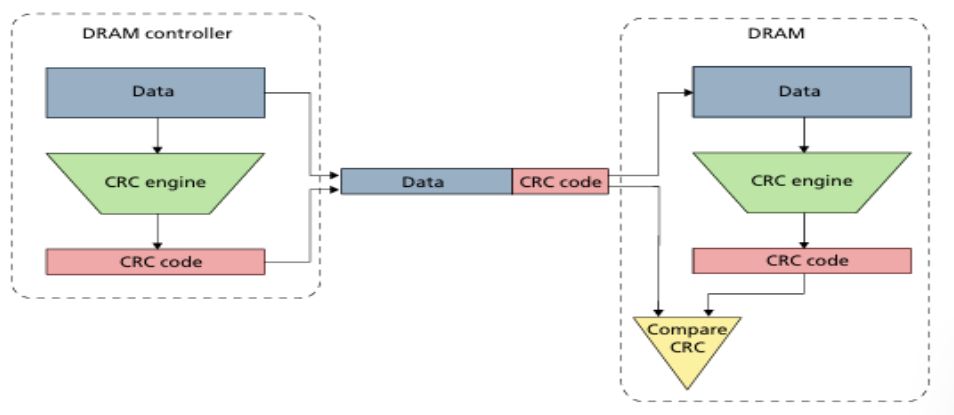


Figura 9

Inversioni i busit të të dhënave

E re në DDR4, veçoria e inversionit të autobusëve të të dhënave (DBI) mundëson këto avantazhe:

- Mbështetur në konfigurimet x8 dhe x16 (x4 nuk mbështetet)
- Konfigurimi është vendosur për byte: Një DBI_n pin është për konfigurimin x8; UDBI_n, LDBI_n për konfigurimin x16
- Ndan një kunj të përbashkët me funksionet e maskës së të dhënave (DM) dhe TDQS; Shkruaj DBI nuk mund të jetë aktivizuar në të njëjtën kohë funksioni DM është mundësuar
- Inversion bitët e të dhënave
- Vozit më pak bita LOW (maksimumi i gjysmës së bitave janë të drejtuara LOW, duke përfshirë edhe DBI_n pin)
- Konsumon më pak fuqi (fuqia konsumohet vetëm nga bitët që janë të drejtuara LOW)
- Mundëson ndërrimin e bitave më pak, gjë që rezulton në më pak zhurmë dhe një sy më të mirë të të dhënave
- Vlen si për operacionet READ ashtu edhe për WRITE, të cilat mund të mundësohen veçmas (kontrolluar nga MR5)

Karakteristikat e prodhimit

DDR4 ka tre karakteristika që ndihmojnë në prodhimin: riparimi i paketës postale, adresa multiplekse dhe modaliteti i testit të lidhshmërisë.

Riparimi i paketës postale (PPR): SDRAM Micron DDR4 ka një rresht shtesë në dispozicion për riparim për bankë (16 për x4/x8, tetë për x16) edhe pse JEDEC kërkon vetëm një rresht shtesë të jetë në dispozicion për riparim për grup bankar (katër për x4/x8, dy për x16). PPR i mundëson përdoruesit përfundimtar të zëvendësojë një rresht të dyshuar në çdo bankë me një rresht të mirë rezervë.

Komanda multiplekse: Për të mbështetur pajisjet me densitet më të lartë pa shtuar adresën shtesë, DDR4 përcaktoi një metodë për adresat multiplekse në komandë (RAS, CAS, dhe WE). Gjendja e komandës së sapopërcaktuar (ACT_n) përcakton se si përdoren gjatë një komande AKTIVIZO.

Modaliteti i testit të lidhshmërisë: Connectivity test (CT) mode është i ngjashëm me testimin e skanimit të kufijve, por është projektuar për të përshpejtuar ndjeshëm testimin e vazhdimësisë elektrike të ndërlidhjeve midis pajisjes DDR4 dhe kontrolluesit të memories në një tabelë qarkore të shtypur I projektuar për të punuar në mënyrë transparente me çdo pajisje të skanimit të kufijve, modaliteti CT mbështetet në të gjitha pajisjet x4, x8 dhe x16 Micron DDR4. JEDEC specifikon modalitetin CT për pajisjet x4 dhe x8 dhe si një veçori opsionale në pajisjet 8Gb dhe sipër. Në kundërshtim me testet e tjera konvencionale të skanimit të kufijve të bazuar në regjistër, ku modelet e testit zhvendosen brenda dhe jashtë pajisjeve të memories në mënyrë seriale gjatë çdo ore, modaliteti DDR4 CT lejon që modelet e testit të hyjnë në kunjat hyrëse të testit paralelisht dhe rezultatet e testit të nxirren nga kunjat dalëse të testit të pajisjes paralelisht. Kjo rrit ndjeshëm

shpejtësinë e kontrollit të lidhshmërisë. Kur vendoset në modalitetin CT, pajisja shfaqet si një pajisje dalluese për agjentin kontrollues të jashtëm. Pas aplikimit të modelit të testit hyrës, rezultatet e testit të lidhshmërisë janë disponueshëm për nxjerrje paralelisht në kunjat e daljes së testit pas një kohe të caktuar të vonësës së përhapjes

Si funksionon?

DDR4 SDRAM ofron një tension operativ më të ulët dhe një normë transferimi më të lartë se procesorët. Ajo gjithashtu mund të përpunojë më shumë të dhëna brenda një cikli të vetëm të orës, gjë që përmirëson efikasitetin. DDR4 siguron një tension të ulët operativ (1.2V) dhe një normë të lartë transferimi. DDR4 shton katër grupe të reja bankare në kovën e saj me çdo grup bankar që ka një funksion operativ me një dorë të vetme. Kjo e bën DDR4 të aftë të përpunojë katër banka të dhënash brenda një cikli të vetëm të orës dhe në këtë mënyrë të rrisë efikasitetin krahasuar me formatet e vjetra DDR. DDR4 është miratuar gjerësisht në mbarë botën, dhe kërkon një ndërfaqe të zbatuar tipikisht me një ASIC kompleks ose FPGA.

DRAM ka madhësi fikse. Të gjitha organizatat duhet të respektojnë madhësitë e detajuara në specifikimet e JEDEC. Tani le të shohim se si të llogarisim madhësitë e DRAM. Këtu, ne do të llogarisim kapacitetin DRAM të pajisjes 4Gb×8.

Për një pajisje ×8, numri i bitave të adresës Row: A0 në A14 = 15 bit.

Pra, numri i përgjithshëm i rreshtave = 32k.

Për një pajisje ×8, numri i bitave të Adresës së Kolonës: A0 në A9 = 10 bit.

Pra, numri i përgjithshëm i kolonave = 1k.

Gjerësia e secilës kolonë = 8 bit

Numri i grupeve bankare = 4

Numri i bankave = 4

Kapaciteti total DRAM:

Num. Rreshtat × Num. Kolonat × Gjerësia e kolonave × Num Grupeve bankare × Num Banks
= 32,000 × 1,000 × 8 × 4 × 4
= 4,096,000,000 bits = 4 Gbits

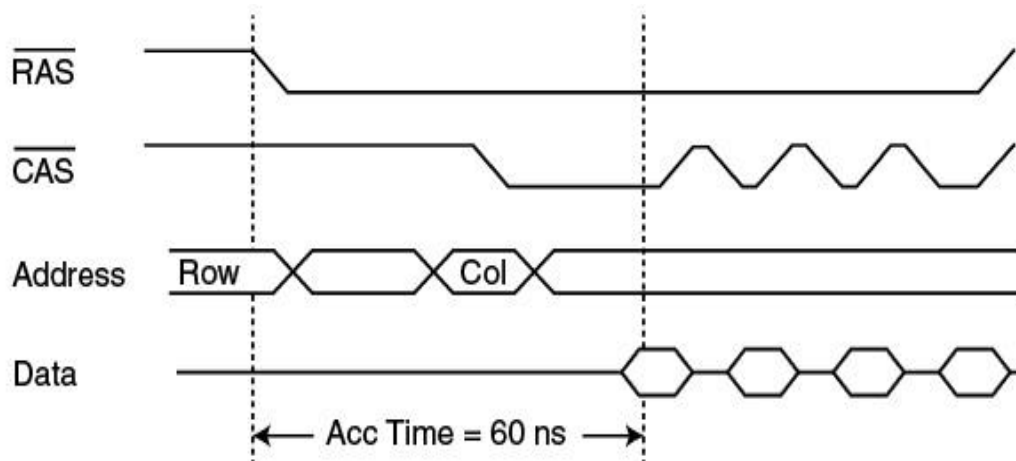
READ/WRITE

Kujtesa DDR punon mbi parimin e operacionit burst me një gjatësi plasëse prej 8, ose një shpërthim të prerë prej 4 ku operacionet e leximit dhe shkrimit ndodhin në të njëjtin shpërthim. Zbatimi ose një operacion i lexuar ose i shkruar përfshin një listë të madhe sinjalesh, të gjitha duke punuar së bashku. Por për ta kuptuar nga pamja prej 30.000 këmbësh, ka dy hapa kryesorë për një lexim dhe shkrim të përgjithshëm. Këto përfshijnë komandat ACTIVATE (ACT) dhe READ/WRITE. Komanda ACT fillon me ACT_n dhe sinjalet CS_n të vendosura poshtë. Regjistri

i bitit të adresës, së bashku me një komandë Read or Write, përdoret për të zgjedhur kolonën për funksionimin burst. Ky hap është CAS ose Column Address Strobe. Duke qenë se çdo bankë ka vetëm një amplifikator sensi, është e nevojshme të çaktivizohet e para para se të kalojë në të dytën. Kjo bëhet duke përdorur komandën PRECHARGE. Ka edhe zëvendësues të tjerë të përshtatshëm të komandës si RDA (Lexo me Auto Precharge) dhe komandat WRA (Write with Auto Precharge) të cilat kujdesen për aktivizimin dhe çaktivizimin automatikisht. Një mbingarkesë 10 bit është bërë për të treguar Precharge. Folëm për komandat Activate, Precharge, Read and Write. Këto në fakt kontrollohen duke përdorur një tabelë të së vërtetës, e cila merr input nga sinjalet CS, ACT, RAS, CAS, WE, A10 I/O

Hapi i parë për të lexuar ose për të shkruar është dërgimi i komandës ACT. Vlera në autobusin e adresës tregon adresën e rreshtit. Më pas, lëshohet komanda RDA. Vlera në autobusin e adresës tregon adresën e kolonës në këtë moment. Dallimi midis leximit dhe shkrimit është se komanda e shkrimit lëshon dy shkrime. E para është në një kolonë adresash dhe e dyta tek një kolonë adrese+8. Për shkak se tashmë jemi në rresht, nuk kemi nevojë të ri-lëshojmë komandën ACT. Më në fund, lëshohet një komandë WRA.

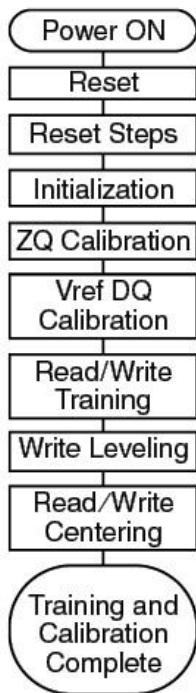
Figura10



Inicializimi dhe kalibrimi i DRAM

- 1) Fuqizohuni
- 2) Kalibrimi ZQ
- 3) Kalibrimi Vref DQ
- 4) Stërvitja e kujtesës

Figura 11



Kalibrimi ZQ është i lidhur me DQ (të dhënat). DQ janë bidirectionale dhe përgjegjëse për trajtimin e transaksioneve të plota të të dhënave. Çdo DQ ka një bllok kalibrimi DQ i cili lidhet me botën e jashtme me një rezistor pull-down që është i programueshëm nga jashtë. Kjo vlerë rezistuese është 240Ω për të qenë e saktë, megjithatë, për shkak të tolerancës materiale dhe faktorëve të jashtëm si temperatura, këto vlera janë të ndryshueshme. Kalibrimi ZQ sigurohet që ky rezistor të jetë programuar duke marrë në konsideratë të gjithë këta faktorë të jashtëm. Duke pasur rezistorë paralelë 240Ω u mundëson përdoruesve të akordojnë edhe forcën e shtytjes dhe rezistencën e terminimit. Kjo ndihmon në integritetin e sinjalit për PCB të ndryshme. Ndërrerjet DDR4 janë zakonisht SSTL (stub series terminated logic). Kjo përmirëson integritetin e sinjalit me shpejtësi të lartë dhe kursen fuqinë. Në DDR4, ka një referencë të tensionit të brendshëm në vend të një tërheqjeje në anën e pranuesit. Prandaj, vendos pragun në bazë të vlerës referuese të tensionit. Kjo referencë tensioni quhet VrefQ dhe mund të vendoset duke përdorur një rezistor MR6. Edhe pse kalibrimi fillestar është i plotë, rreshtimi i

orës, vonesat e kështu me radhë ende duhet bërë. Ky hap është Trajnimi Lexo/Shkruaj. Të dhënat dhe sinjalet e Data Strobe mund të lidhen mbi gjurmë të ndryshme gjatësie në tabelë me elemente të ndryshme të memories në DIMMs. Është e nevojshme të trajnohen DDR DRAMs në mënyrë që këto gjatësi të vonojnë një marrë parasysh. Jo vetëm sinjalet e të dhënave, por edhe vonesat e orës duhet të rreshtohen në mënyrë që syri i të dhënave të përqëndrohet vetë. Kontrolluesi DRAM dërgon një seri impulsesh TDQS për të vonuar sinjalin për të përqëndruar të dhënat.

Katër hapat e mëposhtëm janë të nevojshëm për të llogaritur fuqinë e sistemit:

1. Llogaritni nënkompetentët e energjisë nga specifikimet e fletës së të dhënave. (Kjo llogaritje cilësohet si PDS (XXX), ku XXX është fuqia nënkompetente.)
2. Derate fuqinë në bazë të programimit të komandës në sistem (Psch[XXX]).
3. Derate fuqinë për VDD aktuale të funksionimit të sistemit dhe frekuencën e orës (Psys[XXX]).
4. Gjeni shumën e nënkomponentëve të kushteve operative të sistemit për të llogaritur fuqinë totale të konsumuar nga DRAM

I/O Fuqia e ndërprerjes

Psch(RD) dhe Psch(WR) janë vetëm një pjesë e fuqisë totale për sekuencat e leximit dhe shkrimit. Specifikimet e fletëve të të dhënave nuk përfshijnë fuqinë e shoferit dalës ose fuqinë ODT. Këto fuqi janë të varura nga sistemi dhe duhet të llogariten për çdo sistem. Sistemet DDR4 mund të ndryshojnë shumë në varësi të dendësisë së aplikimit dhe kërkesave të faktorit të formës. Një sistem tipik i dendësisë së vogël tregohet në figurën e mëposhtme. Autobusi i të dhënave lidh kontrolluesin me dy DDR4 SDRAM. Përveç kësaj, kontrolluesi dhe DRAM përdorin ODT për linjat e të dhënave kështu që asnjë komponent pasiv i jashtëm nuk është i nevojshëm për këtë sistem shembullor

Conclusion:

1. **Rritje e Performancës:**

- DDR4 ofron performancë të përmirësuar krahasuar me pararendësit e tij, me shkallë më të larta transferimi të të dhënave dhe rritje të kapacitetit. Kjo e bën atë të përshtatshme për aplikacione të kërkuara si lojërat, kompjuterat me performancë të lartë dhe mjediset server.

2. **Efikasitet Energjetik:**

- DDR4 është projektuar të jetë më efikas në konsumimin e energjisë krahasuar me gjeneratat e mëparshme, duke operuar në nivelet më të ulëta të voltazhit. Kjo kontribuon në uljen e konsumit të energjisë dhe prodhimin e ngrohtësisë, atë një opsion më miqësor ndaj mjedisit.

3. **Karakteristika të Avancuara:**

- DDR4 paraqet karakteristika të reja dhe përmirësime, si pariteti i adresës kanali (CA), regjistrat shumëfunksionalë dhe paragrafi i shkruar/lexuar i programueshëm. Këto karakteristika kontribuojnë në integritetin e sinjalit, në besueshmërinë dhe lehtësinë e integritetit në sisteme të ndryshme.

4. **Kalibrimi i VREFDQ dhe Trajnimi i busit të të Dhënave:**

- Specifikacionet e DDR4 përfshijnë kërkesa për kalibrimin e VREFDQ dhe trajnimin e busit të të dhënave. Këto sigurojnë performancë optimale duke ndryshuar referencat e voltazhit dhe konfigurimet e busit të të dhënave, përmirësuar stabilitetin dhe besueshmërinë.

5. **Kompatibiliteti dhe Adoptimi:**

- DDR4 është bërë standard për sistemet dhe pajisjet e reja, duke zëvendësuar gradualisht standardet e mëparshme të memorjes. Kompatibiliteti i tij me motherboard-e të ndryshme dhe procesorë ka kontribuar në adoptimin e gjerë në industrinë e kompjuterave.

6. **Zhvillime të Ardhshme:**

- Ndërsa DDR4 është gjerësisht i përdorur, hulumtimet dhe zhvillimet e vazhdueshme në teknologjinë e memorjes mund të çojnë në shfaqjen e standardeve të reja.

7. ****Konsiderata të Kostos:****

- Modulet e memorjes DDR4 ishin fillimisht më të shtrenjta se ato të pararendësve, por si teknologjia pjell dhe prodhimi rritet, çmimet kanë tendencë të bëhen më konkurruese. Konsideratat e efikasitetit të kostos janë të rëndësishme kur zgjidhni memorjen për një aplikacion të caktuar.

8. ****Stabiliteti dhe Besueshmëria e Sistemit:****

- Implementimi i duhur i DDR4, duke përfshirë respektimin e specifikacioneve dhe udhëzimeve, është kritik për sigurimin e stabilitetit dhe besueshmërisë së sistemit. Vëmendja ndaj detajeve si kalibrimi i VREFDQ dhe trajnimi i busit të të dhënave është thelbësore për performancën optimale.

References

1. <https://circuitcellar.com/research-design-hub/basics-of-design/ddr4-dram-101/>
2. https://media-www.micron.com/-/media/client/global/documents/products/technical-note/dram/tn4040_ddr4_point_to_point_design_guide.pdf?la=en&rev=d58bc222192d411aae066b2577a12677
3. https://www.micron.com/-/media/client/global/documents/products/technical-note/dram/tn4007_ddr4_power_calculation.pdf
4. <https://www.systemverilog.io/design/ddr4-basics/>
5. <https://www.kingston.com/en/memory/ddr4-overview>
6. https://www.micron.com/-/media/client/global/documents/products/technical-note/dram/tn4007_ddr4_power_calculation.pdf
7. <https://www.edn.com/ddr4-memory-interface-solving-pcb-design-challenges/>