

计算机组成 (2021秋)

计算机组成教学团队

刘旭东、肖利民、高小鹏、栾钟治、万寒

wanhan@buaa.edu.cn

课程介绍

- 课程名称
 - 计算机组成 (Computer Organization)
 - 课程站点: <http://course.buaa.edu.cn/> <http://cscore.buaa.edu.cn>
- 学时
 - 理论教学: 64学时
 - 实验教学: 48学时
- 理论课程教学目标
 - 从原理性的角度出发, 以MIPS系统为主要研究对象, 讲述计算机硬件系统的组成、各部件的结构及其底层硬件工作原理
 - 使学生理解计算机的组织与结构和工作过程, 掌握计算机硬件系统的基本设计方法
 - 培养学生分析、设计和开发计算机硬件系统的基本能力, 为后续课程打下坚实基础
- 配套实验
 - 配套实验课程要求学生自主开发以MIPS处理器为核心的功能型计算机
 - 有关设计软件、仿真工具的学习 (自学)

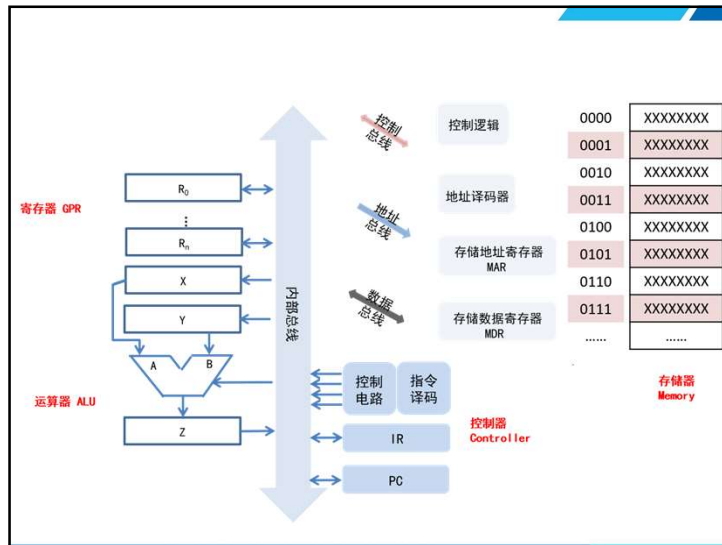
课程介绍

- 主要目标: 理解并掌握计算机的运行原理
 - 学习计算机硬件的组成
 - 掌握计算机硬件的设计
 - 理解计算机硬件/软件的协同机制
- 核心任务: 实现基于MIPS的功能型计算机
 - 以数字电路为基础, 设计MIPS的功能组件
 - 以功能组件为基础, 构造MIPS CPU
 - 编写MIPS程序, 验证系统功能

导 引

万 寒

wanhan@buaa.edu.cn



第一讲：计算机组成概述（4学时）

- 目 标
 - 了解计算机系统的基本功能、组成框架、典型结构
 - 掌握计算机中数的表示方法
 - 基本理解计算机的程序执行行为
- 主要内容
 - 计算机系统的基本组成
 - 计算机系统的典型架构
 - 计算机中数的表示
 - 定点数的表示（原码、反码、补码）
 - 浮点数的表示
 - 计算机的程序执行原理简介
 - 指令的含义简介
 - 程序的执行过程简介

第二讲：组合逻辑设计（8学时）

- 目 标
 - 掌握布尔代数基础理论，布尔方程表示、转换及化简等方法
 - 了解门电路的基本结构及门电路实现方法
 - 掌握运算单元、译码器等组合逻辑部件设计方法
- 主要内容
 - 布尔代数基础理论（2学时）
 - 布尔代数基础理论
 - 逻辑函数的表示与化简
 - 逻辑门电路（2学时）
 - 半导体电路的开关特性
 - 基本逻辑门电路的实现
 - 基本组合逻辑部件设计（4学时）
 - 运算单元电路（加法器、比较器、函数发生器）
 - 多路选择器，译码器，编码器

第三讲：时序逻辑设计（8学时）

- 目 标
 - 掌握触发器、寄存器的结构和工作原理
 - 掌握有限状态机、时序逻辑电路的设计方法和分析方法
 - 具备使用仿真工具开发时序逻辑电路的能力
- 主要内容
 - 锁存器和触发器（2学时）
 - SR锁存器、D锁存器
 - D触发器，JK触发器
 - 基于D触发器的寄存器构造
 - 有限状态机（FSM）（2学时）
 - Moore型FSM
 - Mealy型FSM
 - 时序逻辑电路设计分析（4学时）
 - 数据寄存器
 - 移位寄存器
 - 计数器

第四讲：主存储器（4学时）

- 目 标
 - 了解存储单元电路的工作原理
 - 掌握主存储器的结构特点、工作原理和构造方法
- 主要内容
 - 存储单元电路（1学时）
 - SRAM存储单元电路
 - DRAM存储单元电路
 - ROM存储单元电路
 - 主存储器的结构（1学时）
 - SRAM芯片的内部结构
 - DRAM芯片的内部结构
 - 存储器的扩展（2学时）
 - DRAM的刷新

第五讲：指令系统与MIPS汇编语言（4学时）

- 目 标
 - 学习并掌握计算机指令系统的格式、寻址方式和设计方法
 - 理解ISA在计算机系统中的作用
 - 学习并掌握MIPS汇编语言编程
- 主要内容
 - 指令系统概述（1学时）
 - 指令系统的基本要素
 - 指令格式、寻址方式
 - 典型指令系统简介（1学时）
 - MIPS指令系统介绍
 - X86指令系统介绍
 - CISC与RISC的特点
 - MIPS汇编语言编程（2学时）

第六讲：MIPS处理器设计（14学时）

- 目 标
 - 以小型MIPS处理器为设计目标，学习并掌握基于指令执行分析的数据通路构造方法
 - 基于与或逻辑阵列为基础的MIPS控制器设计方法
 - 掌握MIPS处理器设计方法
- 主要内容
 - 处理器的功能、组成、一般设计方法等（1学时）
 - MIPS处理器设计概述（1学时）
 - 结构、指令集、数据通路的基本组件
 - MIPS单周期处理器设计（4学时）
 - 单周期数据通路设计（工程方法）
 - 单周期控制器设计、性能分析
 - MIPS多周期处理器设计（2学时）
 - 多周期数据通路设计（工程方法）
 - 多周期控制器设计、性能分析
 - MIPS流水线处理器设计（6学时）

第七讲：高速缓存存储器（CACHE）（6学时）

- 目 标
 - 掌握高速缓存存储器（Cache）的结构特点和工作原理
 - 掌握多级Cache层次关系
 - 掌握Cache的映射机制
 - 掌握Cache的命中与缺失分析及性能计算方法
- 主要内容
 - 程序执行局部性原理
 - Cache的结构与工作原理
 - Cache的映射机制
 - 直接映射
 - 全相联映射
 - 组相联映射
 - Cache的替换策略
 - Cache性能分析与其他
 - Cache数据一致性问题
 - 命中率与缺失分析
 - 性能计算

第八讲：外部存储器与虚拟存储系统（5学时）

- 目 标
 - 掌握虚拟存储器工作原理、虚实地址转换与页表工作原理、TLB工作原理
 - 具备进行虚拟存储器性能分析的能力
- 主要内容
 - 外部存储器（2学时）
 - 虚拟存储系统（2学时）
 - 页式虚拟存储工作原理
 - TLB工作原理
 - 虚拟存储器性能分析

第九讲：输入输出方式（5学时）

- 目 标
 - 掌握程序查询I/O、中断I/O和DMA I/O等输入输出方式的工作原理
- 主要内容
 - 总线与I/O接口
 - I/O方式
 - 程序查询I/O方式
 - 中断与中断I/O方式
 - DMA I/O方式
 - I/O通道

学时分配：总学时64学时

序号	内容	学时数
第一讲	计算机组成概述	4
第二讲	组合逻辑设计	8
第三讲	时序逻辑设计	8
第四讲	主存储器	4
第五讲	指令系统与MIPS汇编语言	4
第六讲	MIPS处理器设计	14
第七讲	高速缓存存储器	6
第八讲	外部存储与虚拟存储系统	5
第九讲	输入输出方式	5
机动	习题课、总复习	6

课程成绩

- 成绩评定
 - 平时作业成绩：A，平时作业完成情况（满分100分）
 - 期末考试成绩：B，课程期末考试卷面成绩（满分100分）
 - 实验部分成绩：C（满分100分）
 - 总成绩 = $A*10\% + B*50\% + C*40\%$

参考书及参考资料

- 计算机组成与实现，高等教育出版社，高小鹏 编著
- Computer Organization & Design—The Hardware / Software Interface，计算机组成与设计—硬件/软件接口（第3版或第4版），机械工业出版社，David A. Patterson & John L. Hennessy著
- Digital Design and Computer Architecture，数字设计和计算机体系结构，机械工业出版社，David Money Harris & Sarah L. Harris著
- Verilog数字系统设计教程，北航出版社，夏宇闻著



计算机组成实验概述 (2021秋季学期)

计算机组成实验教学团队

北京航空航天大学计算机学院

实验教学目标

- 以MIPS体系结构指令集为例，理解计算机软硬件接口
 - 能够编写一定规模的汇编语言程序
 - 从指令的操作语义入手，推导出CPU设计结构
 - 能够根据每条指令的操作语义总结出处理需求，对应至功能部件
 - 根据处理需求的逻辑关系建立功能部件的连接关系
- 自主开发MIPS流水线CPU
 - 掌握流水线CPU的工作原理及其构造方法
 - 用工程方法开发符合工业标准且具有一定工程规模的流水线CPU
 - 理解计算机硬件工作原理及核心机制
 - 通过工程能力训练过程建立系统观点

进度总体安排（6-17周）

序号	项目名称	课下测试 (PW)	课上测试 (PT)	启动周	工作周数	检查周
预备	基础知识, Logisim, 汇编, Verilog-HDL	SPOC平台完成自学 9月7日平台开放, 校历第六周周二17时截止教程部分评测提交		1	5	6
P0	部件及状态机设计 (Logisim)	搭建CRC校验码计算电路, ALU, GRF, 正则表达式匹配	Logisim完成部件及FSM设计	6	1	7
P1	部件及状态机设计 (Verilog-HDL)	实现splitter, ALU, EXT, 格雷码计数器, 合法表达式识别	Verilog-HDL完成部件及FSM设计	7	1	8
P2	汇编语言	矩阵乘法、回文串判断、卷积运算	选择题+编程题	8	1	9
P3	Logisim开发单周期CPU	完成支持8条指令的单周期CPU设计	新增指令	9	1	10
P4	Verilog开发单周期CPU	完成支持10条指令的单周期CPU设计	新增指令	10	1	11
P5	Verilog开发流水线CPU(1)	完成支持10指令流水线CPU设计	流水线工程化方法	11	1	12
P6	Verilog开发流水线CPU(2)	完成支持50指令流水线CPU设计	流水线工程化方法	12	1	13
P7	Verilog开发MIPS微系统	完成微型MIPS系统设计 开发简单I/O, 验证中断	现场测试	13	2	15-17

预备阶段：Week 1 – 5

- 目标：学习相关基础知识、编程语言及设计工具
 - 数制
 - 数字电路
 - 门电路、组合电路、时序电路
 - 语言
 - Verilog-HDL - 语法、数字系统硬件设计与验证
 - 汇编语言 - MIPS指令集、汇编程序解析及设计
 - 工具
 - Logisim - 数字电路模拟器，具有直观友善的电路建模和仿真功能
 - ISE - 硬件描述语言模拟器，搭建功能型计算机，并仿真验证
 - MARS - MIPS模拟器，辅助MIPS汇编程序编写、调试，设计验证的黄金模型
- 学习方式：在SPOC平台完成相关教学内容的自学与评测
 - 课程平台使用方法参看《计算机组成课程平台使用说明》

实验开发与考核

- 实验开发：课下自学学习，并独立完成实验
 - 1) 学习SPOC平台提供的学习材料
 - 2) 在SPOC平台完成知识点评测（选择题、填空、判断题等）
 - 3) 完成实验开发，并提交project至SPOC平台进行自动评测
- 实验考核：实验课进行测试评价完成质量
 - 1) 基于SPOC平台完成知识点测评（选择题、填空、判断题等）
 - 2) 以课下project为基础，在限定时间内实现课上新增设计要求
 - 第1步) 从SPOC平台下载个人课下提交的project
 - 第2步) 完善project以支持课上新增设计要求
 - 第3步) 提交project至SPOC平台进行自动评测
 - 第4步) 一对一方式，回答问题

对于任一实验，如未通过实验考核，须继续参加下周实验考核，直至通过考核

SPOC平台：基本使用（1/2）

来自课程团队的课程动态及通知

查询学习进度及效果

课上测试

与同学、课程团队讨论交流

帐号管理
请将平台绑定邮箱更新为个人常用邮件地址
请将trebuchet@am.t123yh.xyz 加入邮箱白名单

与教程内容进行交互

在登录、修改课程平台绑定邮箱过程中遇到问题，
请发送邮件至 co_account@cscore.net.cn
在顺利登录平台后，访问教程学习中遇到的问题，
请在课程平台讨论区发帖答疑

SPOC平台：基本使用（2/2）

课程各个单元，按照课程进度发布

对应一组学习序列
Logisim 门电路第一步

Logisim 门电路

初学示例

- 工具布局
- 构建简单的异或电路
 - 放置门
 - 添加连线
 - 添加文本信息
 - 测试电路

Lecture Video: 知识点视频讲解
Lecture Text: 知识点讲解
Quiz: 知识点测试（选择/填空/判断等）
Worked Example: 示例题解
Project Work: 提交课下作业

SPOC平台：追踪学习全过程

- 教学素材 (Lecture Video, Lecture Text)的学习情况
- 论坛活跃情况
 - 教学经验表明：多参与讨论，将有助于完成实验
 - 鼓励利用网络资源搜索或以讨论的方式解决问题
 - 将未能解决的问题在论坛发布，以寻求帮助
 - 将解决方案在论坛分享，并**积极帮助他人解决问题**
- 自动评测
 - 记录在SPOC平台上的历次提交版本及评测结果

实验成绩评定方法

- 单次Project成绩
 - SPOC学习情况
 - 课下Project完成情况
 - 课上新增设计需求完成及问答情况
- 实验课最终成绩
 - 最终成绩由**教程、历次Project成绩及SPOC论坛活跃度**综合评定
 - 依据SPOC论坛活跃度（有效提问 / 回复）适度**加分**

学术诚实

- 查重机制：自动化查重+人工确认
 - 若发现异常，将人工复查并进行答辩
- 查重范围：涵盖**本届及往届**
- 惩罚措施：抄袭行为确认后，课程成绩为**零分**
 - 鼓励大家交流、讨论，但禁止**拷贝**代码
- 重要事情说3遍：**抄袭零容忍！抄袭零容忍！抄袭零容忍！**
 - 不要挑战学院惩处学术不端的决心
 - 2016秋季学期：**15**人被取消课程成绩

计组实验教学团队

教师团队



高小鹏 万寒 张亮 李辉勇 杨建磊 傅翠娟

教辅团队——Student Teaching Assistant advisor



钟梓皓 孔祥浩 田韵豪 王鹏博 仲书璋 叶焯仁 王光祖 田旗舰 潘天蔚



马婧颖 刘传 郭衍培 樊佳昊 杜雨新 董翰元 陈纪源 陈昊 常浩轩

特别提示

- 务必在**学校教务系统**完成选课，否则无法录入成绩
- 1-5周的预备阶段学习：在很大程度上决定能否通过课程