



# تمرین سری ۶

درس معماری کامپیوتر

نیم سال دوم ۹۹-۰۰

- I. در تمرین قبلی پردازنده‌ی تک‌سیکل ARM را برای انجام دستور RSC تغییر دادید. در این تمرین، کد HDL این پردازنده را که در کتاب آمده است طوری تغییر دهید که این دستورالعمل را نیز پیاده‌سازی کند.
- أ. ابتدا پردازنده تک‌سیکل پایه مطابق مرجع را در محیط Quartus برای برد DE2-115 سنتز کنید، حداکثر فرکانس را در ۸۵ درجه گزارش کنید و مشخص کنید مسیر بحرانی کدام است. آیا این مسیر واقعی است؟ مساحت اشغال شده روی چیپ برای منابع مختلف استفاده شده از FPGA چقدر است؟
- ب. عملیات بخش أ را برای کد HDL تغییر یافته که دستور RSC را پیاده‌سازی می‌کند تکرار کنید. ضمن گزارش پارامترهای فوق حساب کنید میزان افزایش/کاهش فرکانس کار پردازنده و مساحت روی چیپ آن چیست.
- ج. برنامه تست‌بنچ و شرط صحت آن را طوری تغییر دهید که دستورالعمل جدید نیز تست شود.
- II. چند سیکل طول میکشد تا برنامه زیر بر روی یک پردازنده ARM چندسیکل اجرا شود؟ مقدار CPI پردازنده را برای این برنامه محاسبه کنید.

```
MOV R0, #0
MOV R1, #0
MOV R2, #13
Loop
    CMP R2, R0
    BLT DONE
    ADD R1, R1, R0
    ADD R0, R0, #2
    ADD R1, R1, #2
    B Loop
DONE
```

توجه:

- تمرین‌های درس معماری به صورت گروه‌های دو نفره انجام داده شده و تحویل می‌گردند.
  - نکته مهم این است تمامی افراد گروه باید به همه جوانب و جزئیات تمرین‌ها مسلط باشند که این نکته توسط دستیاران آموزشی موقع تحویل به دقت بررسی خواهد شد.
  - هر گروه باید به صورت مجزا تمرین را انجام داده و از کپی تمرین‌های گروه‌های دیگر خودداری کند.
  - به منظور ایجاد شرایط یکسان برای تمامی گروه‌ها و فاصله داشتن زمان آپلود و تحویل، به هنگام تحویل، اعضای گروه، در همان زمان تمرین خود را از درس‌افزار دانلود کرده و روی سیستم خود تحویل می‌دهند.
- موفق باشید