



تمرین سری ۲

درس معماری کامپیوتر

نیم سال دوم ۹۹-۰۰

۱. قطعه کد زیر را در نظر بگیرید:

```
module FSM(input logic clk,rst ,
            input logic a,b ,
            output logic y);

    always_ff@(posedge clk , posedge rst)
        if(rst) state <= S2;
        else    state <= nextstate;

    always_comb
        case(state)
            S0: if (a & b) nextstate = S1;
                else nextstate = S2;
            S1: if (a) nextstate = S0;
                else nextstate = S3;
            S2: if (a | b) nextstate = S1;
                else nextstate = S3;
            S3: if (b) nextstate = S0;
                else nextstate = S2;

        assign y = (state == S0) | (state == S3);

endmodule
```

۱. با ذکر دلیل بگویید که ماشین حالت توصیف شده یک ماشین حالت moore است یا mealy؟

ب. دیاگرام حالت ماشین فوق را رسم کنید.

ج. ماشین حالت کشیده شده را با کمترین تغییرات از پاسخ قسمت ۱ به دیگری (mealy/moore) تبدیل کنید.

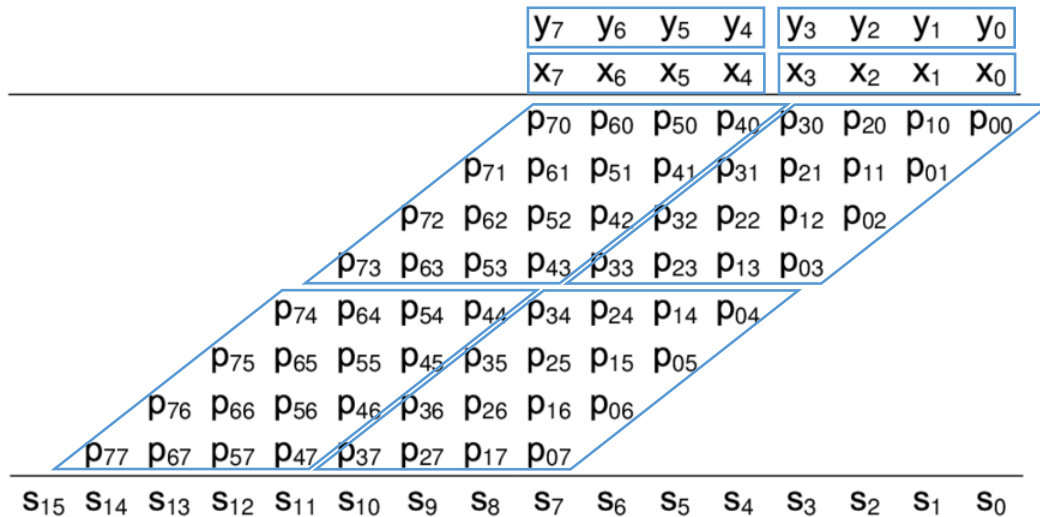
۲. هدف از این تمرین مرور نحوه مدل سازی با زبان SystemVerilog است. خروجی نهایی این تمرین توصیف یک ضرب کننده بدون علامت ۸-بیتی است که شبیه سازی و سنتز می شود. ضرب کننده مد نظر حالتی بین ضرب کننده ترتیبی و ضرب کننده سریع معرفی شده در درس است. بدین ترتیب که با فرض وجود بلوک های ضرب کننده سریع ۴-بیتی، در چهار سیکل نیمه پایین و نیمه بالای عدد اول و دوم را در هم ضرب کرده و در مرتبه مناسب آن ها را با هم جمع می کند. مراحل زیر به ترتیب روند پیاده سازی را مشخص می کنند.

۱. یک ماژول ضرب کننده سریع ۴-بیتی را به صورت رفتاری مدل سازی کنید و آن را شبیه سازی و تست کنید.

ب. یک بلوک جمع کننده پارامتری N-بیتی توصیف کنید و آن را شبیه سازی و توصیف کنید.

ج. با استفاده از ماژول‌های مرحله‌ی قبل، یک ماژول ضرب‌کننده ۸-بیت را به‌صورت ساختاری مدل‌سازی کنید (در صورت استفاده از ماژول‌های کمکی دیگر، همه‌ی آن‌ها را به‌صورت ساختاری پیاده‌سازی کنید). ممکن است علاوه بر ماژول‌های مرحله قبل نیاز به پیاده‌سازی یک واحد کنترل و یک شیفت‌رجیستر (با امکان شیفت ۴-بیت در یک سیکل) هم داشته باشید.

د. در مرحله‌ی پایانی، با طراحی یک testbench مناسب مدل را شبیه‌سازی و صحت‌سنجی کنید.



گزارش نهایی آپلود شده، علاوه بر پاسخ سوالات تحلیلی، باید شامل موارد زیر از سوال دوم باشد.

- فایل سورس SystemVerilog (.sv) بلوک طراحی شده.
- خروجی شبیه‌سازی که ورودی/خروجی‌ها را با radix مناسب نشان دهد.
- یک screenshot از خروجی RTL viewer که ارتباط آن با کد خود را به هنگام تحویل توضیح می‌دهید.
- یک فایل متنی شامل گزارش مساحت استفاده شده از تراشه FPGA و نیز تاخیر مدار با شرایط 1200mv slow 85C.

توجه:

- تمرین‌های درس معماری به صورت گروه‌های دو نفره انجام داده شده و تحویل می‌گردند.
- نکته مهم این است تمامی افراد گروه باید به همه جوانب و جزئیات تمرین‌ها مسلط باشند که این نکته توسط دستیاران آموزشی موقع تحویل به دقت بررسی خواهد شد.
- هر گروه باید به صورت مجزا تمرین را انجام داده و از کپی تمرین‌های گروه‌های دیگر خودداری کند.
- به منظور ایجاد شرایط یکسان برای تمامی گروه‌ها و فاصله داشتن زمان آپلود و تحویل، به هنگام تحویل، اعضای گروه، در همان زمان تمرین خود را از درس‌افزار دانلود کرده و روی سیستم خود تحویل می‌دهند.

موفق باشید