



تمرین سری ۷

درس معماری کامپیوتر

نیم سال دوم ۹۹-۰۰

۱. با استفاده از شکلی مانند شکل 7.53 کتاب، پیش‌فرستادن‌ها (forwarding) و stall‌های لازم را برای اجرای قطعه کد زیر در پردازنده‌ی خط لوله ARM نشان دهید.

```

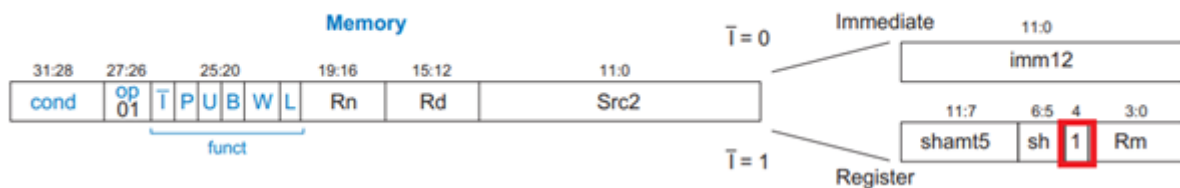
ADD R0, R4, R9
SUB R0, R0, R2
LDR R1, [R0, #60]
AND R2, R1, R0

```

۲. همان طور که می‌دانید در پردازنده‌ی پایپ‌لاین طراحی شده در کتاب، RAW data hazard در حالتی که عمل نوشتن توسط LDR انجام شده باشد نیاز به stall دارد و با پیش‌فرستادن برطرف نمی‌شود. در این تمرین می‌خواهیم نیاز به stall را کاهش دهیم تا پردازنده عملکرد بهتری داشته باشد. فرض کنید دستور دیگری به نام LDR1 تعریف کنیم به‌طوری که در این دستور آدرس حافظه‌ای که قرار است از آن بخواند تنها توسط یک رجیستر مشخص شود برای مثال:

LDR1 R1, R2

اگر مقدار نوشته شده در R2 برابر 0x1000 باشد، این دستور مقداری که در حافظه با آدرس 0x1000 نوشته شده است را در رجیستر R1 ذخیره می‌کند. فرض کنید هرگاه بیت مشخص شده در تصویر زیر برابر صفر بود دستور از نوع LDR1 است.



در حالتی از RAW data hazard که گفته شد فرض کنید دستور قبل از LDR1 دستوری از نوع MEMORY نباشد. پردازنده را طوری تغییر دهید که در این حالت نیازی به stall نداشته باشیم. مثالی از حالت ذکر شده در زیر آورده شده:

```

ADD R0, R1, R2
LDR1 R1, R2
ADD R3, R1, R2

```

راهنمایی: در دستورهایی که از نوع حافظه نیستند در مرحله‌ی Memory استفاده‌ای از بلوک Data Memory نمی‌شود.

توجه:

- تمرین های درس معماری به صورت گروه های دو نفره انجام داده شده و تحویل می گردند.
- نکته مهم این است تمامی افراد گروه باید به همه جوانب و جزئیات تمرین ها مسلط باشند که این نکته توسط دستیاران آموزشی موقع تحویل به دقت بررسی خواهد شد.
- هر گروه باید به صورت مجزا تمرین را انجام داده و از کپی تمرین های گروه های دیگر خودداری کند.
- به منظور ایجاد شرایط یکسان برای تمامی گروه ها و فاصله داشتن زمان آپلود و تحویل، به هنگام تحویل، اعضای گروه، در همان زمان تمرین خود را از درس افزار دانلود کرده و روی سیستم خود تحویل می دهند.

موفق باشید