

## Challenges and concerns related to LP designs and verification flow

الاول تعالى نشوف ليه ال low power design ف حد ذاته حاجة صعبة ؟  
اولا اصلا انك ت capture كل ال power intent accurately ف ال upf عملية صعبة..  
ال power intent اللي هي ال specifications للديزاينر ف ال behavior بتاع ال chip's various power domains at runtime، يعني بشوف ايه ال parts من الديزاينر turn off/on تحت ال conditions و order معين وتحت ال special handling ازاى، يعني هتستخدم ايه بظبط، isolation, retention of state, level shifter، وهكذا. كل ده بيبقى متوصف ف ال (unified power format) ال upf file اللي مثلا ممكن يكون فيه زي  
١ - باور دومينز، وكل دومين شغال تحت باور سبلاي معين مثلا VDD\_CPU & VDD\_IO وهكذا  
٢ - الخطوط بتاعت السبلاي، اللي هو النيتس وال rails اللي باليد الدومينز ديه  
٣ - ال sequencing بتاع ال on/off الباور بمعنى ال ordering اللي هو ال timing relationships بين السبلايز.  
٤ - ليفيل شيفتر، وديه بتبقى ال special cells كدا بت translate السجنايز اللي بت cross بين الدومينز وبعضها عند فولتجز مختلفة

٥ - بيبكون فيه isolation rules كدا اللي هو ازاى هتقدر تخلي السجنايز بت cross من ال power off to power on وديه حاجة a must handled يعني بحيث اننا منشوفش floating values or undefined logic values يعني اللي هو بدون isolation كنت هتشوف مثلا باص أو ريجيستر ف الاوف مود بيدرايف X or Z ل net بتنفيد لوجيك ف الاون مود ف ممكن يسبب spurious toggling كدا أو functional failures، ف عشان كدا بتيجي اهمية ال isolation cells.  
٦ - بيبكون فيه retention registers، اللي بت preserve ال contents بتاعتها لما الدومين بتاعها turned off. نرجع بقا للسؤال الرئيسي، ليه عملية ال capturing ديه صعبة ؟

اول حاجة ممكن تيجي فبالك ال growing complexity للديزاينر صحيح... يعني منطقي أن ال modern chips & SoCs فيها كتير م الباور دومينز وممكن hierarchical sub domains وحوارات، وكل دومين م دول له بقى كل الحاجات اللي قولنا عليها فوق زي عايزله retention, isolation, level shifter، own sequencing وهكذا.  
تاني حاجة أن ال upf ده محتاج يعدي ع synthesis, simulation, formal checks, STA, PnR، sign off وهكذا والفكرة أن مش كل ال tools بتقدر أنها ت interpret every upf identically ف ديه حاجة مش كويسة يعني تالت حاجة وهي ال cross domain signal integrity واللي هو أن كل سجنال بتعدي م دومين للتاني محتاجة ل proper level shifter & isolation cell وانك بتحمي every crossing net مش سهلة خالص.

تاني حاجة صعبة واللي must be considered وهي ال comprehensive LP checking of upf and Design تالت حاجة انك تعمل الفلو بتاع ال low power بأنه يكون efficient بمعنى أن ال dependency ع السيموليشنز قليلة عشان تقدر ت catch ال bugs وال low power issues ريليتيد بالديزاينر بتاعك  
ف من الاخر ال UPF زي الديزاينر بظبط، needs to be managed throughout the signoff flow.

تاني سؤال، ليه مش بنكتفي باللي بتعمله ال synthesis tool وخلص، ليه بنروح ال low static power verification, low dynamic power verification يعني بنروح لتول

تانية LP checker وكدا ؟ مبدأيا ال synthesis tools احنا عارفين انها بتاخذ ال netlist+ UPF وتطلع ال reporting issues بقى اللي هو:

- ١ - هل فيه isolation/level shifter cells ناقصة ف الديزاينر؟
  - ٢ - هل فيه redundant أو incorrect power devices بعد م عملت implementation ؟ زي لما تحط isolation cell وهي اصلا مش محتاجة تتحط هنا وهكذا
  - ٣ - هل فيه مشاكل ريليتيد ب PST (power state table) ولا لاء ؟
- ال PST ده عبارة عن table بيبقى موجود ف ال upf، بيبكون فيه ال power state names للديزاينر بتاعك وكل ال state فيه status السبلايز on/off وال retention behavior isolation وال level shifter اخباره ايه وهكذا زي الجدول ده كدا

State Name	PD_CPU	PD_DMA	PD_IO	Retention Domains	Isolate OFF→ON Crossings	Level Shifters
S0_FULL_ON	ON	ON	ON	–	Disabled	Transparent
S1_CPU_OFF	OFF	ON	ON	PD_CPU	Enabled	IO→CPU only
S2_IO_OFF	ON	ON	OFF	PD_IO	Enabled	CPU→IO only
S3_DEEP_SLEEP	OFF	OFF	OFF	PD_CPU, PD_DMA, PD_IO	N/A (all OFF)	N/A

### S0\_FULL\_ON

Everything powered up—no isolation or retention needed.

### S1\_CPU\_OFF

CPU domain is shut down, but DMA and IO stay live. CPU registers are retained, and any net from CPU→DMA/IO is isolated; level shifters that move signals from IO/DMA into CPU are enabled so that the OFF→ON direction is safe.

### S2\_IO\_OFF

IO domain is shut down. IO registers are retained; CPU and DMA remain active. Nets from IO→CPU (OFF→ON) are isolated; level shifters from CPU/DMA→IO are enabled to “park” signals.

### S3\_DEEP\_SLEEP

All domains OFF; typically exits only via a reset or special wakeup controller.

BUT

ال synthesis tool مش بت report الحاجات ديه زي:

١- لو فيه missing/redundant/incorrect isolation/level shifter in upf at RTL (before synthesis)

٢- لو فيه PG pins (power ground pins) mismatch بين ال UPF وال library model

ال PG pins ديه اللي هي بت delivering power والجرواند للترانسستورز الريلتيد بال cells ، يعني انت بتاخذ ال PG

pins بتاعت transistor فلان وتروح موصلها ع ال power rail vdd and ground rail GND بس كدا

٣- unconnected PG pins

٤- ممكن يكون فيه issues ريلتيد ب supply isolation/level shifter

٥- functional issues - ف ال control path

So, Synthesis Tool Cannot Help Catch Power intent issues at RTL

Can VC LP fill this gap ?

Yes, it can do a lot more

VC is a multi-voltage low power checker that allows to rapidly verify designs that use voltage controlled based techniques & power management

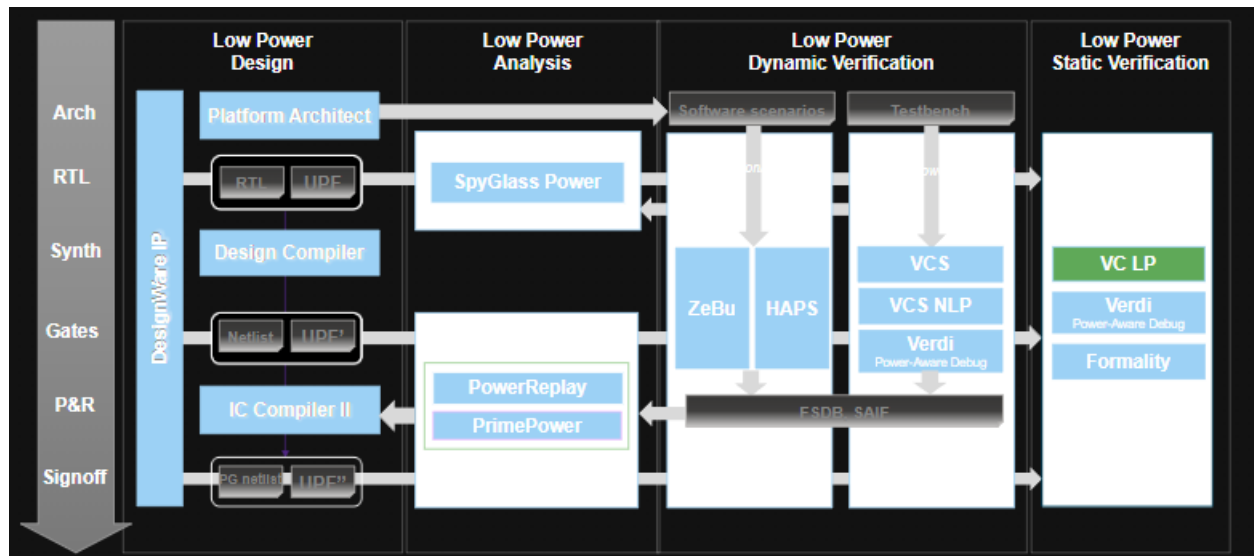
انها تقدر ت verify ال UPF at RTL itself ،

يعني بدل م كنت بت verify ال upf بعد ال synthesis وال gate level netlist وكدا لاء ال checker يقدر يقرأ ال RTL بتاعك وال upf مع بعض ويروح ي model ال power switches, isolation cells, retention flops وهكذا كانك بتعمل early validation of your power intent تتأكد فيها م أن مفيش mismatch بين ال upf معرفه و ايه اللي بيحصل ف ال RTL hierarchy بالتالي الموضوع بقى اسرع avoiding iterations after synthesis

So

- 1- critiques the UPF at RTL itself, avoiding iterations after synthesis
- 2- standalone verification of design Vs power intent throughout the design flow
- 3- report missing/redundant/incorrect strategies in UPF, so the user can provide clean UPF for synthesis/implementation
- 4- predict post synthesis issues right at RTL and post implementation issues at netlist itself
- 5- very detailed violation report
- 6- Powerful debug capabilities and use friendly GUI

## Synopsys Low Power Flow



ال ASIC design flow: بيعرفك عادي ال left column

- 1- Arch : Architecture definition (high level design specs)
- 2- RTL
- 3- synthesis, RTL to gate level netlist
- 4- gates, gate level netlist(post synthesis)
- 5- PnR
- 6- signoff

ال ASIC design flow: بيعرفك عادي ال left column

- 1- Arch : Architecture definition (high level design specs)
- 2- RTL

3- synthesis, RTL to gate level netlist

4- gates, gate level netlist(post synthesis)

5- PnR

6- signoff

ال center column بيعرفك ال low power design flow والتولز وكدا

اول حاجة ال platform architect واللي هو أنا كديزاينر هبص ع ال specs وابدء اعمل منها ال low power

version ومنها ال upf ، كدا أنا خرجت م المرحلة ديه معايا RTL & UPF

تاني بدخل ال power aware design ده ع ال synthesis tool ومنها بطلع (new version) netlist + upf

تالت حاجة بدخلهم ع physical design tools بقى، حاجات. ال physical implementation, PnR والحاجات ديه ف

بنتطلع (new version) upf+ netlist PG

ال Low power analysis يعني ال tools اللي بت estimate ال static/dynamic power هنا من خلال:

١ Spy Glass Power -

وديه بتعمل RTL & upf level static power analysis

٢ power replay -

الحقيقة مش عارف بظبط بتعمل ايه بس اللي اعرفه انها بتاخذ RTL + upf pre and post physical implementation

وتستخدمهم مع ال physical implementation tools عشان تعمل ال low power analysis ده accurately

Low Power Dynamic Verification

ال Software scenarios اللي هو بعمل real world workloads يعني تاسكات وعمليات وحالات المفروض السيستم ده

يهندسها وده عشان ال test power management وبتدخل ع Synopsys emulations و prototyping platforms

ZeBu& HAPS ، و testbench لل RTL&upf وبالا اعلمهم validation ع Verdi (power aware , VCS, VCS NLP ,

debug) والمسارين بيتفاعلو مع بعض... بعدين الاوتبوت من emulators & prototyping والاوتبوت من عملية ال

validation، نطلع ال SAIF file (switching activity interchange format) وده اللي بيكون فيه كل فتقطة ف ال

power analysis حصلت وبعدين روح استعمله بقى ف ال tools related to physical implementation low

power design.

Low Power Static verification

بستخدم فيها

VC LP

Verdi (Power aware debug)

Formality

## VC LP - Low Power Static Verification and Signoff

### VC LP (Verilog compiler low power)

عبارة عن tool من Synopsys verification suite ، بنستخدمها ل static low power verification.

يتركز ع انها بت verify ال power intent described in upf و RTL بحيث يكون ال gate level design ده

consistent مع power intent described

So

1- Static low power verification

Verify that RTL and upf are consistent وانك كاتب ال upf صح اصلا وأنه بيوصف ال power intent

Checks the existence of isolation, level shifters, retention flops, power switches...

2- RTL aware power analysis

بتشوف لو فيه إمكانية ال power saving ف الديزاين بتاعك ولا لاء وبتشوف ال block level power behavior المفروض ال functionality connectivity زي مهني قبل وبعد الباور دومينز ال checking ع ال PST كل الدومينز بالو. transition.

### 3) Signoff checks

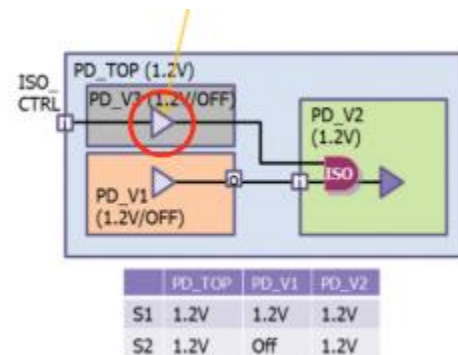
Ensure proper PDC(power domain crossing)

ال checks اللي بتعملها ال VC LP

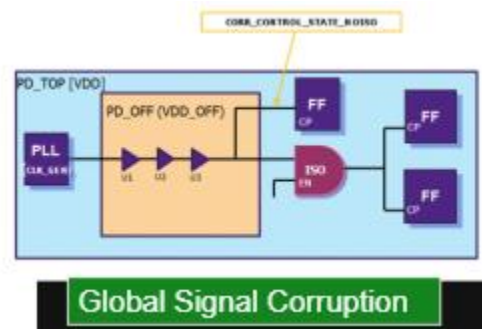
- Validate that upf defines necessary policies for all power modes (upf consistency checks), ١  
Syntex and semantics checks. Identify missing or redundant policies (at RTL level, at synthesized design, at backed design)
- 2- Architectural checks, ensure power domains partitions do not lead to functional errors in the design.(at synthesized design )at backed design
- 3- Structural checks, check necessary and sufficient low power structures are present in implemented design.(at synthesized design)at backed design
- 4- functional checks, ensure functionality of low power structures in the design is consistent with upf and cell library.(at synthesized design)at backed design
- 5- PG checks, verify power/ground pin connectivity in post layout design is consistent with upf and cell [library.at](#) backed design

\*Critical Low Power Bugs\*

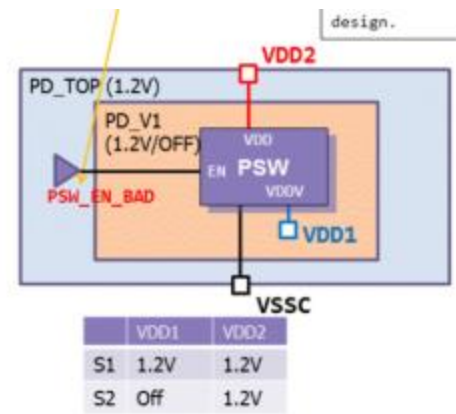
#### 1- control signal corruption



#### 2- Global signal corruption

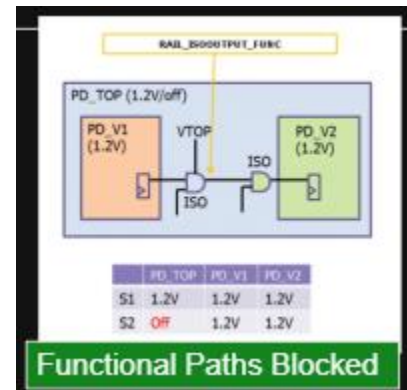


#### 3- Upf design mismatch



## UPF Design Mismatch

4- functional paths blocked



## Functional Paths Blocked

## Catching Low Power Bugs Earlier - Examples



Caught in RTL  
phase with VC  
LP

Check	Downstream Impact
Isolation Map Mismatch	Synthesis tool may not insert ISO cells in design
Isolation Strategy Supply	Dysfunctional ISO cells post-synthesis



Caught in RTL  
phase with VC  
LP

Check	Downstream Impact
Isolation Strategy for Pads	Functionally redundant ISO cells during tapeout
Power Switch Drivers	Incorrectly driven power switch ports



Caught in  
synthesis  
phase with VC  
LP

Check	Downstream Impact
Retention Supply Mismatch	Dysfunctional retention cells in PG netlist
Control Signal State	Buffers with improper supply connectivity
Missing ISO Cells	Functional failures due to missing objects
ISO on feedthrough paths	Functional failures due to improper operation

## VC LP Flow

