

A need for static and dynamic Low Power Verification

طبعاً مع الزيادة في ال complexity في ال modern designs و ال SoCs فبالإضافة الى ال complexity لل power architectures
هتزيد وال complex power domain partitioning يعني حواري انك بت divide ال ديزاين بتاعك ل multiple domains وكل
دومين له ال power intent elements بتاعتها وأنه يقدر ي switch, retained, isolated independently وي interface
مع باقي ال blocks/domains efficiently ، فموضوع اننا بندرايف functional & physical verification لل complex power
logic hand in hand حاجة a must ، ومع ذلك عل الرغم م الجهود لل verification engineers ، استل لسة فيه issues
واللي تقدر ت skip through لل silicon failures بسبب ال low power issues فبالإضافة بقينا محتاجين some art
methodologies عشان نقدر ن manage ال unexpected low power issues ديه.

تعالى الاول نعرف يعني ايه CPF

ال CPF اختصار ل common power format وده عبارة عن standard format بي captures ال power intent م ال ديزاين
ويستخدمه ال verification engineers عشان يقدر ي catch ال low power related issues من ال ديزاين بالتالي كذا ال ديزاين
بقي له حاجتين ال RTL + CPF ، واحد ال logical connectivity والثاني لل power connectivity

1) power domains

2) isolation cells

3) level shifter a

4) retention cells

5) power modes and control (sleep, standby, active)

، ملحوظة مهمة وهي أن لازم ال low power design بتاعك ي comply اي يتوافق مع ال low Power specifications المعرفة
جوا ال CPF

So CPF compliance is essential.

عشان بن make sure أن ال ديزاين متوافق مع ال LP constraints المعرفة ف ال CPF ، بنعمل ال static & dynamic checks
باستخدام الفايل ده، وطبعاً عايز اقولك ان ال we have to be run both checks لان كل واحد فيهم ل different scope of
verification واستخدم غير الاستخدام ف الاثنين يزنوا. for robust verification of the design.

Need for Static Low Power Verification

ال check ده بيساعدك انك ت verify ال correctness implementation لل low power design ده، يعني هل انت عامل
implementation properly لل low power elements ف ال ديزاين بتاعك ولا لاء وده باستخدام formal techniques ف
ال ديزاين process ، بتت check ع ال RTL وال completeness مع ال CPF أن ال cpf فيه كل ال isolation/level
Rules.... shifter/retention لل power/voltage domain crossings ف بيتأكد أن مفيش اي low power cell missed
بين الدومينز أو ف الدومينز عموماً.

ولكن فيه بعض ال issues that cannot be caught using LP static verification like

1) bad logic restructuring during physical design implementation

2) type of isolation cells

3) sequencing of the critical low power control signals

Need for dynamic low power verification

بت check ال functionality لكل ال power elements ف ال ديزاين ف المفروض كذا هي بتاخذ DUT & CPF واحد لل logical
functionality والثاني لل capture power intent لل ديزاين وبيحط stimulus كذا بحيث تكون on the basis of the
power intent and the functionality for th DUT

But there are also certain issues that cannot be caught

1) Mixing level shifter

زي أفترض انك عندك ديزاين له two blocks شغالين ع (1.2 & 3.3V) ف المفروض ال
level shifter cell للسجلناز اللي هت cross الدومينز ديه والمفترض أن ال logical functionality لل oever shifter ده كأنه
buffer output = input ممكن بقى أن ال cell ديه تكون missing اصلاً وال simulation tool متطلعش اي ايروور

2) missing isolation cells

3) wrong power connectivity if analog block