

## RTL интерфейс

```
module fulladder_sync (  
    input  logic clk_i,  
    input  logic areset_i,  
    input  logic A_i,  
    input  logic B_i,  
    input  logic Cin_i,  
    output logic Cout_o,  
    output logic S_o  
);
```

## Описание работы модуля

Модуль производит сложение бит **A\_i** и **B\_i** с учетом бита переноса от сложения предыдущих разрядов **Cin\_i**, сложение происходит по фронту **clk\_i**. Сумма – **S\_o**, выходной бит переноса – **Cout\_o**. Сброс происходит асинхронный при помощи сигнала **areset\_i**.

## Временная диаграмма модуля

