

Edición de Circuitos en Electric VLSI y simulación en gnucae

Leandro Marsó

Córdoba

elleandro@gmail.com

6 de abril de 2015

Contenido

1 Edición de Circuitos

- Circuitos Esquemáticos
 - Crear una librería
 - Crear una nueva celda
 - Instanciar un transistor
- Layout
- DRC
- LVS
- Extracción de los parásitos

2 Simulaciones

- Caracterización de los transistores
- Simulaciones de punto de operación
- Análisis AC
- Régimen transitorio
- Transformada de Fourier
- Alternativas de Interacción con circuitos digitales

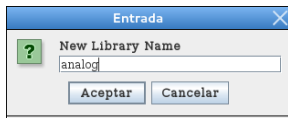
Edición de Circuitos Esquemáticos

Creación de una librería

Creamos la librería que contendrá las celdas que vamos a diseñar:

File → New library

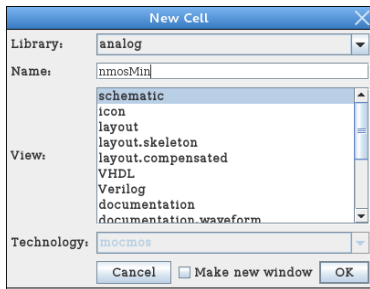
Y elegimos el nombre **analog**



Nueva Celda

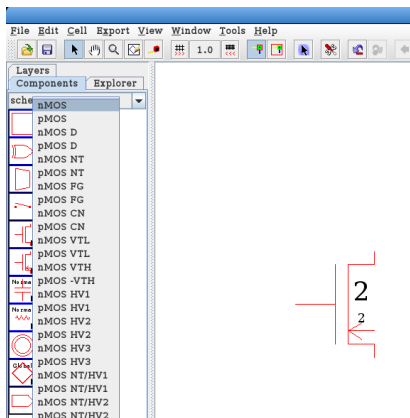
Creamos el esquemático de la nueva celda, con el nombre **nmosMin**:

Cell → New Cell. Y en View: elegimos **schematic**



Instanciar un transistor

Vamos a la pestaña Components y seleccionamos un transistor
nmos de cuatro terminales y lo instanciamos en el plano de trabajo:



Editar propiedades

Para cambiar las propiedades del transistor hacemos **Ctrl-I** y cambiamos el nombre del transistor, y dejamos el ancho y largo en 2:

Node Properties

Type: Transistor (nMOS)

Name: M1

Width: 2 X position: -13

Length: 2 Y position: 1

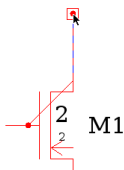
Rotation: 90 ☐ Mirror L-R ☐ Mirror U-D

More Apply Cancel OK

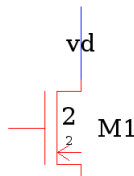
Conectar y crear puertos

Ahora vamos a crear puertos y exportarlos para ejemplificar el uso del simulador y una convención para los nombres.

Conectamos el drenador haciendo click izquierdo sobre el mismo y luego hacemos click derecho sobre otro lado para conectar:

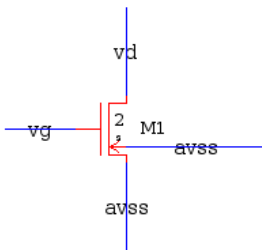


Nombramos el cable haciendo click izquierdo exactamente en el centro del mismo y luego **Ctrl-I** para cambiarle el nombre:

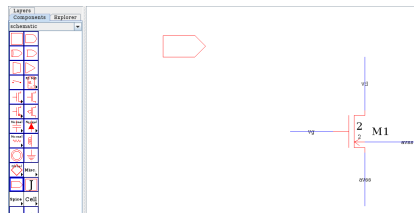


Conectar y crear puertos

Nombramos todos los puertos del transistor de la siguiente forma:

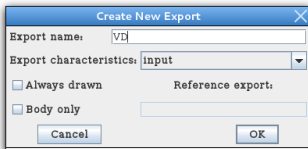


Ahora vamos a crear los puertos de esta celda, instanciamos un elemento llamado **off-page** como muestra la figura:

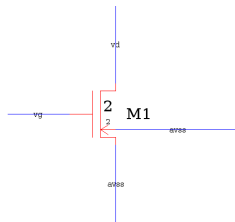
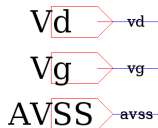


Conectar y crear puertos

Creamos el puerto haciendo un click izquierdo sobre el elemento **off-page** y presionamos **Ctrl-E** para exportar este puerto y darle un nombre. Además conectamos un cable y le damos el mismo nombre que el del drenador del transistor:



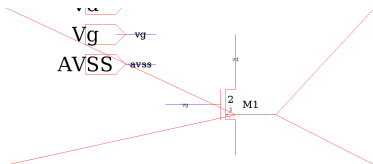
Lo mismo hacemos para los otros puertos, como mostramos en la siguiente figura:



Detectar errores de conexión

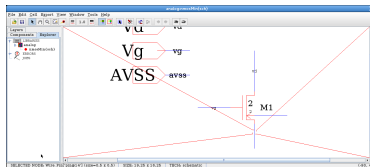
Si presionamos **F5** durante la edición, nos realizará un chequeo de errores, que pueden ser detallados presionando **Shift** + < o **Shift** + >. Damos dos ejemplos típicos:

Cables desconectados



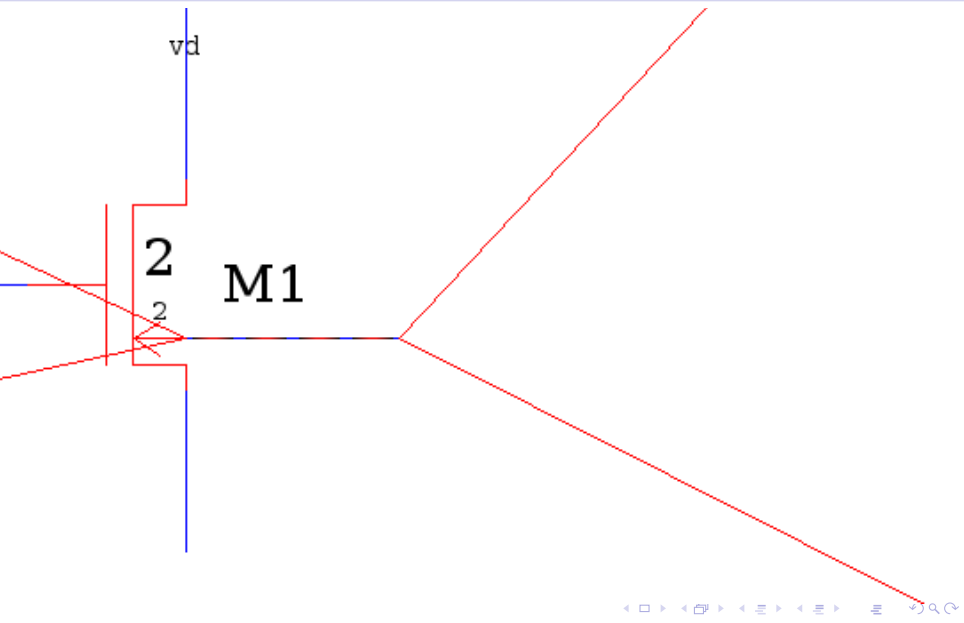
Este error aparece cuando un cable no tiene conexión o nombre.

Pin innecesario

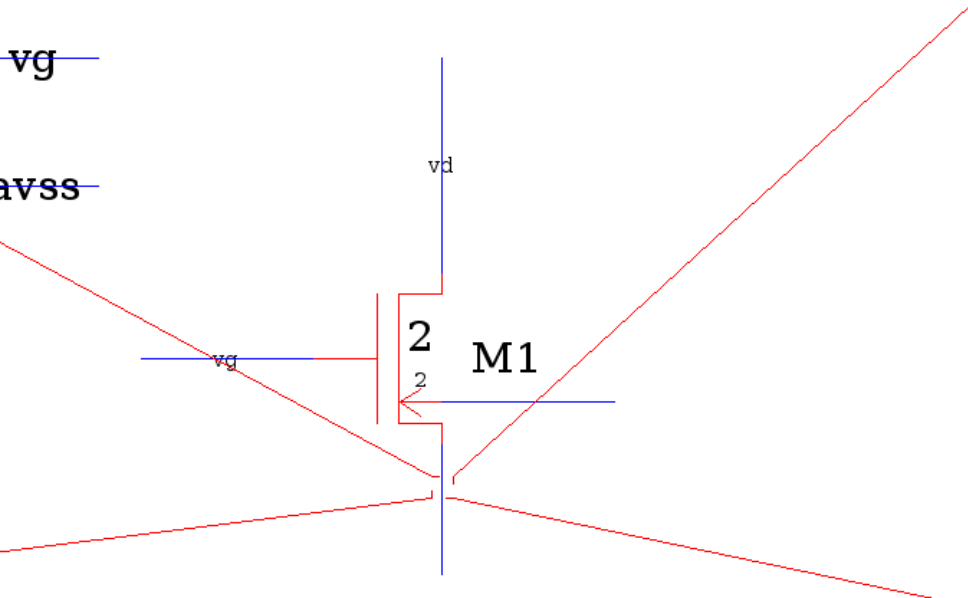


Este error se produce cuando hacemos un cable sobre la misma línea recta en dos tramos, es decir, presionando dos veces el click derecho para realizar un cable recto.

Detectar errores de conexión



Detectar errores de conexión



Corrección de errores

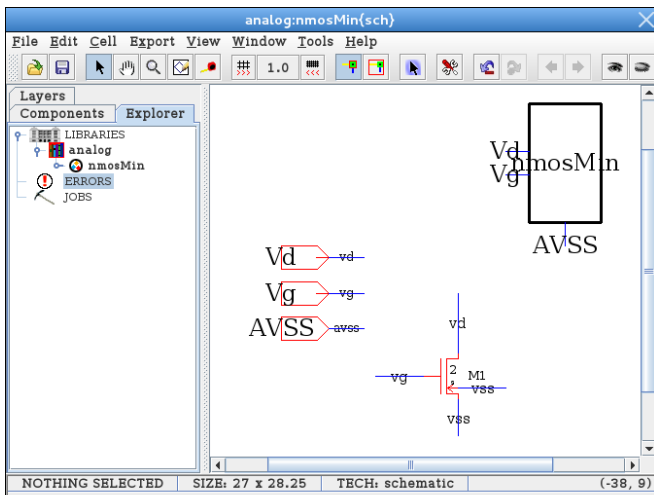
Para corregir el error de pines extra:

Edit → Cleanup cell → Cleanup Pin

Crear un ícono

Luego de finalizar con el diseño esquemático, queremos tener un ícono para ser instanciado en otros esquemáticos:

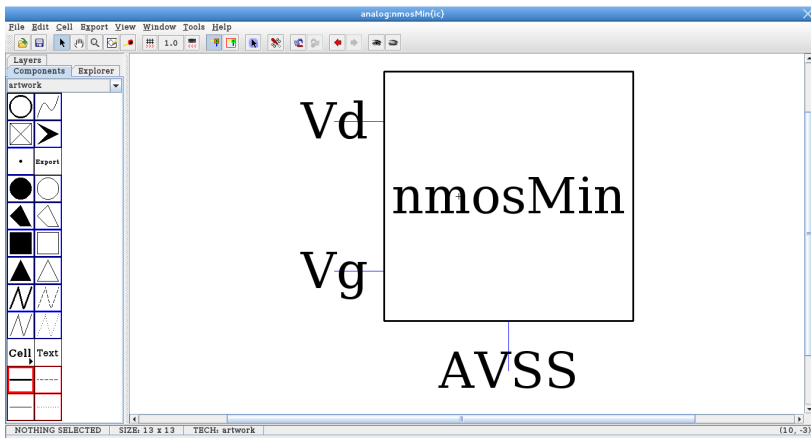
View → Make Icon View



Editar el ícono

Para editar este ícono hacemos: **View** → **Edit Icon View**

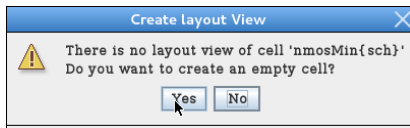
Seleccionamos el rectángulo y con **Ctrl-i** le ajustamos el valor de X para que sea cuadrado. Además movemos los puertos del ícono para separarlos y centrarlos:



Creación del layout

Para realizar la versión en **layout** de esta celda, hacemos:

View → Edit Layout View



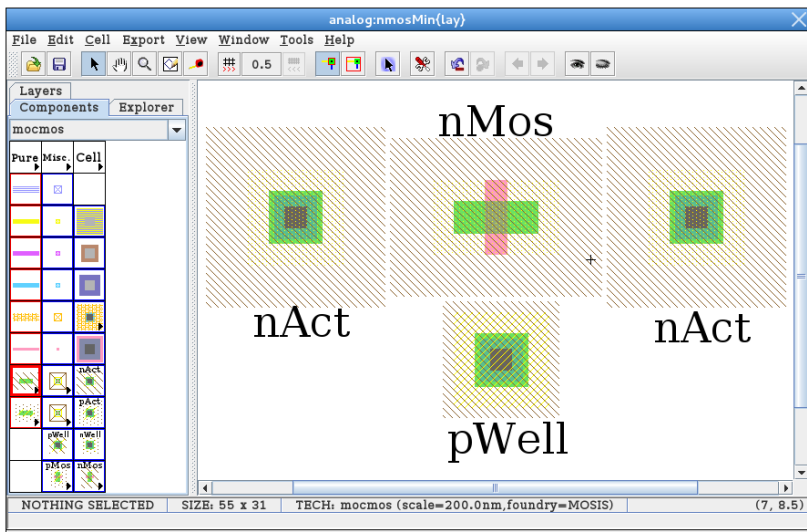
Y elegimos crear una celda vacía de layout.

Creación del layout - Instanciar elementos

Vamos a instanciar un transistor tipo n (**nMos**), los contactos a Metal1 (**nAct**) para este transistor, y el contacto a bulk necesario (**pWell**). Esos elementos los encontramos en la pestaña de **Components**, como lo señalamos en la figura:

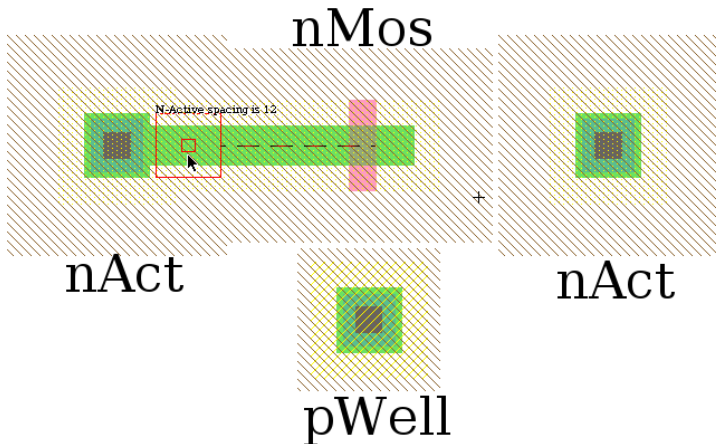


Creación del layout - Instanciar elementos



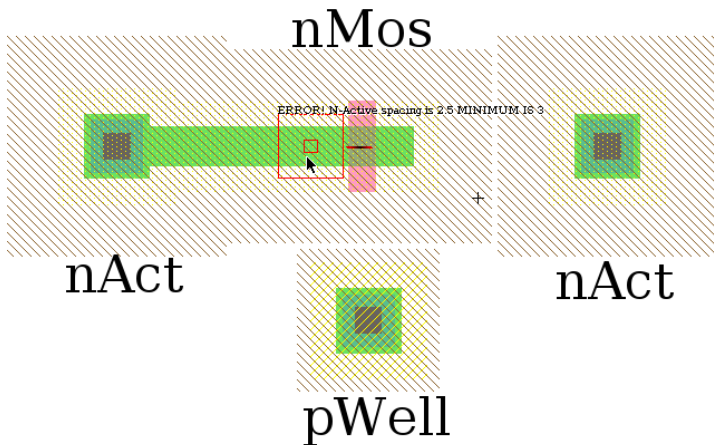
Creación del layout - Contactos a Metal 1

Haciendo click izquierdo al contacto y arrastrando hacia la derecha para acercarlo al transistor, vemos una leyenda que nos dá información sobre la regla de DRC.



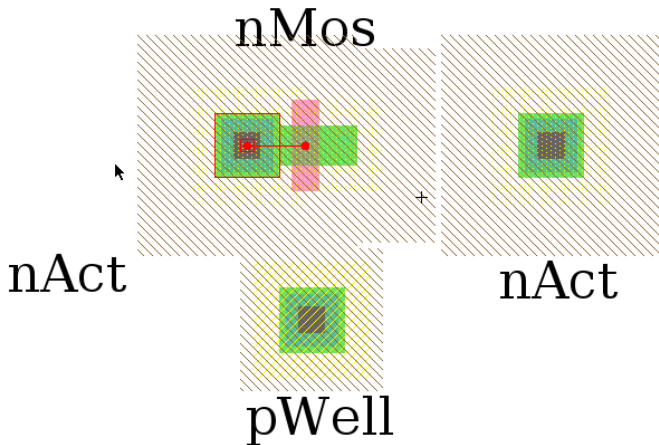
Creación del layout - Contactos a Metal 1

Lo acercamos tanto como se pueda, hasta que nos indique que no cumple una regla de DRC:



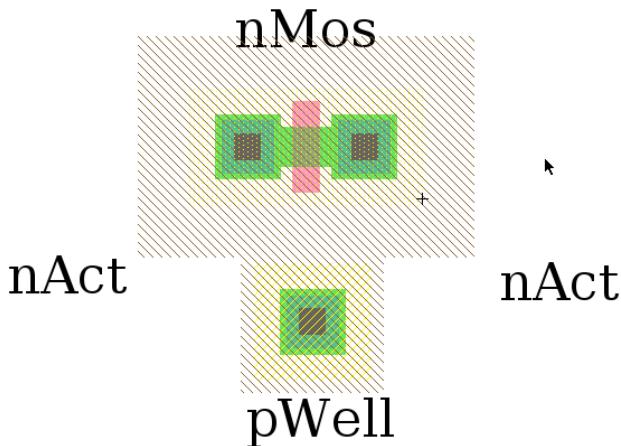
Creación del layout - Contactos a Metal 1

Asi queda bien conectado:



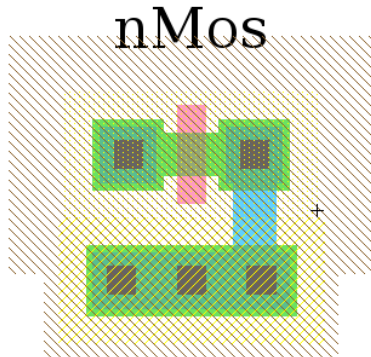
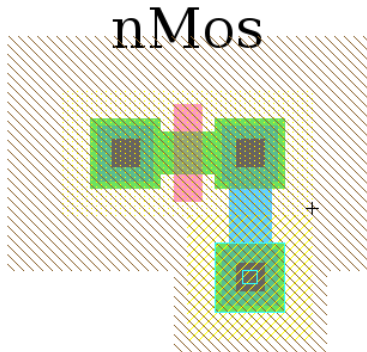
Creación del layout - Contactos a Metal 1

Hacemos lo mismo con el otro terminal:



Creación del layout - Contactos a bulk

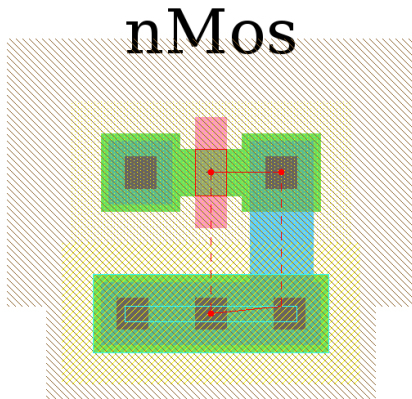
De igual forma conectamos el bulk¹ al source (siempre presionando **F5** para chequear DRC):



¹Modificamos el valor de X al contacto a bulk para que sea más grande

Conexión simbólica del *body* del transistor

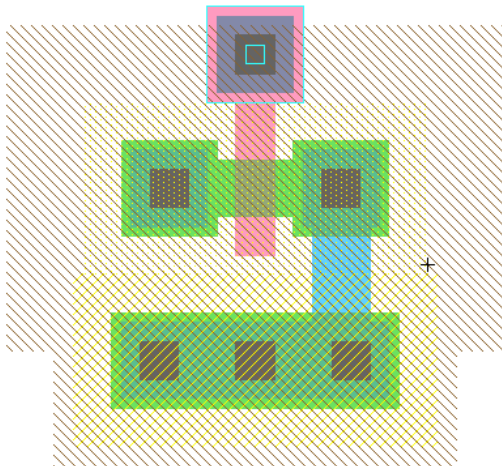
Seleccionar *Toggle Special Select*, hacer click izquierdo sobre el transistor y luego click derecho sobre los contactos a bulk².



²Para mas explicaciones ver **Body Checking Section** (Capítulo 9 del manual de Electric)

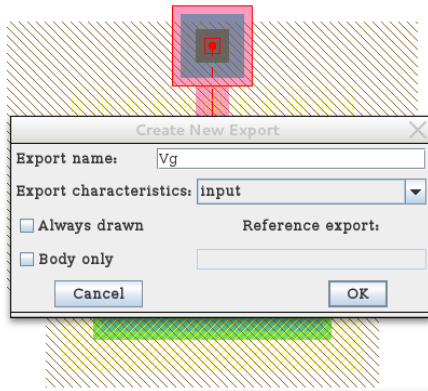
Creación del layout - Contacto a poly

Instanciamos un contacto a poly y lo conectamos al gate:



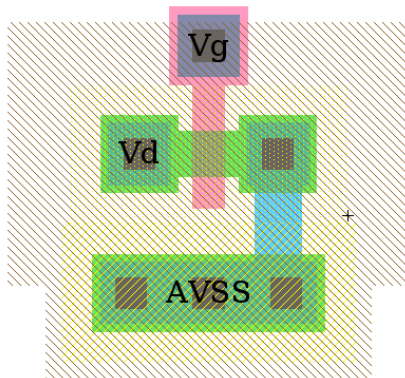
Creación del layout - Puertos

Creamos los puertos con los mismos nombres que en el esquemático, seleccionamos primero el lugar donde queremos crear el puerto, y luego presionamos **Ctrl-e**:



Creación del layout - Puertos

De la misma forma creamos el puerto para **Vd** y **AVSS**:



Comprobación de errores de DRC

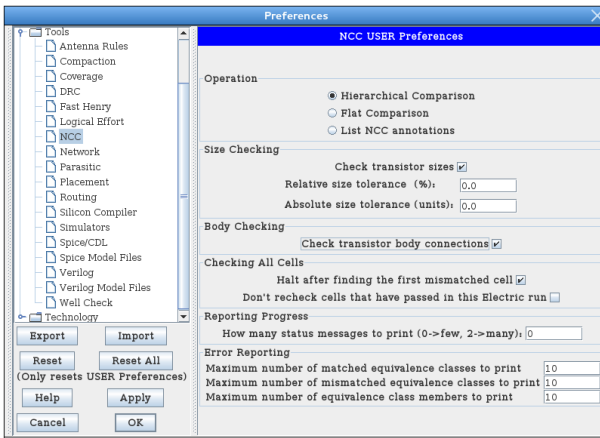
Durante la edición del *layout*, es necesario asegurarnos que no haya violaciones a las reglas de diseño, para eso presionamos **F5** y corregimos los errores a cada paso.

Chequéo errores de LVS

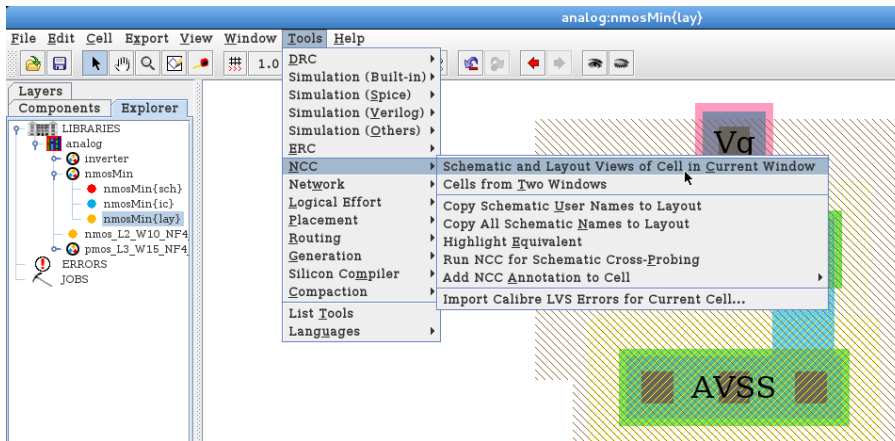
Electric cuenta con una herramienta llamada **NCC** (*Network Consistency Check*) que nos permite realizar una verificación de equivalencia entre el esquemático y el *layout* de la misma celda. También sirve para hacer equivalencia entre esquemáticos, entre *layouts*, y otras vistas de la misma celda.

Verificación de equivalencia entre el esquemático y el layout (LVS)

Primero configuramos correctamente la herramienta para que el LVS se haga correctamente. Vamos a **File** → **Preferences** → **NCC** y nos aseguramos seleccionar donde dice **Check transistor sizes** y en **Check transistor body connections**, como mostramos en la figura:



Realizar el LVS



Mensaje de LVS correcto

Si el esquemático y el *layout* son equivalentes, el mensaje será:

```
=====6=====
Hierarchical NCC every cell in the design: cell 'nmosMin{sch}' cell 'nmosMin{lay}'
Comparing: analog:nmosMin{sch} with: analog:nmosMin{lay}
  exports match, topologies match, sizes match in 0.004 seconds.
  Summary for all cells: exports match, topologies match, sizes match
  NCC command completed in: 0.006 seconds.
```

Extracción de los parásitos del layout

Realizamos ahora una extracción del circuito representado por el *layout* para crear un *netlist* SPICE, que incluya los elementos parásitos representados por los contactos, vías y metales utilizados para realizar las interconexiones.

Extracción de parásitos

Tools → Simulation (Spice) → Write Spice Deck

Luego especificamos donde guardar el archivo, y damos nombre al archivo. Creamos una carpeta llamada *sim* y le ponemos el nombre *nmosMin_lay.spi*. Luego examinar el archivo y ver el circuito y las resistores y capacitores que aparecen.

Simulación del *Layout*

Creamos una nueva celda de *layout* llamada `nmosMin_tb` donde instanciamos nuestro transistor.

Instanciar una celda de *layout*

Components → **Cell** → **nmosMin{lay}** (y ubicarla en el plano)

Exportamos los tres puertos con los nombre `Vg`, `Vd` y `vss`, y luego creamos el netlist para simulación:

Creación del netlist para simulación

Tools → **Simulation (Spice)** → **Write Spice Deck**

Simulación del *Layout* - Creación de un testbench

Creamos el archivo `simulacion.gnucap` con el siguiente contenido:

```
*** Comandos para realizar la simulación

* Cargo las fuentes de alimentación y excitación:
get fuentes.spi

* Cargo el netlist del circuito extraído
.include nmosMin_tb.spi

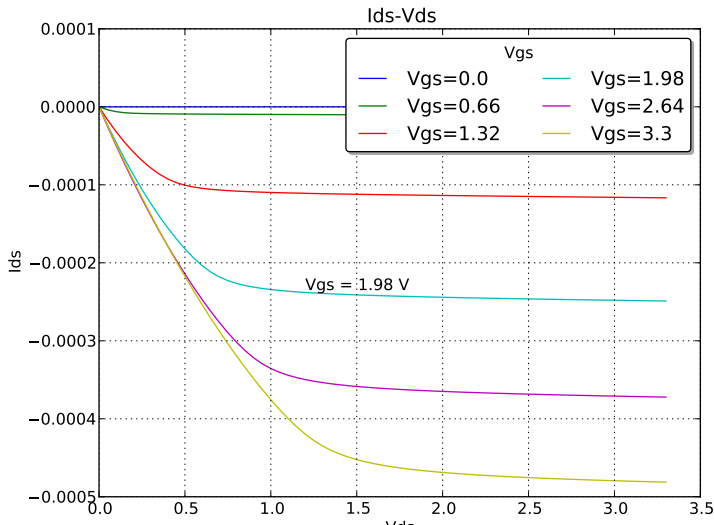
* Opciones para las señales que quiero ver:
print dc V(Vd) V(Vg) I(VVDC_vdd)

* Realizo el análisis DC y guardo las señales especificadas con *print*
* en un archivo llamado "simulacion.out"
dc VVDC_vdd 0 3.3 0.05 VVDC_vin 0.00 3.3 0.66 > simulacion.out
```

Descargar el testbench. Descargar el archivo `fuentes.spi`.

Simulación del esquemático y del layout extraído

Caracterización de los transistores de canal N y P por medio de simulación (familia de curvas de I_d/V_{ds})



Simulaciones de punto de operación

Análisis AC

Régimen transitorio

Transformada de Fourier

Alternativas de Interacción con circuitos digitales

Fin