

Universidad Nacional de Córdoba
Facultad de Ciencias Exáctas, Físicas y Naturales



Proyecto Integrador

*” Diseño de un Sumador Rápido y de Bajo Consumo en tecnología
CMOS utilizando Herramientas de Software Libre”*

Setiembre 2013

Capítulo 1

DISEÑO DIGITAL

*Bla bla bla bla bla bla bla ...*¹

1.1. Introducción

Es importante lograr sumadores binarios rápidos y eficientes según el uso de área y potencial. La suma es la operación elemental para lograr otras operaciones muy utilizadas en los circuitos aritméticos. Ejemplo de esto son los multiplicadores, la resta, división, los filtros FIR e IIR, por nombrar las más conocidas.

Para cada una de esas operaciones, son necesarios sumadores de distinta cantidad de bits en el mismo diseño. Por lo cuál, no se trata solamente de encontrar la arquitectura que para una determinada cantidad de bits logre el mejor compromiso de área, potencia y velocidad. Sino también lograr una relación de compromiso según crece la cantidad de bits del sumador.

1.1.1. Semisumador y sumador completo

Semisumador

El **Semisumador** (Half-adder) recibe 2 bits de entradas a y b y produce un bit de suma $s = a \oplus b$ y un bit de acarreo $c = ab$.

Sumador Completo

Luego definimos un Sumador Completo de un bit, o Full Adder:

Entradas: Bits de operandos a , b y carry-in c_{in} (o x_i, y_i, c_i para la etapa i)

Salidas: Suma s y carry-out c_{out} (o s_i y c_{i+1} para la etapa i)

$$s = x \oplus y \oplus c_{in}$$

$$c_{out} = ab + ac_{in} + bc_{in}$$

Podemos construir un **sumador completo** (full-adder) a partir del half-adder, como vemos en la siguiente figura:

¹ Un groso

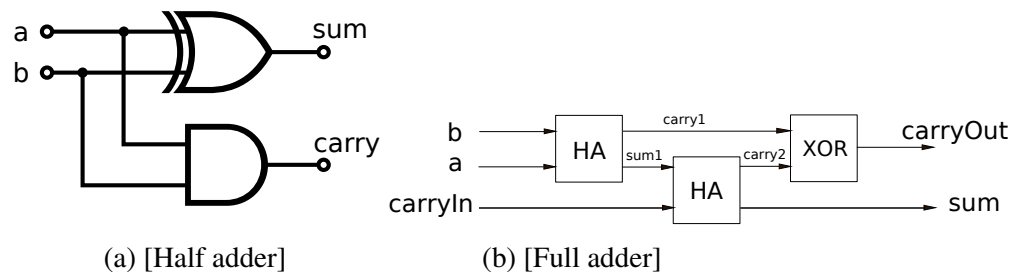


Figura 1.1: Bit adders

1.2. Selección de la arquitectura del sumador

Proponemos el uso de Celdas estándar CMOS (Complementary Metal Oxide Silicon) para la implementación¹. El carácter de nuestro flujo de diseño así lo requiere, ya que se utilizarán herramientas de síntesis de circuitos digitales basadas en celdas estándares. Quedan entonces descartadas las implementaciones utilizando transistion gates, lógica dinámica u otro tipo de implementacion lógica.

1.2.1. Costo y Retardo de los circuitos combinacionales

Cada circuito combinacional G tiene un costo y un retardo. El costo de un circuito combinacional es la suma de los costos de las compuertas en un circuito. Le asignamos un costo unitario a cada compuerta, y el costo del circuito combinacional $c(G)$ es igual al número de compuertas en el circuito.

El retardo de un circuito combinacional $d(G)$ se define igual al del retardo de una compuerta. Es el menor tiempo requerido para que las salidas se estabilicen, asumiendo que todas las entradas están estables. Para simplificar el análisis, se le asigna un retardo unitario a cada compuerta.

1.2.2. Clasificación de los sumadores

Dentro de los sumadores paralelos, se encuentran varias arquitecturas, cada una con sus ventajas y desventajas. Hacemos una lista de algunas de ellas:

¹Para ver otras posibilidades de implementación lógica, ver (FALTA CITA) RABAEY

Sumadores Binarios	
RCA	Ripple Carry Adder
CLA	Carry Look-Ahead Adder
CSkA	Carry Skeep Adder
CA	Canonical Adders
BBCLA	Block-based Look-Ahead Adders
CondSumA	Conditional Sum Adder
CSeA	Carry Select Adder
HybAd	Hybrid Adders
NPA	Network Prefixs Adders:
	Ladner and Fischer
	Kogge-Stone
	Brent-Kung
	Skalansky

Ripple Carry Adder

Definimos el sumador Ripple Carry Adder (RCA), utilizando n full-adders para sumar 2 operandos de n bits. El sumador de n bits produce una salida de n bits y una salida de acarreo C_{out}

Este sumador se implementa conectando como muestra la figura?? el bloque FA (Full Adder). El camino crítico de la señal se determina considerando el peor camino de propagación de la señal.

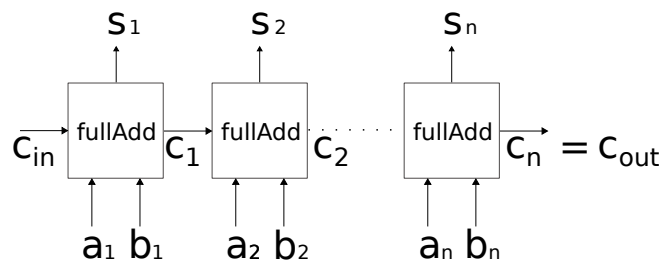


Figura 1.2: Riple Carry Adder

Resumimos las características y diferencias entre los distintos sumadores?:

Retardo Máximo y Área de las distintas arquitecturas

1.2.3. Carry Lookahead Adders

La clave para sumar rápido es que el bloque generador de las señales de acarreo tenga baja latencia?, ya que una vez que el acarreo en la posición i es conocido, se puede calcular la suma como:

$$s_i = a_i \oplus b_i \oplus c_i$$

Con respecto al acarreo, lo importante es si en una posición dada el acarreo se *genera* ó se *propaga*. Con las siguientes ecuaciones lógicas podemos definir esas señales:

$$g_i = a_i b_i$$

Cuadro 1.1: Resumen Características de Sumadores

Arquitectura	Retardo Máx.	Área
Ripple Carry Adder (RCA)	$O(n)$	$O(n)$
Carry Save Adder (CSaA)	$O(\log(n))$	$O(n)$
Carry Look-Ahead Adder (CLA)	$O(\log(n))$	$O(n \log(n))$
Carry Skip Adder (CSA)	$O(n^{l+2/l+1})$	$O(n)$
Carry Increment Adder (CIA)	$O(n^{l+2/l+1})$	$O(n)$
Carry Select Adder (CselA)	$O(n^{l+2/l+1})$	$O(n)$
Ladner-Fisher	$O(\log(n))$	$O(n \log(n))$
Skalansky	$O(n \log_2(n))$	$O(\log^2(n))$
Kogge-Stone	$O(n \log_2(n))$	
Han-Carlson	Falta	Falta
Brent-Kung	$O(\log_2(n))$	$O(n \log_2(n))$

$$p_i = a_i \oplus b_i$$

Asumiendo que estas señales se han calculado y están disponibles, podemos calcular recursivamente el acarreo de la siguiente forma:

$$c_{i+1} = g_i + c_i p_i$$

Esto quiere decir que un acarreo entrará en una etapa $i + 1$ si este se genera en la etapa i ó entra en la etapa i y se propaga en esa etapa.

1.2.4. Lower Bounds

Teorema: Si el número de entradas de cada compuerta combinacional está acotado por c , entonces para cada circuito combinacional G que implemente un *sumador*(n), se da que:

$$c(G)n/c \text{ and } d(G) \log_c(n)$$

1.2.5. Parallel Prefix Networks

Se puede afirmar que los llamados sumadores paralelos prefijo son mejores con respecto al producto Potencia - Retardo. Aunque no hay una estructura que pueda calificarse como globalmente la mejor.

1.2.6. Sumador Rápido de Brent-Kung

Cuando se quiere tener en cuenta además del retardo y la potencia, el área de celdas e interconexión, se propone el sumador de Brent and Kung, ya que es una versión que considera el problema de la interconexión entre las compuertas, de una forma que minimice el área, a costa de un aumento en el retardo.

@inproceedings 6120598, author=Baliga, A. and Yagain, D., booktitle=Emerging Trends in Engineering and Technology (ICETET), 2011 4th International Conference on, title=Design of High Speed Adders Using CMOS and Transmission Gates in Submicron Technology: A Comparative Study, year=2011, pages=284-289, keywords=CMOS logic circuits;SPICE;VLSI;adders;application specific integrated circuits;digital signal processing chips;logic gates;microprocessor chips;ASIC;Brent-Kung adders;CMOS logic;DSP;Kogge-Stone adders;Ling adders;Sklansky adders;TSMC MOSIS Level-49 model;TSPICE simulator;Tanner EDA;VLSI implementations;arithmetic circuits;arithmetic units;binary addition problem;comparators;data-processing application-specific integrated circuit;deep submicron technology file;digital signal processor;high speed adders;microprocessor;multipliers;parallel-prefix adders;power consumption;size 130 nm;transmission gate logic;word length 16 bit;word length 32 bit;word length 8 bit;Adders;CMOS integrated circuits;Computer architecture;Delay;Logic gates;Mathematical model;Microprocessors;Black cell;Brent-Kung;Generate and propagate block;Grey cell;Kogge-Stone;Ling adders by Kogge-Stone;Sklansky;parallel-prefix adders, doi=10.1109/ICETET.2011.25, ISSN=2157-0477,

Índice de figuras

1.1. Bit adders	2
1.2. Riple Carry Adder	3

Índice de cuadros

1.1. Resumen Características de Sumadores	4
---	---