



院(系): 智能工程学院

学号: 20354027

姓名: 方桂安

日期: 2022.6.14

实验名称: 时序逻辑电路设计、数模转换

一、实验目的

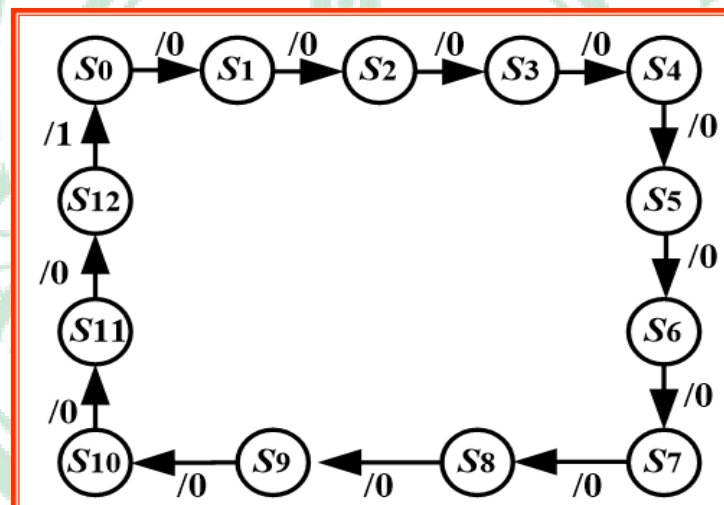
1. 掌握串行数据检测器的原理, 提高时序逻辑电路设计的能力
2. 熟悉数-模和模-数转换的基本原理。

二、实验原理

1、带进位输出端的十三进制计数器设计

具体电路实现

首先进行逻辑抽象, 因为计数器的工作特点是在时钟信号操作下依次从一个状态转为下一个状态, 所以它没有输入逻辑变量, 只有进位输出信号。因此计数器属于摩尔型的一种简单时序电路。取进位信号为输出逻辑变量 C , 同时规定有进位输出时 $C=1$, 无进位输出时 $C=0$ 。十三进制计数器应该有十三个有效状态, 若分别用 S_0, S_1, \dots, S_{12} 来表示, 则按照题意可以画出, 如下图所示的电路状态转换图。



由于 $2^3 > 13 > 2^4$, 故应取触发器的位数 $n=4$ 。

假如对状态分配无特殊要求, 可以取自然二进制数的 0000~1100 作为 $S_0 \sim S_{12}$, 的编码。于是得到了下表中的状态编码。

状态变化 顺序	状态编码				进位输出 C	等效十进制 数
	Q_3	Q_2	Q_1	Q_0		
S_0	0	0	0	0	0	0
S_1	0	0	0	1	0	1
S_2	0	0	1	0	0	2
S_3	0	0	1	1	0	3
S_4	0	1	0	0	0	4
S_5	0	1	0	1	0	5
S_6	0	1	1	0	0	6
S_7	0	1	1	1	0	7
S_8	1	0	0	0	0	8
S_9	1	0	0	1	0	9
S_{10}	1	0	1	0	0	10
S_{11}	1	0	1	1	0	11
S_{12}	1	1	0	0	1	12
S_0	0	0	0	0	0	0

绘制卡诺图进行化简

Q_1Q_0	00	01	11	10
Q_3Q_2				
00	0	0	0	0
01	0	0	1	0
11	0	x	x	x
10	1	1	1	1

(a) Q_3^*

Q_1Q_0	00	01	11	10
Q_3Q_2				
00	0	0	1	0
01	1	1	0	1
11	x	x	x	x
10	0	0	x	x

(b) Q_2^*

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	0	x	x	x
10	0	1	0	1

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	0	x	x	x
10	1	0	0	1

(c) Q_1^*

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	x	x	x
10	0	0	0	0

(d) Q_0^*

(e) C

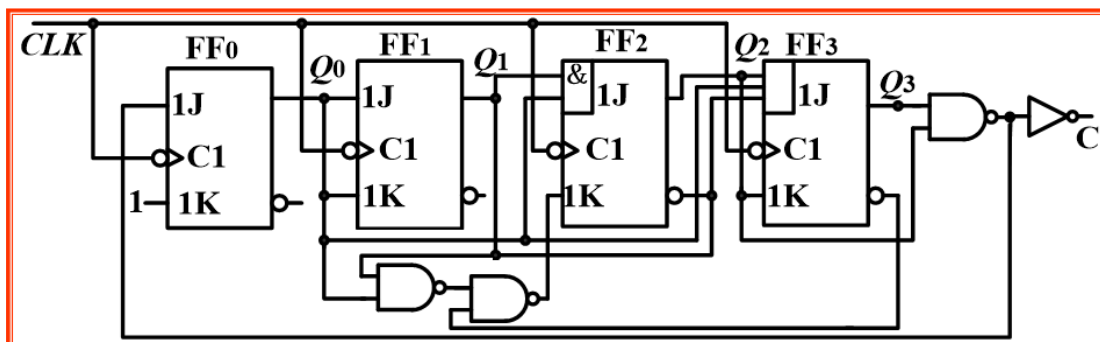
写出输出端的状态方程

$$\begin{aligned}
 Q_0^* &= Q_3'Q_0' + Q_2'Q_0' \\
 Q_1^* &= Q_1Q_0' + Q_1'Q_0 \\
 Q_2^* &= Q_2'Q_1Q_0 + Q_2(Q_3'Q_1' + Q_0') \\
 Q_3^* &= Q_2'Q_3 + Q_2Q_1Q_0 \\
 C &= Q_3Q_2
 \end{aligned}$$

得出各触发器的驱动方程为

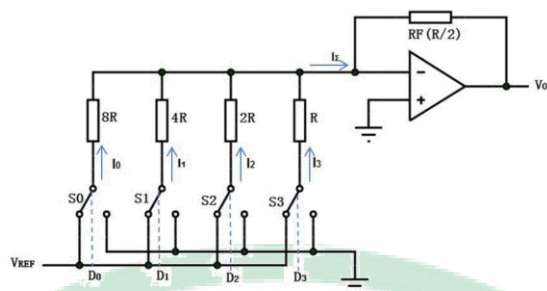
$$\begin{aligned}
 J_3 &= Q_2Q_1Q_0 & K_3 &= Q_2 \\
 J_2 &= Q_1Q_0 & K_2 &= (Q_3'(Q_1Q_0)')' \\
 J_1 &= Q_0 & K_1 &= Q_0 \\
 J_0 &= (Q_3Q_2)' & K_0 &= 1
 \end{aligned}$$

由驱动方程可画出十三进制计数器的逻辑电路，如下图所示



2、使用 OPA2134PA 运放，实现 DAC 电路

(1) D/A 转换是将数字量转换成相应的模拟量，下图为权电阻网络 D/A 转换器，它由权电阻网络和比较器构成。



对于图中的权电阻网络，由虚短得 $V_+ = V_- = 0$ ，因此可以得到：

$$V_0 = -R_F I_\Sigma = -R_F (I_3 + I_2 + I_1 + I_0)$$

由于 $V_- \approx 0$ ，因而各支路电流分别为

$$I_3 = \frac{V_{REF}}{R} D_3$$

$$I_2 = \frac{V_{REF}}{2R} D_2$$

$$I_1 = \frac{V_{REF}}{4R} D_1$$

$$I_0 = \frac{V_{REF}}{8R} D_0$$

取 $R_F = R/2$ ，则输出电压为

$$\begin{aligned} v_o &= -R_F i_\Sigma = -R_F (I_3 + I_2 + I_1 + I_0) \\ &= -R_F \left(\frac{V_{REF}}{R} d_3 + \frac{V_{REF}}{2R} d_2 + \frac{V_{REF}}{2^2 R} d_1 + \frac{V_{REF}}{2^3 R} d_0 \right) \\ &= -\frac{V_{REF}}{2^4} (2^3 d_3 + 2^2 d_2 + 2^1 d_1 + 2^0 d_0) \end{aligned}$$

①若 V_{REF} 取正值，则输出电压为负值。若想输出电压为正值，可以将 V_{REF} 取负值

②此电路优点是结构简单，所用电阻元件少。缺点是各个电阻的阻值相差较大，输入数字量的位数越多，差别就越大，故难以保证电阻的精确度。

(2) 比较器 U2 与 R7、R8 组成反相器，所以实验箱上 D/A 转换器的输出 DAC_O 是正电压信号。

说明：下图 4-53 是实验箱上的 DAC 原理图，D3~D0 为输入数字量， $V_{REF} = 3.3V$ 。下图中比较器 U1 的输出对应权电阻网络 D/A 转换器原理图中的 V_0 ，比较器 U2 与 R7、R8 组成反相器，所以实验箱上 D/A 转换器的输出 DAC_O 是正电压信号。

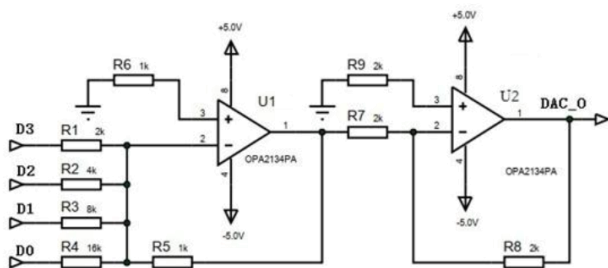


图 4-53 实验箱上的 DAC 原理图

三、实验仪器

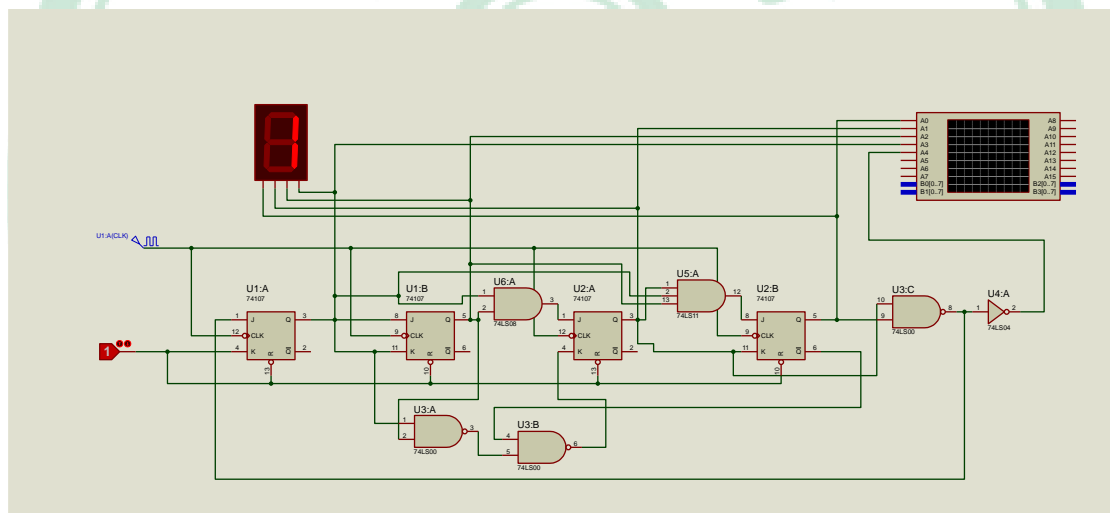
1. 软件 Proteus 8 Professional
2. FPGA 数字电路实验箱 一台
3. SDS5054 数字示波器 一台

四、实验内容

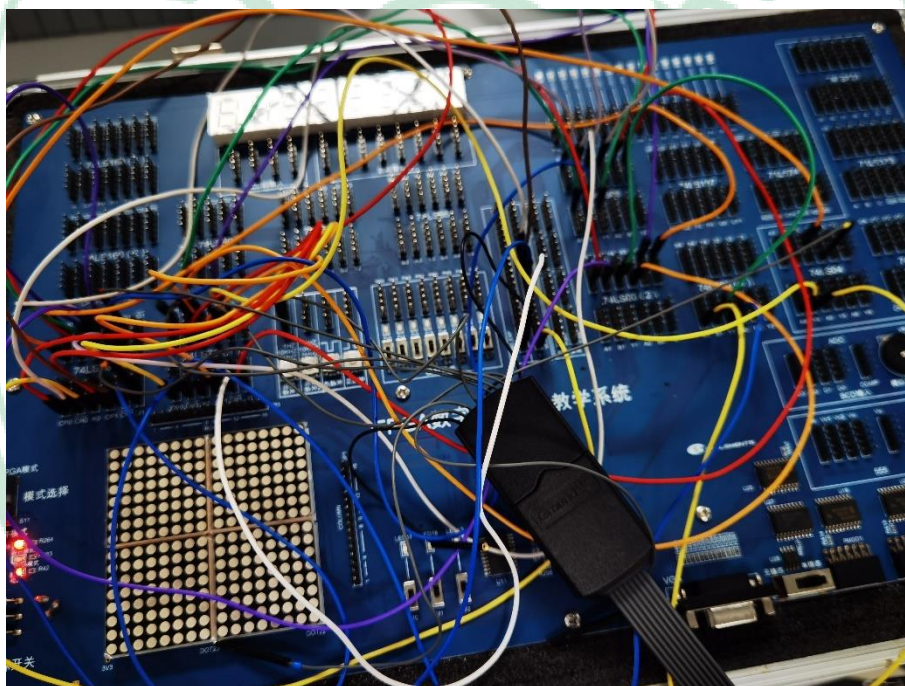
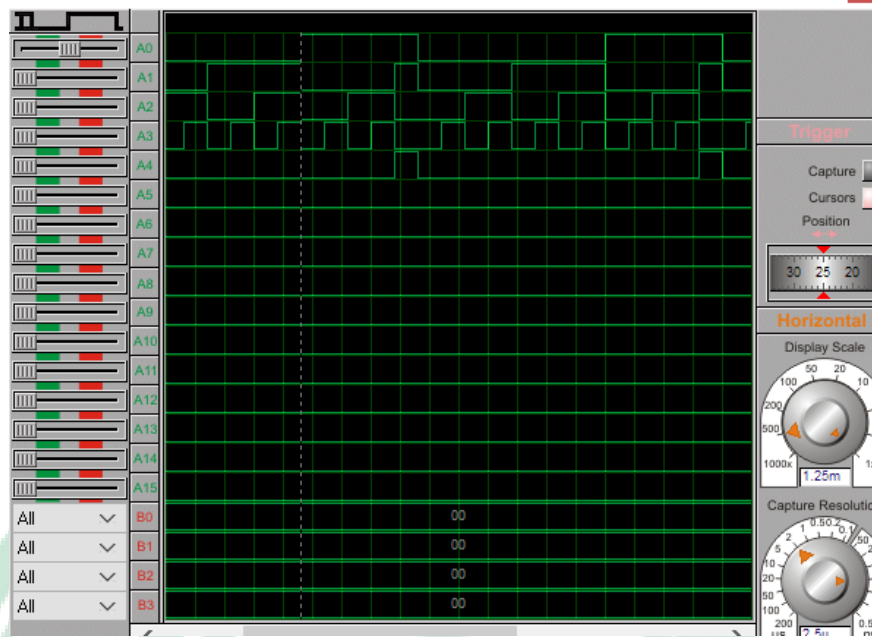
- 1、设计一个带进位输出端的十三进制计数器，Proteus 仿真使用逻辑分析仪和数码管进行状态观测，实验箱使用示波器进行观测（Q3, Q2, Q1, Q0, C）。
- 2、使用 OPA2134PA 运放，实现 DAC 电路，进行测试，填写表格。

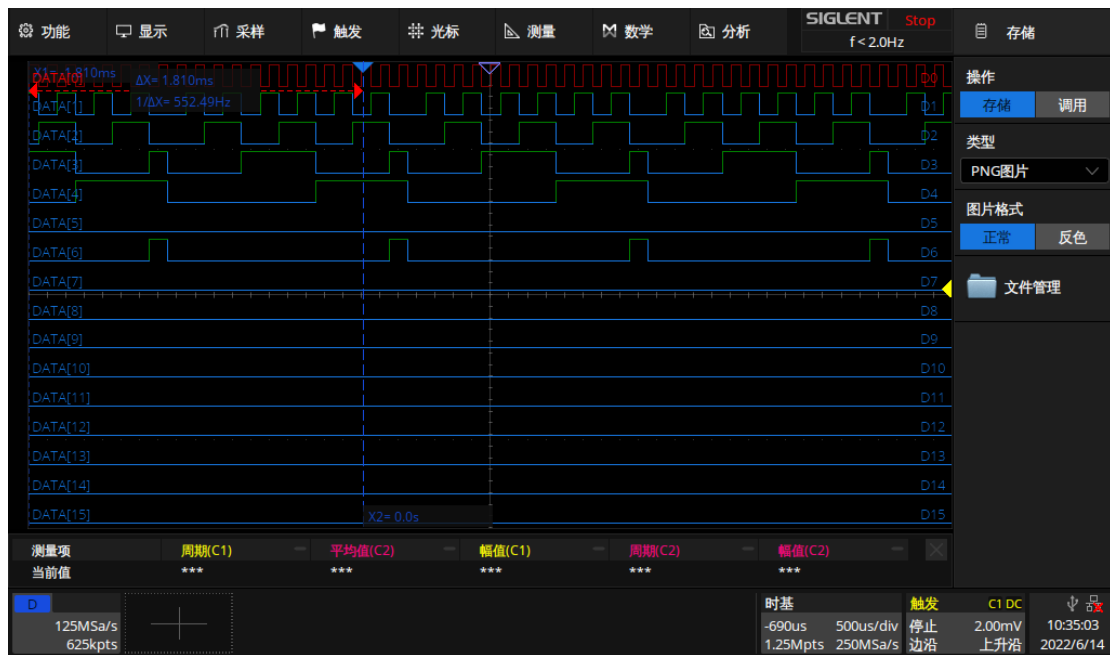
五、实验过程及结论分析

- 1、设计一个带进位输出端的十三进制计数器，Proteus 仿真使用逻辑分析仪和数码管进行状态观测，实验箱使用示波器进行观测（Q3, Q2, Q1, Q0, C）。



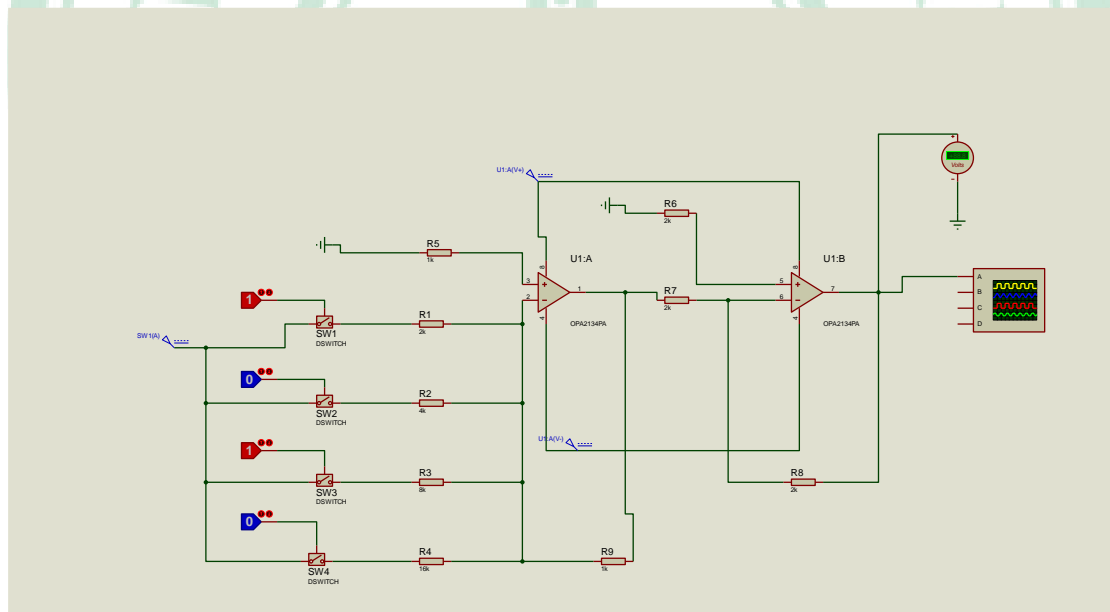
VSM Logic Analyser

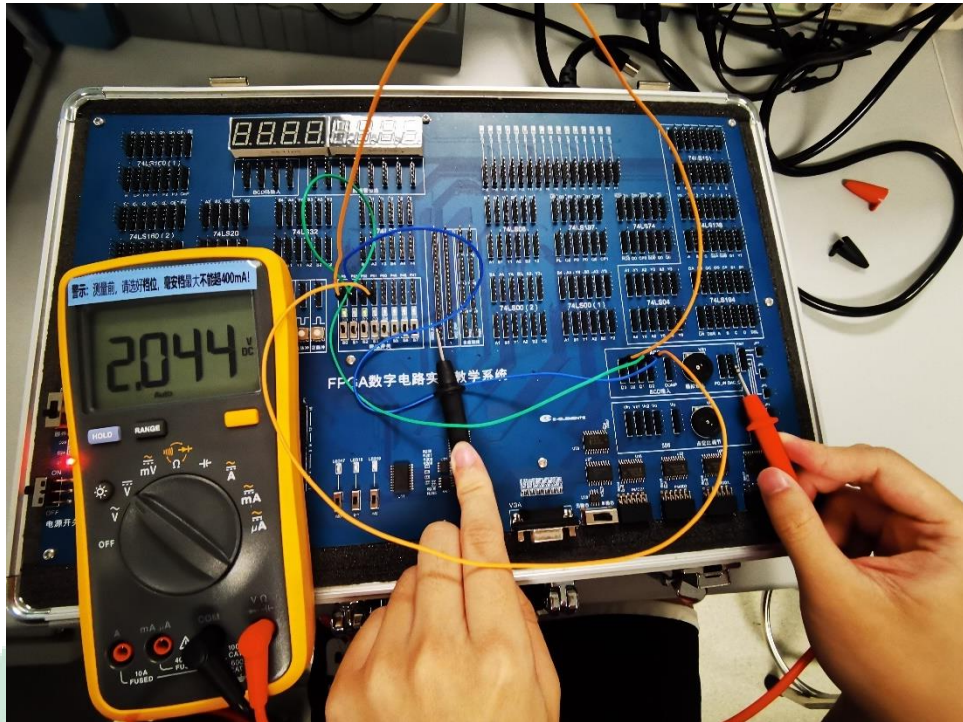




2、使用 OPA2134PA 运放，实现 DAC 电路，进行测试，填写表格。

在 Proteus 仿真环境下接入电压表、OPA2134PA 运算放大器、若干电阻等器件，完成接线，接入电平信号并分别调节至 3.3V、5V、-5V。开始对电路进行调试，并调节四个手动脉冲，分别观察电压表的测量值，将数据记录在表格中。

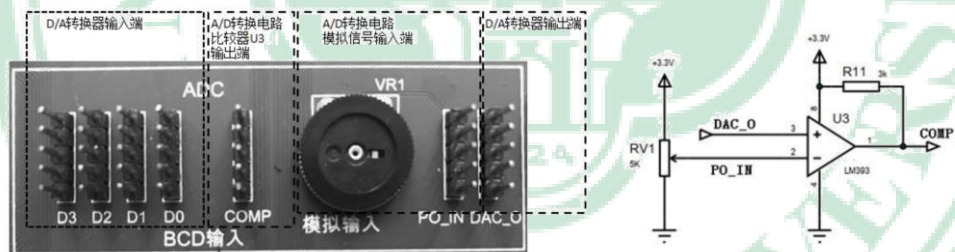




利用实验箱的ADC模块，按照DAC原理接线，调节手动脉冲，观察电压表的测量值，将数据记录在表格中。

下图是实验箱的DAC模块图

- (1) D3 D2 D1 D0 对应输入端D，因此将D端每个接入一个开关电平；
- (2) 将DAC_OUT端接入示波器和手持电压表，观察示数和波形变化



表格如下：

输入		输出		
二进制数 D3D2D1D0	对应十进制数	理论值	Proteus 测量值	实验箱测量值
0000	0	0	0	0.001
0001	1	0.2	0.21	0.207
0010	2	0.4	0.41	0.408
0011	3	0.6	0.62	0.614
0100	4	0.8	0.82	0.81
0101	5	1.0	1.03	1.02
0110	6	1.2	1.24	1.22
0111	7	1.4	1.44	1.42
1000	8	1.6	1.65	1.62
1001	9	1.8	1.86	1.83
1010	10	2.0	2.06	2.04
1011	11	2.2	2.27	2.23
1100	12	2.4	2.47	2.43
1101	13	2.6	2.68	2.64
1110	14	2.8	2.89	2.84
1111	15	3.0	3.09	3.04

分析如下：

从实验结果分析可得到，当开关拨到某一个状态时，将开关为高电平设为 1，低电平设为 0，将开关的二进制数转换成对应的十进制数，而每个 1 代表了 $3.3/16=0.20625$ ，用该数乘以每个 1 代表的数就是输出的电压值。在误差允许范围内成立。

观察表格中记录的数据，发现 Proteus 测量值和实验箱测量值均在误差允许的范围内与理论值相符合。其中，实验箱实验中测量值的整体误差比 Proteus 仿真模拟的小，但由于外界电阻的影响，当二进制数为 0000 时，实验箱测量值会有一个很小的结果。

六、实验收获

在本次实验中，进行了带进位输出端的十三进制计数器的设计然后再使用 proteus 软件进行仿真和时序波形图的分析验证了设计的正确性。通过对电路延时的分析，我们可以对时序电路中的延时有一个定量的了解，减少电路的延时是一个非常具有实际意义的研究。减少电路延时大体有两种，一种是通过改进生产设备，可以生产出具有较少延时的门器件，但这是以高昂的价格为代价的。另一个减少模块延时的方法是靠设计者遵循一定得设计规则，通过化简逻辑表达式以及优化布线布图来减少延时，后者正是我们作为数字电路设计者所要重视并在平时认真学习积累经验的地方。

在计算机控制系统中，被控量一般为非电量，如温度、压力、位移等，首先由传感器将它们转化成连续变化的模拟量，再由模/数转换器转换成数字量，送到计算机中进行处理和计算。处理后要经过数/模转换器将计算机输出的数字量转换成模拟量，通过本次实验，我们还了解到数电/模电之间的紧密联系。