



院(系): 智能工程学院

学号: 20354027

姓名: 方桂安

日期: 2022.5.17

实验名称: 计数器、译码器、全加器仿真与实验

一、实验目的

1. 完成计数器 74LS197 的仿真
2. 完成译码器 74LS138+74LS197 的动态仿真与实验
3. 完成基于 74LS138 的组合逻辑电路—全加器仿真与实验
4. 完成基于 74LS48 驱动的数码管显示仿真和实验

二、实验原理

1. 74LS197-计数器

197 为可预置的二—八—十六进制计数器, 共有 54/74197、54/74S197、54/74LS197 三种线路结构方式。

异步清除端 (CR) 为低电平时, 不管时钟端 (CP0、CP1) 状态如何, 即可完成清除功能。

计数/置入控制 (CT/LD) 为低电平时, 不管时钟端 (CP0、CP1) 状态如何, 即可完成预置功能。

当 (CT/LD) 为高电平时, 在 (CP0、CP1) 脉冲下降沿作用下进行计数操作:

a) 将 CP1 与 Q0 连接, 计数脉冲由 CP0 输入, 在 Q0、Q1、Q2、Q3 分别得到二、四、八、十六分频。

b) 计数脉冲由 CP1 输入, 在 Q1、Q2、Q3 分别得到二、四、八分频。Q0 可独立使用。

197 还可作 4 位锁存器, 此时 CT/LD 作为选通端。当 CT/LD 为低电平时, Q0~Q3 随 D0~D3 而变化; 当 CT/LD 为高电平时, 只要时钟不作用, Q0~Q3 将保持不变。

54 (74) 197 与 54 (74) 177 的引出端排列和功能均相同, 差别在速度—功耗值不同。

2. 74LS138-译码器

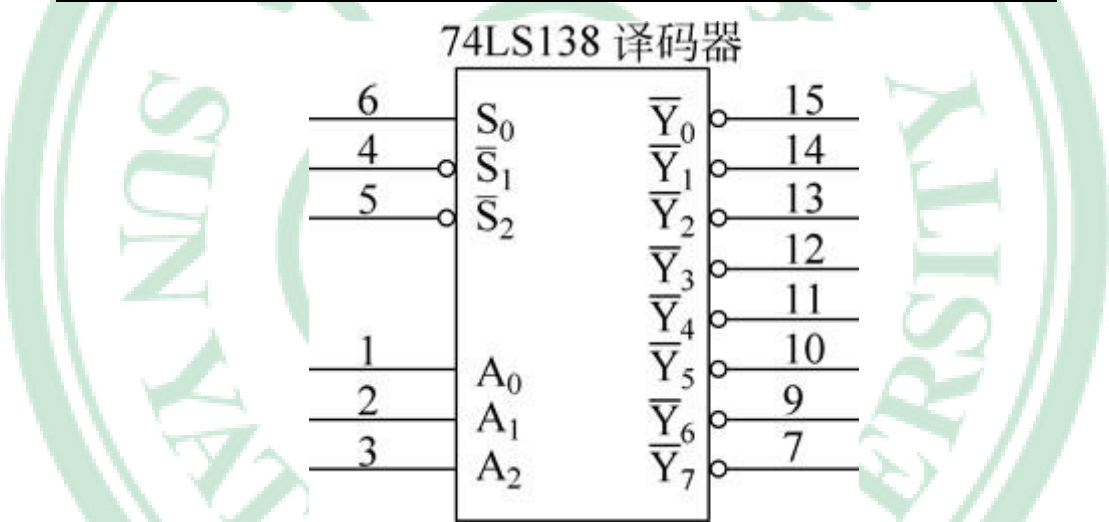
译码器是一个多输入、多输出的组合逻辑电路。它的作用是把给定的代码进行“翻译”, 变成相应的状态, 使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途, 不仅用于代码的转换、终端的数字显示, 还用于数据分配, 存储器寻址和组合控制信号等。不同的功能可选用不同种类的译码器。译码器可分为通用译码器和显示译码器两大类。前者又分为变量译码器和代码变换译码器。

74LS138 有 3 个附加的控制端 S0、S1、和 S2。当 S0=1、时, GS 输出为高电平 (1), 译码器处于正常工作状态; 否则, 译码器被禁止, 所有的输出被锁定在

高电平。这 3 个控制端又称“片选”输入端，利用片选的作用可以将多片连接起来以扩展译码器的功能。

74LS138 译码器的逻辑功能表

输入					输出							
S_0	$\overline{S_1}+\overline{S_2}$	A_2	A_1	A_0	$\overline{Y_7}$	$\overline{Y_6}$	$\overline{Y_5}$	$\overline{Y_4}$	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1



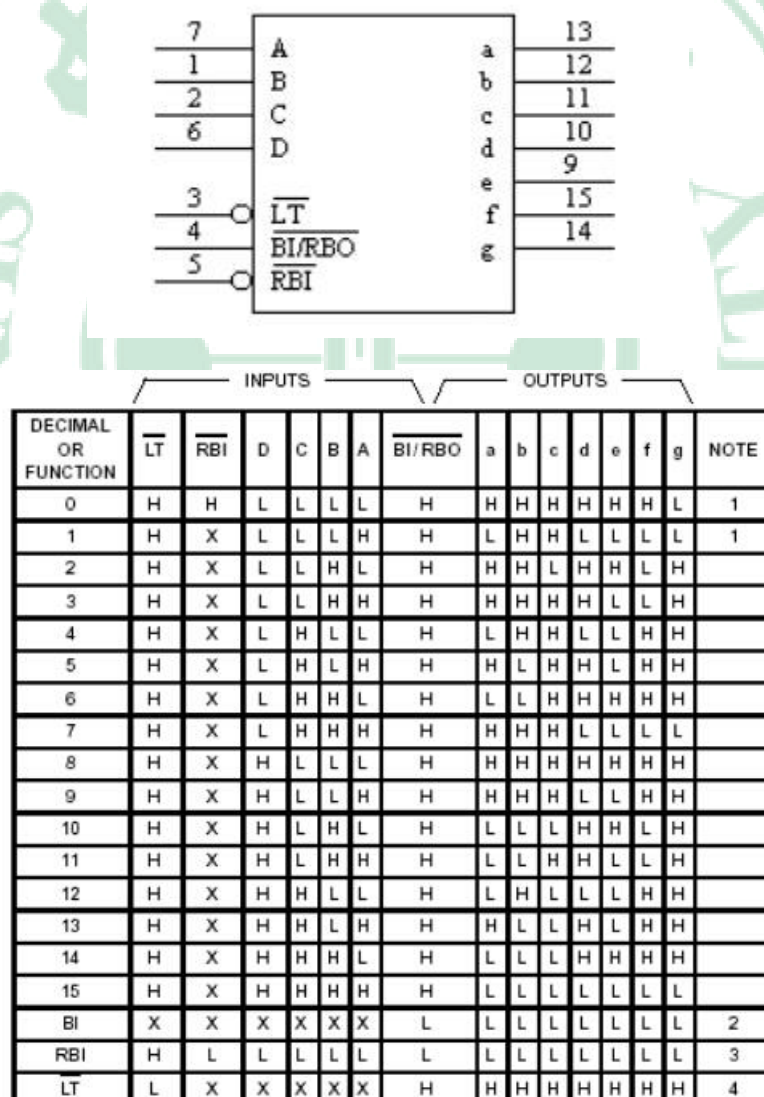
3. 74LS138-全加器

两个二进制数之间的算术运算无论是加、减、乘、除，目前在数学计算机中都是化作若干步加法运算进行的。因此，加法器是构成算术运算器的基本单元。在将两个多位二进制数相加时，除了最低位以外，每一位都应该考虑来自低位的进位，即将两个对应位的加数和来自低位的进位 3 个数相加。这种运算称为全加，所用的电路称为全加器。用两片 74LS138 设计一个全加器。在考虑到 74LS138 译码器为 3 线—8 线译码器，共有 54/74S138 和 54/74LS138 两种线路结构型式，其 74LS138 工作原理为：当一个选通端（G1）为高电平，另两个选通端（/（G2A）和/（G2B））为低电平时，可将地址端（A、B、C）的二进制编码在一个对应的输出端以低电平译出。根据以上特性，设计制作出一个全加器。

74LS138 有三个附加的控制端。当输出为高电平 ($S=1$)，译码器处于工作状态。否则，译码器被禁止，所有的输出端被封锁在高电平。带控制输入端的译码器又是一个完整的数据分配器。如果把作为“数据”输入端（在同一个时间），而将作为“地址”输入端，那么从送来的数据只能通过所指定的一根输出线送出去。这就不难理解为什么把叫做地址输入了。例如当 $=101$ 时，门的输入端除了接至输出端的一个以外全是高电平，因此的数据以反码的形式从输出，而不会被送到其他任何一个输出端上。

4. 74ls48-七段译码器/驱动器

7 段显示译码器 74LS48 是输出高电平有效的译码器，74LS48 除了有实现 7 段显示译码器基本功能的输入 (DCBA) 和输出 ($Y_a \sim Y_g$) 端外，7448 还引入了灯测试输入端 (LT) 和动态灭零输入端 (RBI)，以及既有输入功能又有输出功能的消隐输入/动态灭零输出 (BI/RBO) 端。



由 7448 真值表可获知 7448 所具有的逻辑功能：

(1) 7 段译码功能 ($LT=1$, $RBI=1$)

在灯测试输入端(LT)和动态灭零输入端(RBI)都接无效电平时，输入 DCBA 经 7448 译码，输出高电平有效的 7 段字符显示器的驱动信号，显示相应字符。除 DCBA = 0000 外，RBI 也可以接低电平，见表 1 中 1~16 行。

(2) 消隐功能 (BI=0)

此时 BI/RBO 端作为输入端，该端输入低电平信号时，表 1 倒数第 3 行，无论 LT 和 RBI 输入什么电平信号，不管输入 DCBA 为什么状态，输出全为“0”，7 段显示器熄灭。该功能主要用于多显示器的动态显示。

(3) 灯测试功能 (LT = 0)

此时 BI/RBO 端作为输出端，端输入低电平信号时，表 1 最后一行，与 DCBA 输入无关，输出全为“1”，显示器 7 个字段都点亮。该功能用于 7 段显示器测试，判别是否有损坏的字段。

(4) 动态灭零功能 (LT=1, RBI=1)

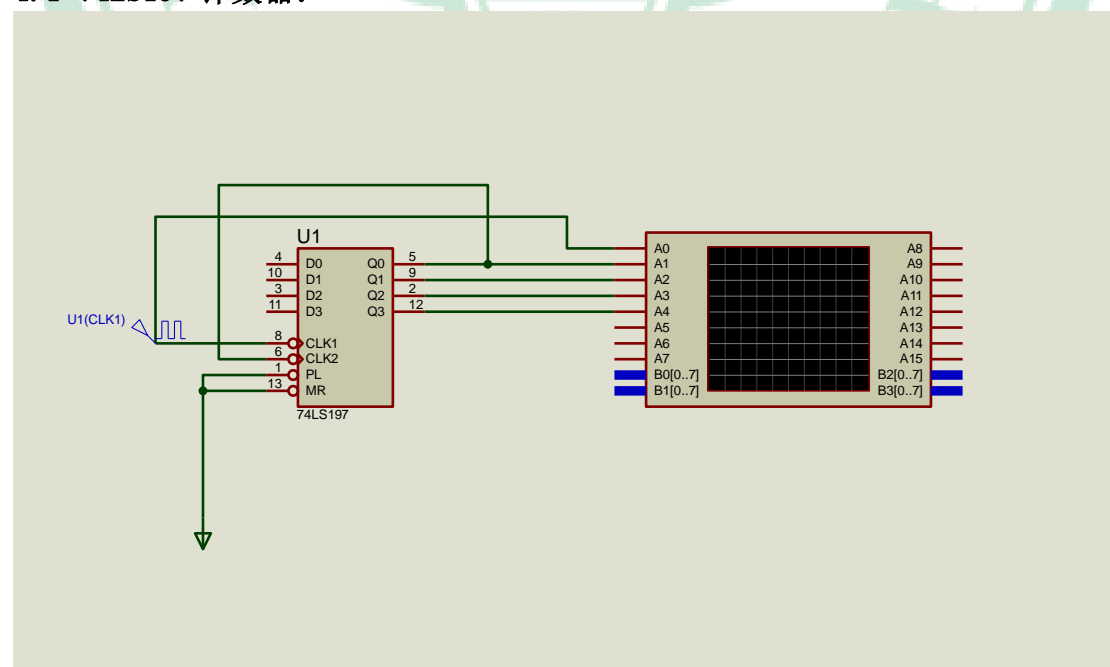
此时 BI/RBO 端也作为输出端，LT 端输入高电平信号，RBI 端输入低电平信号，若此时 DCBA = 0000，表 1 倒数第 2 行，输出全为“0”，显示器熄灭，不显示这个零。DCBA ≠ 0，则对显示无影响。该功能主要用于多个 7 段显示器同时显示时熄灭高位的零。

三、实验仪器

1. 软件 Proteus 8 Professional
2. FPGA 数字电路实验箱 一台
3. SDS5054 数字示波器 一台

四、实验内容与步骤

4.1 74LS197 计数器：

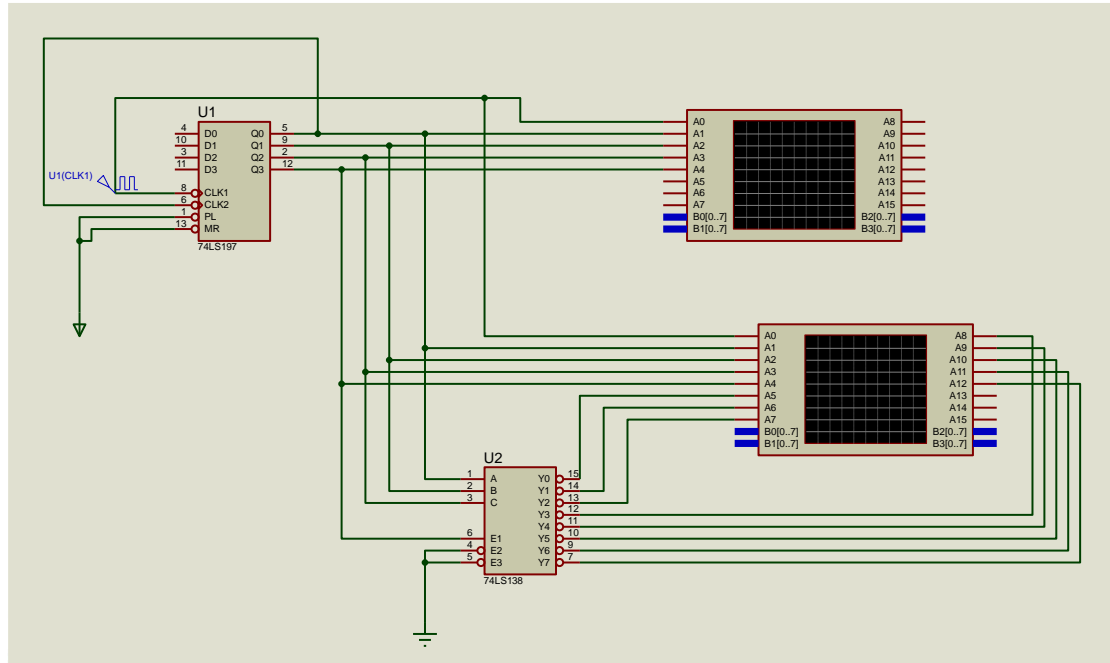


使用 Proteus 完成用 74LS197 构成十六进制计数器的设计，即 Proteus 环境下，

74LS197 的 CLK1 与 10kHz 的 CLOCK 相连, Q0 与 CLK2 连接, 将 ML/PL 接高电平, 则 Q3、Q2、Q1 和 Q0 就是十六进制计数器的输出。观察并记录 CLK1、Q0、Q1、Q2 和 Q3 的波形, 分析波形是否符合十六进制计数器逻辑关系。

对于实验箱, 按如上电路图连接

4.2 74LS138 动态测试:



1.对 74LS138 进行静态测试。将 74LS138 的使能端 $\overline{G2A}$ 、 $\overline{G2B}$ 接低电平, 使用实验箱上的模拟开关作为 74LS138 的输入 C、B、A 和 G1, 并把 74LS138 的输出 Y_0 ~ Y_7 接 LED“0-1”显示器, 按照真值表对电路进行静态测试, 检查 74LS138 是否正常工作。

2.对 74LS138 进行动态测试。

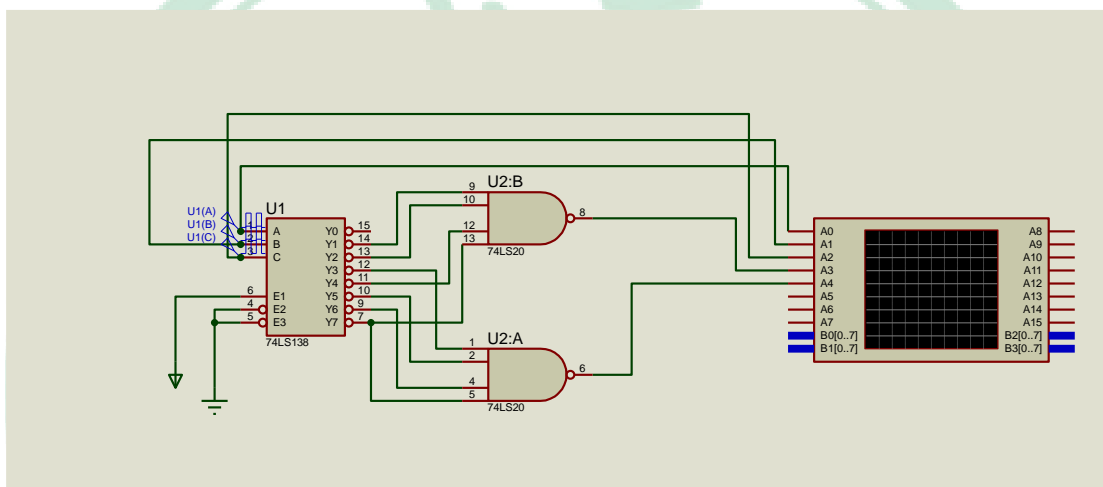
(1)将实验箱上 74LS197 构成的十六进制计数器作为 74LS138 的输入信号源, 接线参考实验 1.3 实验原理。将 74LS197 的输出 Q3、Q2、Q1 和 Q0 接“0-1”显示器, CP0 接手动负脉冲 (74LS197 是下降沿触发的异步计数器), 测试十六进制计数器是否工作正常。

(2)将 74LS138 的使能端 $\overline{G2A}$ 、 $\overline{G2B}$ 接低电平。

(3)将 74LS197 的 CP0 接 10KHz 连续脉冲，74LS197 的输出端 Q3、Q2、Q1、Q0 依次与 74LS138 的输入端 G1、C、B、A 相连。使用示波器数字通道观测并记录 CP0、G1、C、B、A 和 Y₀、Y₁、Y₂、Y₃、Y₄、Y₅、Y₆、Y₇ 波形，分析波形之间的相位关系。

(4)将 74LS197 的 CP0 接 10KHz 连续脉冲，将 74LS138 的 G1 接高电平， $\overline{G2A}$ 、 $\overline{G2B}$ 均与 74LS197 的输出端 Q3 相连，74LS197 输出端 Q2、Q1、Q0 依次与 74LS138 输入端 C、B、A 相连。使用示波器数字通道观测并记录 CP0、 $\overline{G2A}$ 、 $\overline{G2B}$ 、C、B、A 和 Y₀、Y₁、Y₂、Y₃、Y₄、Y₅、Y₆、Y₇ 波形，分析波形之间的相位关系。

4.3 74LS138 全加器仿真：



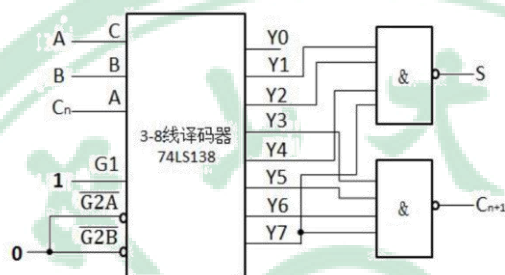
输入			输出	
A	B	C _n	S	C _{n+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(2)由上述真值表可分别得到全加器输出 S 和 C_{n+1} 关于输入 A 、 B 、 C_n 的最小项之和表达式，并进一步将其化简为与非形式的输出表达式。

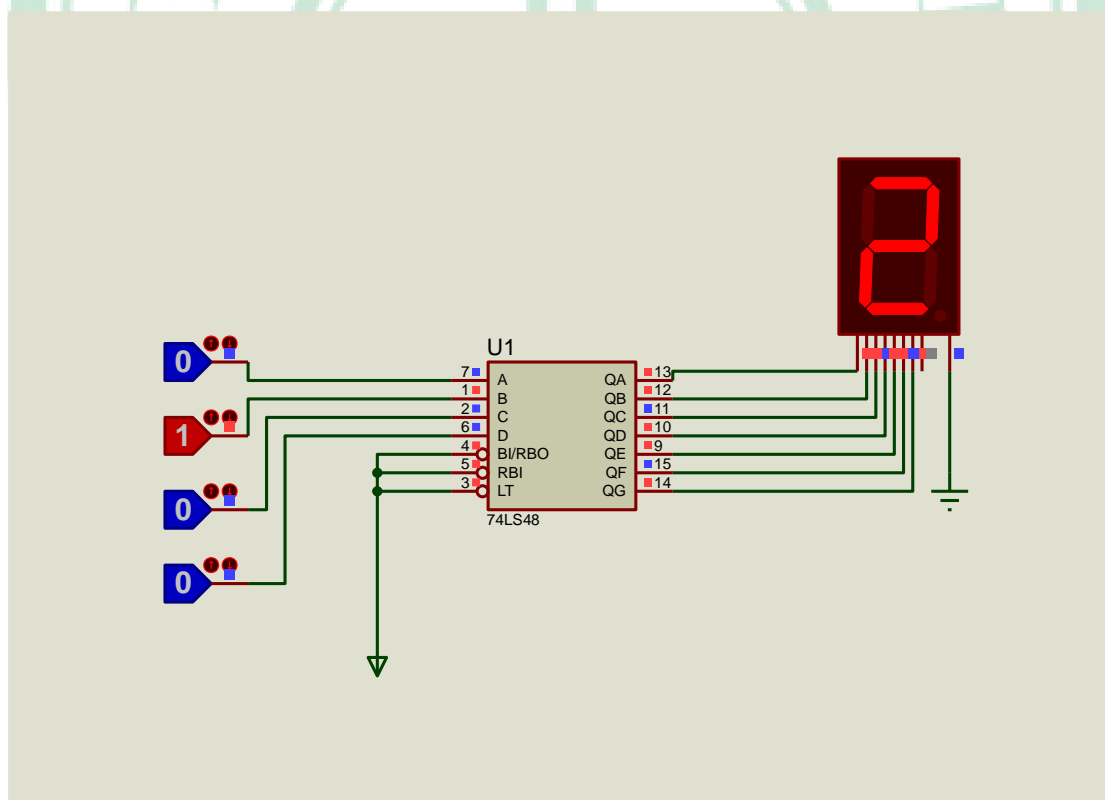
$$S = \bar{A} \bar{B} C_n + \bar{A} B \bar{C}_n + A \bar{B} \bar{C}_n + ABC_n = \overline{m1} \overline{m2} \overline{m4} \overline{m7}$$

$$C_{n+1} = \bar{A} B C_n + A \bar{B} C_n + A B \bar{C}_n + ABC_n = \overline{m3} \overline{m5} \overline{m6} \overline{m7}$$

(3)令 74LS138 的输入 C 、 B 、 A 作为全加器的输入 A 、 B 、 C_n ，通过对比 74LS138 与全加器的输出表达式，可见只需在 74LS138 的输出端附加两个与非门，并按上述全加器 S 和 C_{n+1} 的输出表达式连接，即可实现全加器功能，如下图 3-9 所示。



4.4 74LS48 驱动的数码管显示：



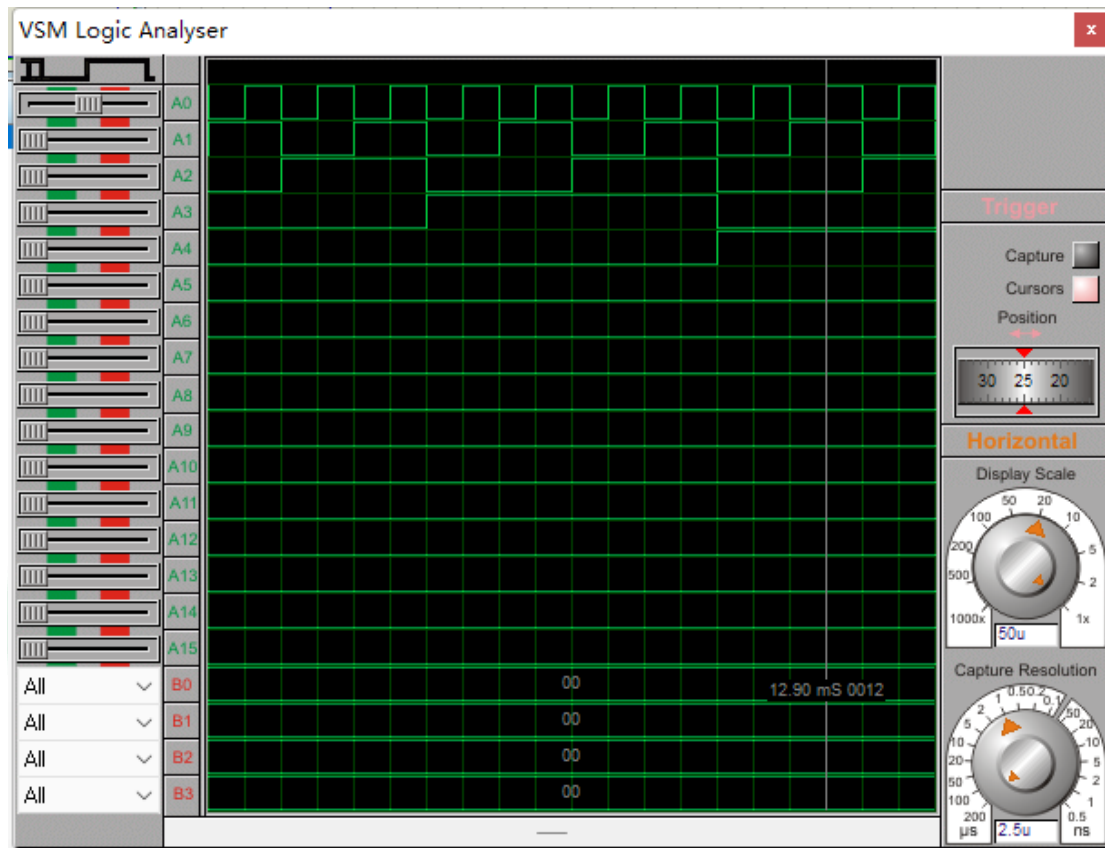
使用 74LS48 作为编码，输入 0-9 对应的二进制编码的高低电平，输出接到一个数码管出，改变输入，观察数码管的显示情况。

对于实验箱，由于实验箱上已经集成了 74LS48，因此直接将四个输入接到数码显像管的四个输入接口即可，输入的高低电平，用模拟开关代替。

五、实验结果描述与分析

5.1 74LS197 计数器：

5.1.1 仿真部分



将 A1 A2 A3 看作一个三位的二进制数，在 A4 没有发生跳变的时候，A1 A2 A3 对 A0 进行计数，记录 A0 经过了多少个周期，当 A0 从高电平转换为低电平的时候 A1 A2 A3 计数加 1。而当 A4 发生高电平到低电平或者低电平到高电平跳跃的时候，A1 A2 A3 清零，重新计数。

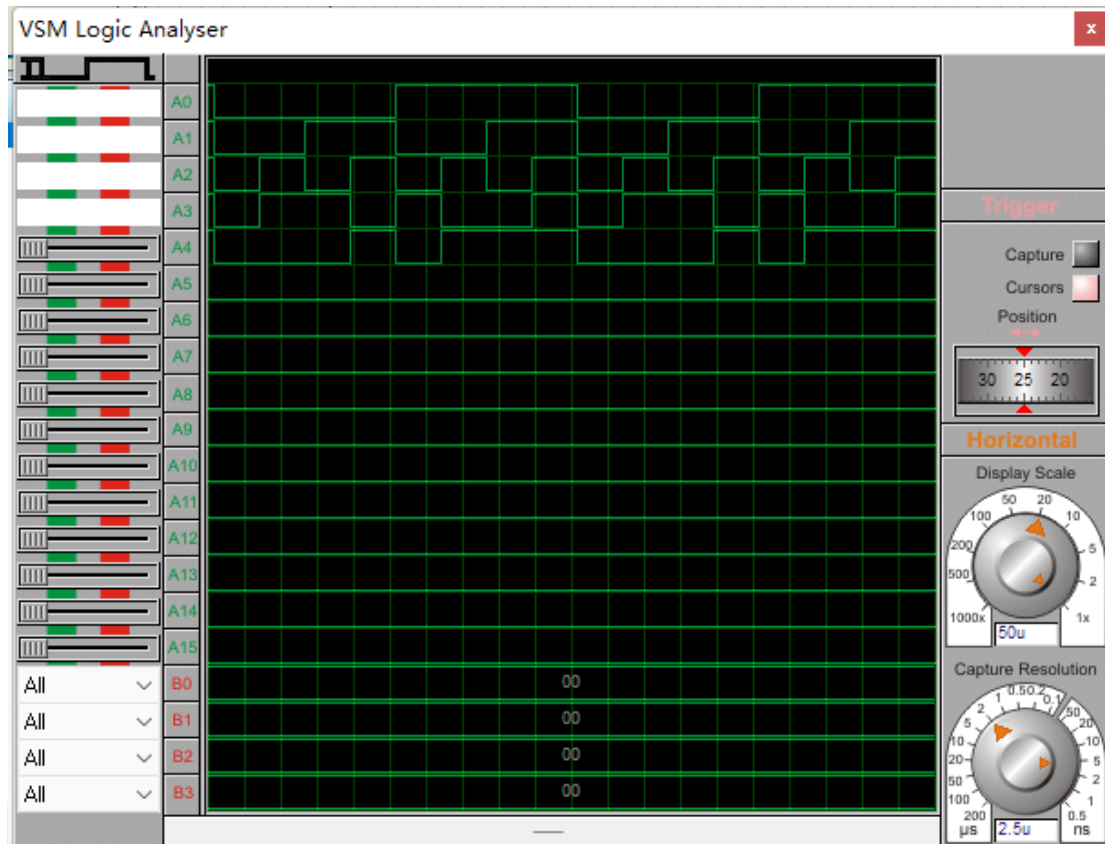
5.1.2 实验箱部分

电路图：

[illegible]

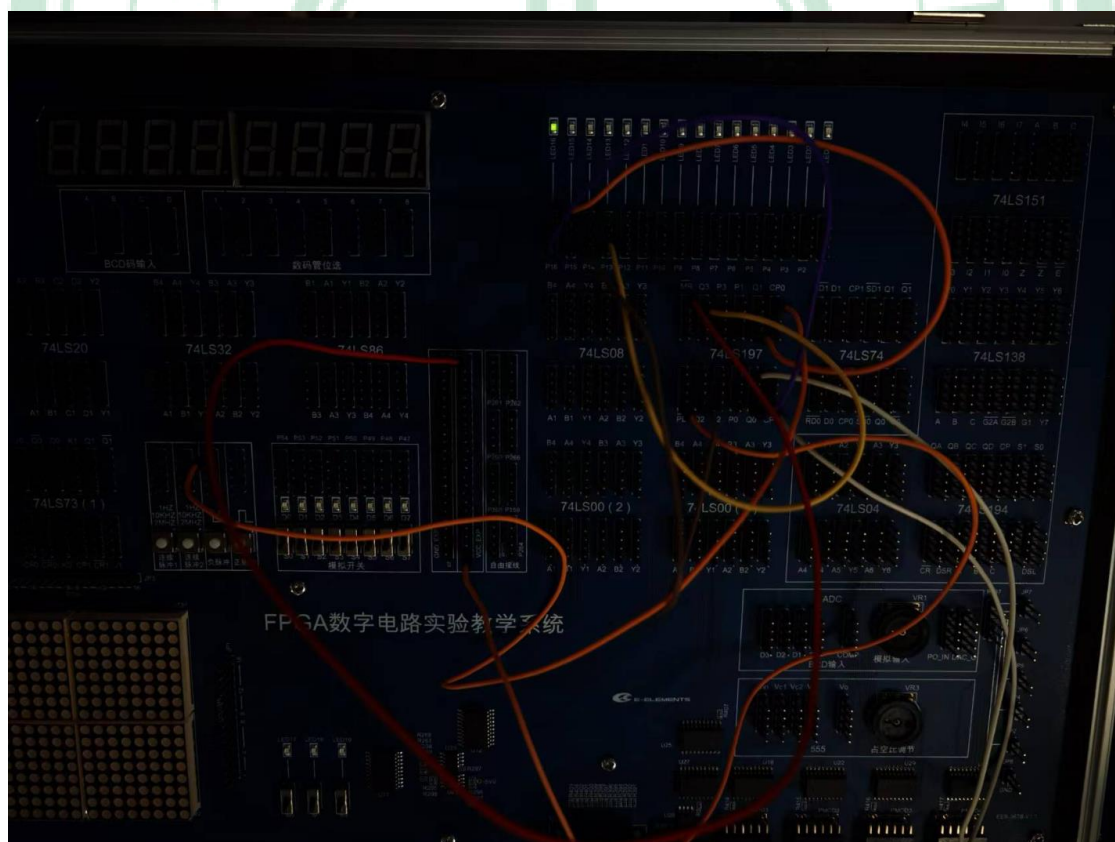
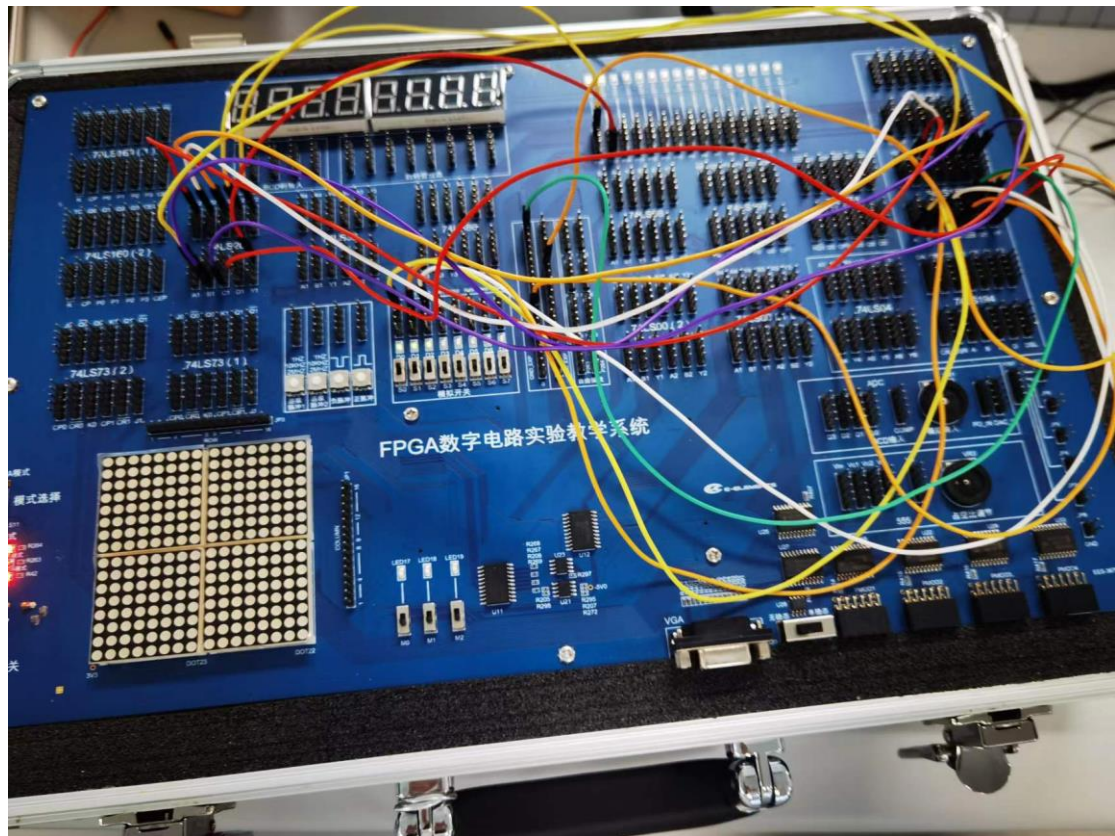
5.3 74LS138 全加器仿真:

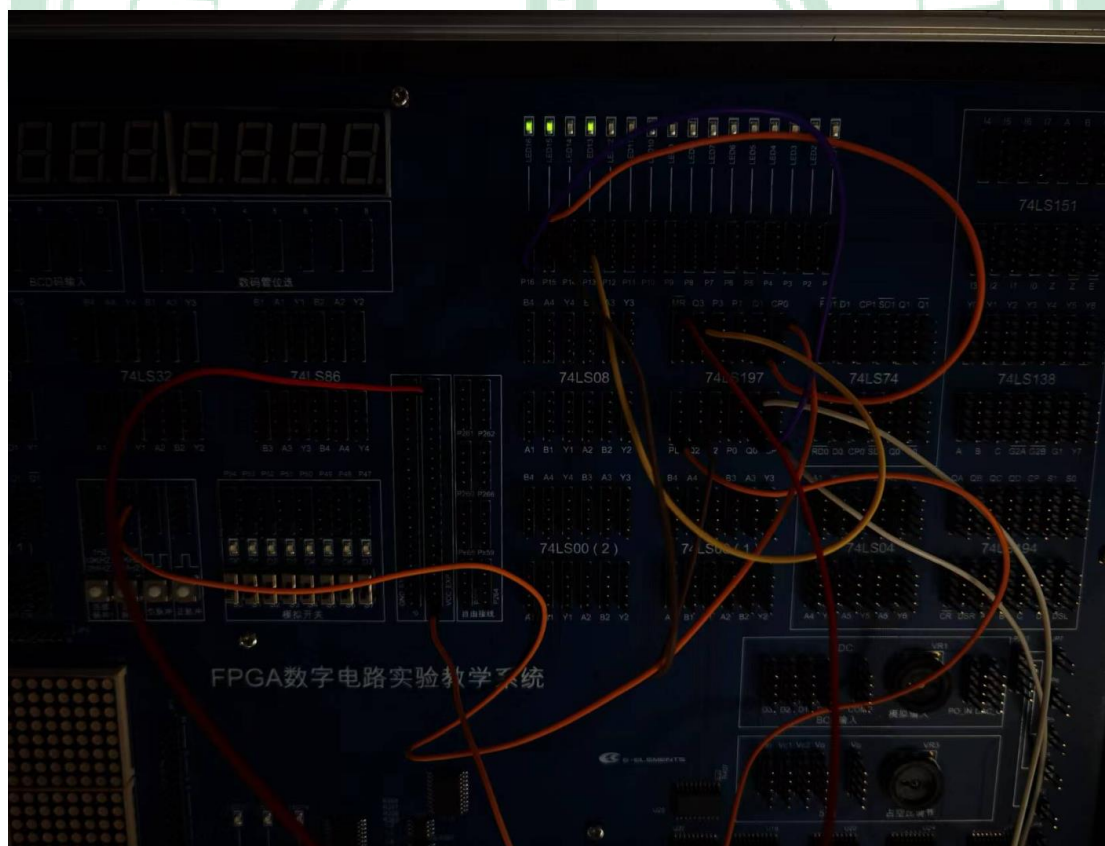
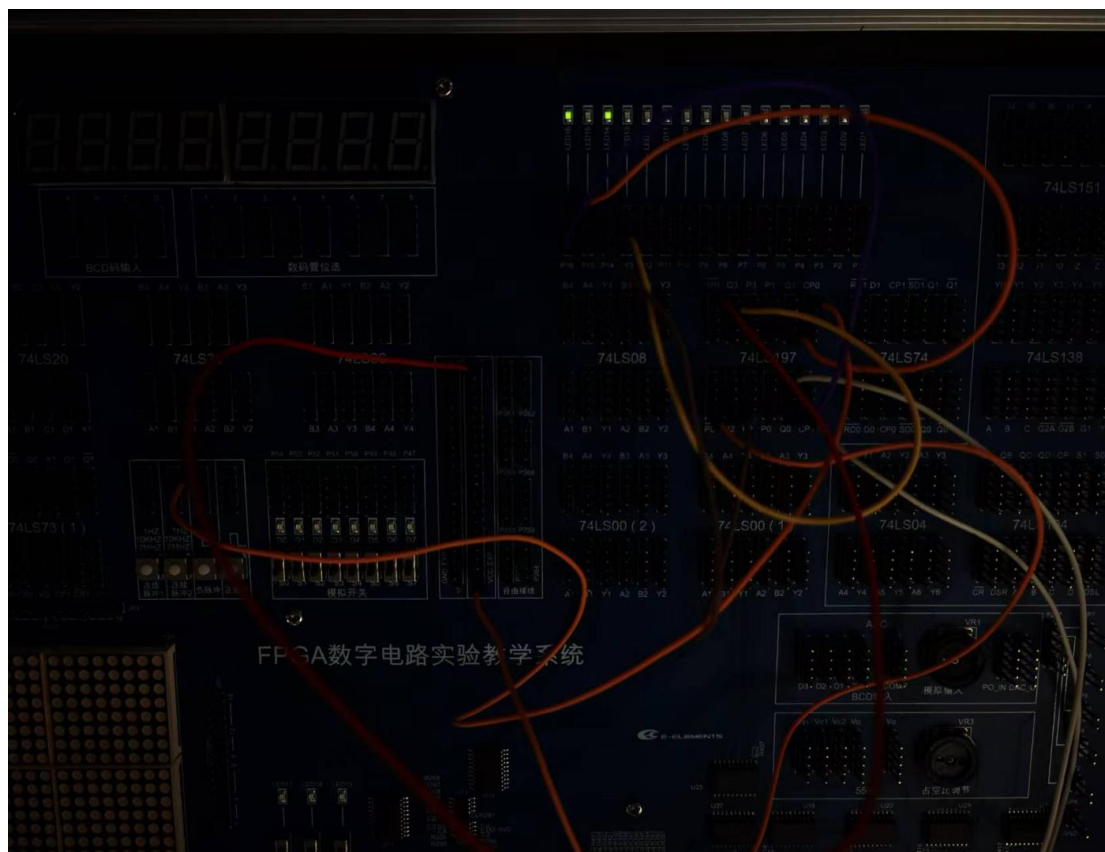
5.3.1 仿真部分



5.3.2 实验箱部分

电路图:

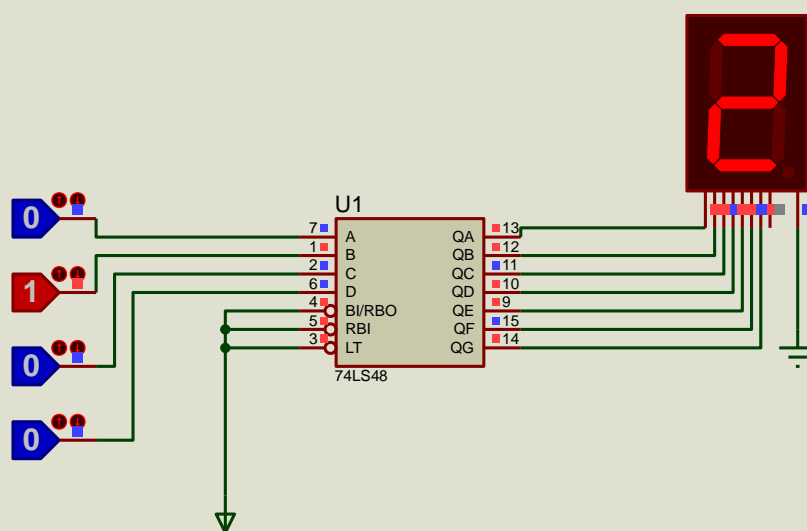


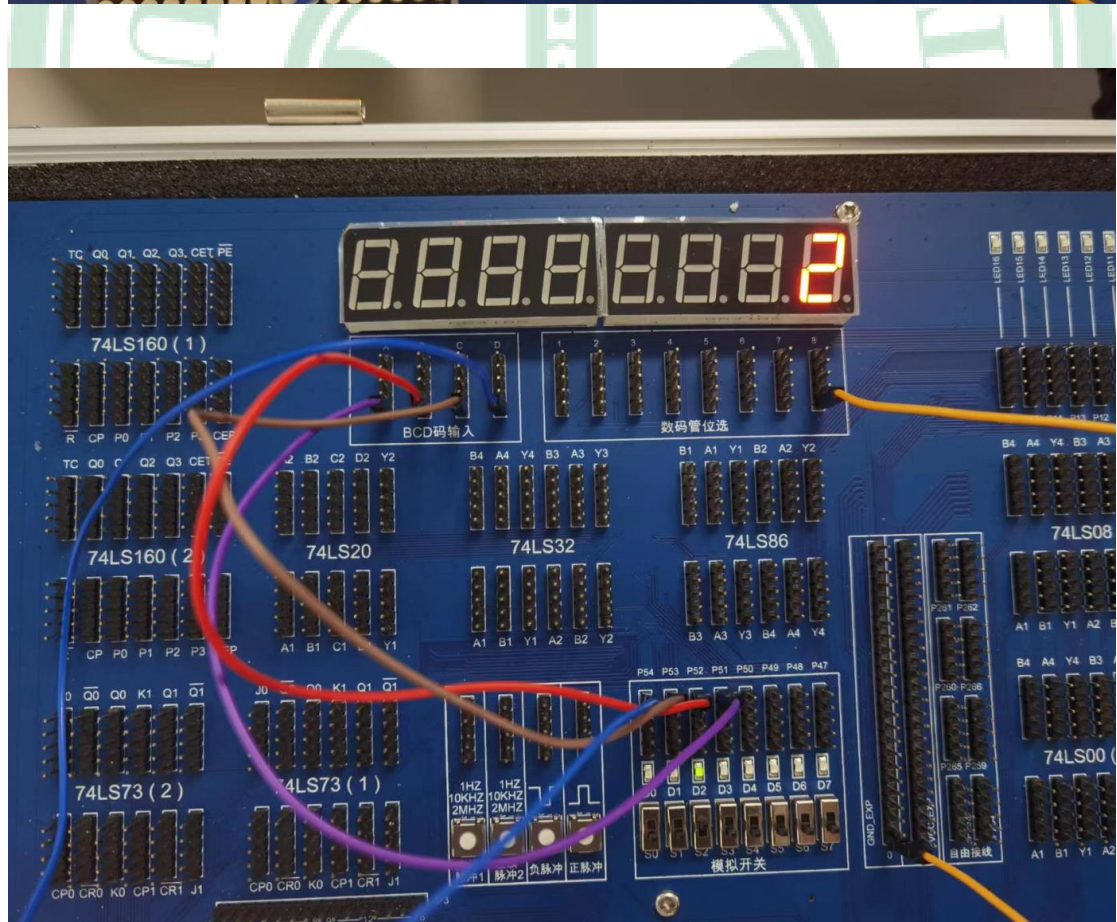
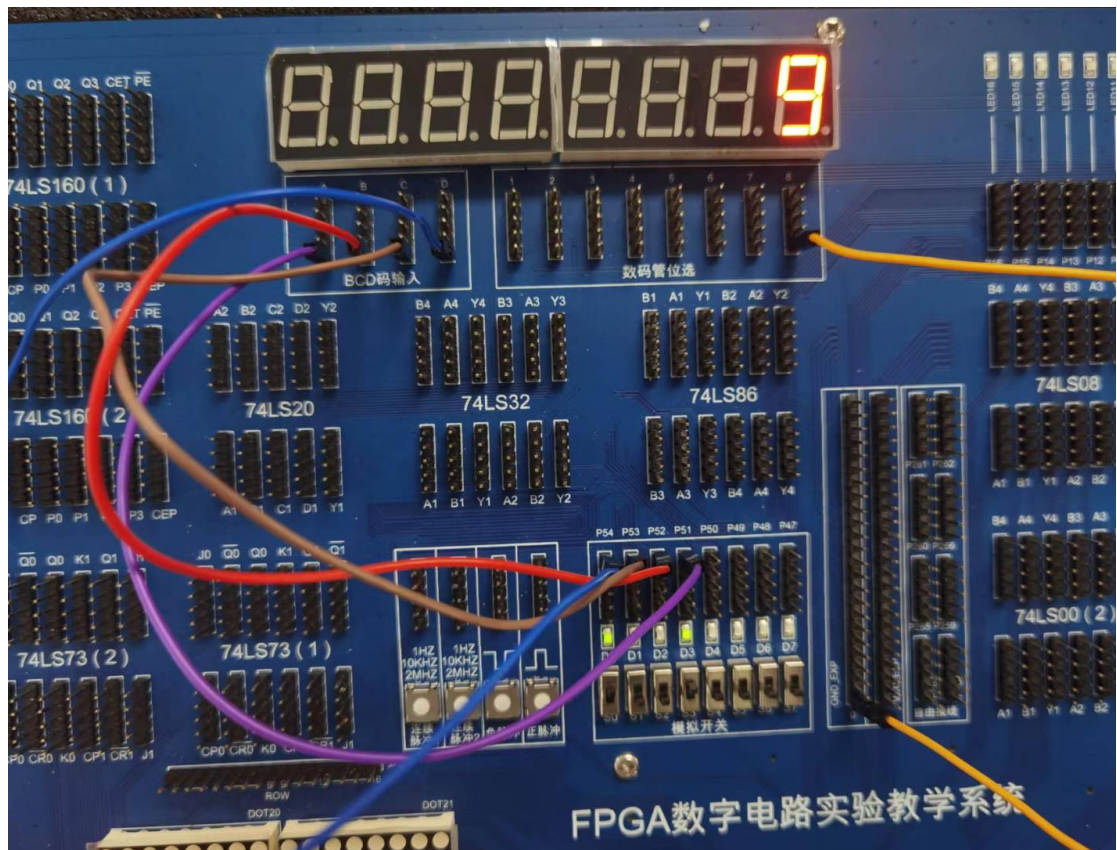


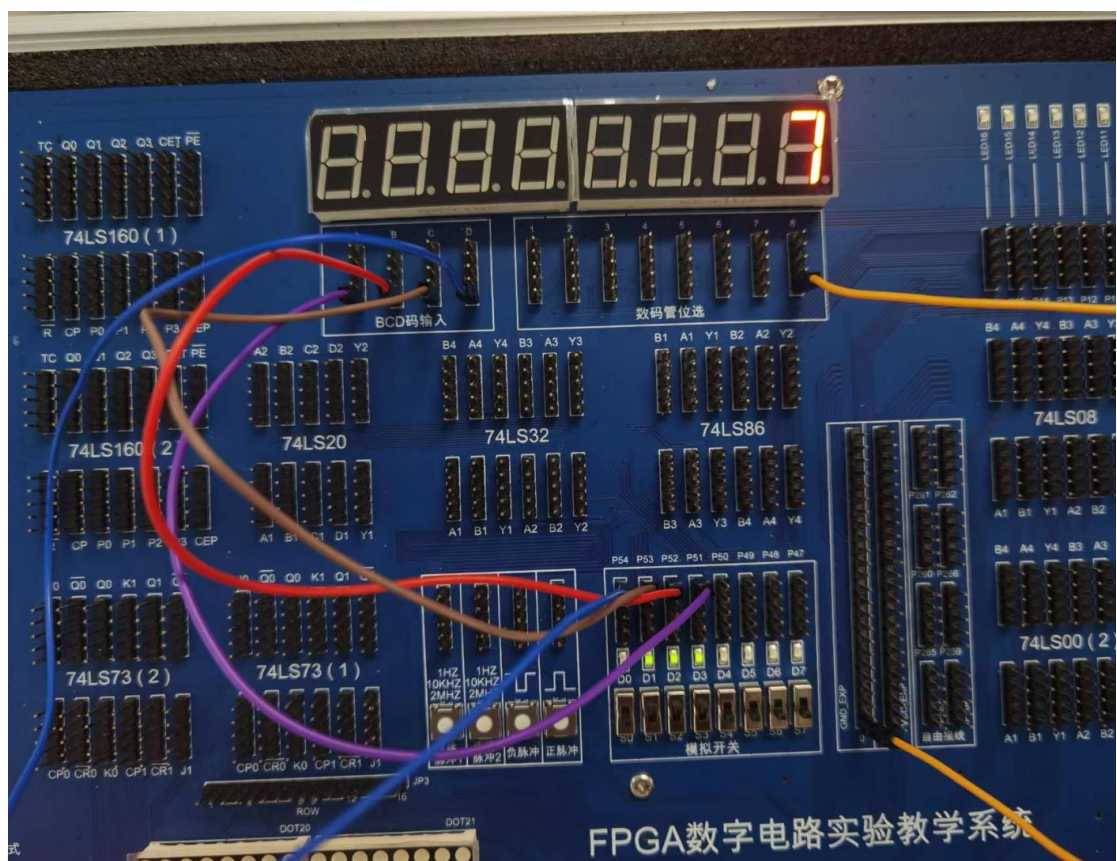
- (1) 将 A、B 看作加数与被加数， C_n 是低位向本位的进位，S 为本位和， C_{n+1} 位是本位向高位的进位。
- (2) 对应于仿真电路图即为 A B C 对应 A B C_n ，在示波器上为 A0 A1 A2，示波器 A3 显示的是本位和 S，A4 显示的是进位。
- (3) 从示波器波形中可以看出，可以将 C_{n+1} 和 S 看作是二进制数的两位数， C_{n+1} 为高位，S 为低位，该结果可以看作是 A B C 各个数的求和，在加法器中， C_{n+1} 可以当作是高位位的进位。
- (4) 若要对多个加法器进行连接，可以将前一个加法器的 C_{n+1} 端接入后一个加法器的 C_n 端，S 端作为该位的结果，即可形成一个多位数的加法器。

输入			输出	
A	B	C_n	S	C_{n+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

5.4 74LS48 驱动的数码管显示：

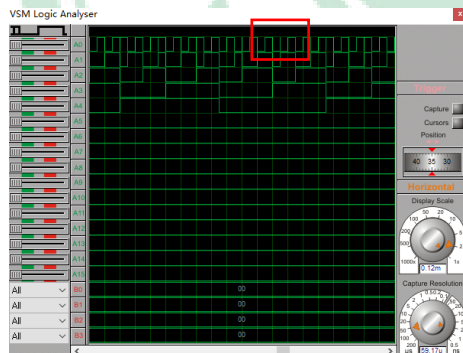






六、问题与思考

在进行 74LS197 实验中，示波器示数出现如下情况：



A0 出的波形出现冲激脉冲（图中红框标出），而不是稳定的周期矩形脉冲信号，经过检查发现是示波器分辨率不合适，调节示波器面板右下角的旋钮，直到出现合适的波形。