



院(系): 智能工程学院

学号: 20354027

姓名: 方桂安

日期: 2022.6.7

实验名称: 置零/置位法实现计数器+序列信号发生器

一、实验目的

1. 使用 10 进制计数器 74LS160, 利用整体置零法(串行进位)和整体置数法(并行进位, 置入 0000, 0000), 实现 13 进制计数器, 进行动态测试, 示波器观测。
2. Proteus 仿真: 使用 74LS160 和 74LS153 实现序列信号发生器, 输出 01010111(时间顺序为自左向右), 使用逻辑分析仪进行状态观测。
3. 使用 74LS160 和 74LS151 实现序列信号发生器 01010111(时间顺序为自左向右), 使用示波器和 BCD 进行观测。

二、实验原理

1.1 计数器

在逻辑代数与电脑运算中, 计数器是存储(有时还有显示)特定事件或过程发生次数的设备, 往往与时间脉冲信号有关联。最常见的类型是有“时钟”输入线和多输出线的时序逻辑电路。输出线的值代表在二进制或 BCD 计数系统的数。每个施加到时钟输入的脉冲都会使计数器增加或是减少。

计数器电路通常由多个触发器级联连接而成。计数器在数字电路中使用非常广泛, 会制成集成电路芯片以及作为更大集成电路的一部分。

1.2 十进制计数器 74LS160

74LS160 是上升沿触发的可预置四位十进制同步计数器, P3、P2、P1、P0 是从高位到低位的预置数据输入端。Q3、Q2、Q1、Q0 是从高位到低位的计数输出端。CP 是计数脉冲输入端。(R)' 是异步清零端, 低电平有效。(PE)' 是同步置数端, 低电平有效。CET 和 CEP 是计数器工作使能端, 高电平有效。TC 是进位信号输出端, 当 Q3Q2Q1Q0 计数至 1001 时, 输出高电平。74LS160 功能如下表 4-6 所示。

表 4-6 74LS160 逻辑功能表(同步置数异步清零)

CP	\bar{R}	PE	CET	CEP	功能
X	0	X	X	X	清零
\uparrow	1	0	X	X	置数
\uparrow	1	1	0	X	保持
\uparrow	1	1	X	0	保持(但进位TC=0)
\uparrow	1	1	1	1	计数

1.3 任意 N 进制计数器

对于计数规模小的计数器我们使用触发器来设计计数器，但是当计数器的模数 N 达到十六个以上（如六十进制）时，如果还使用触发器来设计的话，电路就会比较复杂。在这种情况下，我可以利用 M 进制集成计数器来构成任意 N 进制计数器。

(1) $M > N$ 时

直接利用集成计数器的清零端或置数端实现归零，从而构成按自然态序进行计数的 N 进制计数器。

(2) $M < N$ 时

先通过将集成计数器的级联形成大于 N 进制的集成计数器，即搭建计数状态多于 N 的集成计数器，再利用级联的集成计数器的清零端或置数端实现多级计数器同时归零，从而构成按自然态序进行计数的 N 进制计数器。将 M 进制集成计数器级联成 M' 进制计数器的方法有两种，如下图 4-33、4-34 所示，可以利用低位计数器的进位信号作为高位计数器的时钟信号或高位计数器的计数使能信号，搭建 M' 进制计数器。其中 $M' = M_1 \times M_2$ ， M_1 和 M_2 为现有集成计数器的模数。

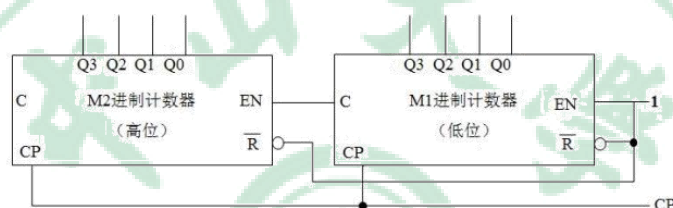


图 4-33 M 进制集成计数器级联成 M' 进制计数器 ($M' > N$) 电路 1

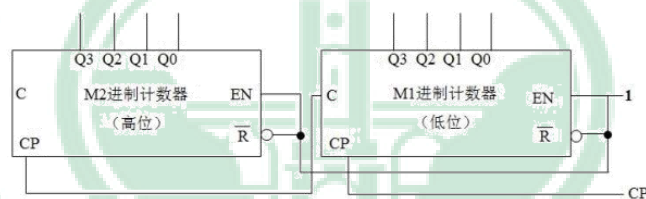


图 4-34 M 进制集成计数器级联成 M' 进制计数器 ($M' > N$) 电路 2

上述电路中使用的 M_1/M_2 进制集成计数器中， CP 为计数脉冲。 Q_3 、 Q_2 、 Q_1 、 Q_0 为从高位到低位的四位二进制计数输出端。 C 为进位输出端，当计数器计数至 M_1/M_2-1 时， C 在下一个 CP 有效沿到来之前输出高电平。 EN 为计数允许端，高电平有效。 R 为清零端，低电平有效。

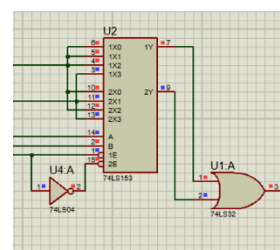
1.4 同步清零、同步置数、异步清零和异步置数

在使用集成计数器时，要区分所使用的计数器采用的清零和置数方式是同步还是异步。同步方式和异步方式的区别在于清零和置数的操作是否需要等待时钟的有效沿到达。同步清零和同步置数是指当清零或置数端有效时，计数器将在时钟有效沿到达时进行清零或置数。异步清零和异步置数是指当清零或置数端有效时，计数器的输出立即清零或置数。

在集成计数器中，清零和置数均采用同步方式的有 74LS163。清零和置数均采用异步方式的有 74LS193、74LS197、74LS192。清零采用异步方式、置数采用同步方式的有 74LS161、74LS160。有的只具有异步清零功能，如 CC4520、74LS190、74LS191。74LS90 则具有异步清零和异步置 9 功能。

1.5 序列信号发生器

1.5.1 74LS153



对于仿真部分，我们需要由一个双四选一数据选择器搭建一个八选一数据选择器，此时应当将两个四选一数据选择器的输出端 Y1 Y2 用或门相连作为输出，并且用反相器连接 E1 E2 后，将 E1 作为最高位的输入 C

1.5.2 74LS160

74LS160 是上升沿触发的可预置四位十进制同步计数器，P3、P2、P1、P0 是从高位到低位的预置数据输入端。Q3、Q2、Q1、Q0 是从高位到低位的计数输出端。CP 是计数脉冲输入端。(R)' 是异步清零端，低电平有效。(PE)' 是同步置数端，低电平有效。CET 和 CEP 是计数器工作使能端，高电平有效。TC 是进位信号输出端，当 Q3Q2Q1Q0 计数至 1001 时，输出高电平。74LS160 功能如下表 4-6 所示。

表 4-6 74LS160 逻辑功能表（同步置数异步清零）

CP	\bar{R}	PE	CET	CEP	功能
X	0	X	X	X	清零
\uparrow	1	0	X	X	置数
\uparrow	1	1	0	X	保持
\uparrow	1	1	X	0	保持（但进位TC=0）
\uparrow	1	1	1	1	计数

1.5.3 74LS160 实现八进制计数器

我们采用置零法将其接为八进制计数器，即 D0 D1 D2 D3 端接地，同时在输出为 7(0111) 的时候置零，因此在 Q3 处接反相器后再与接入 Load 端。

三、实验仪器

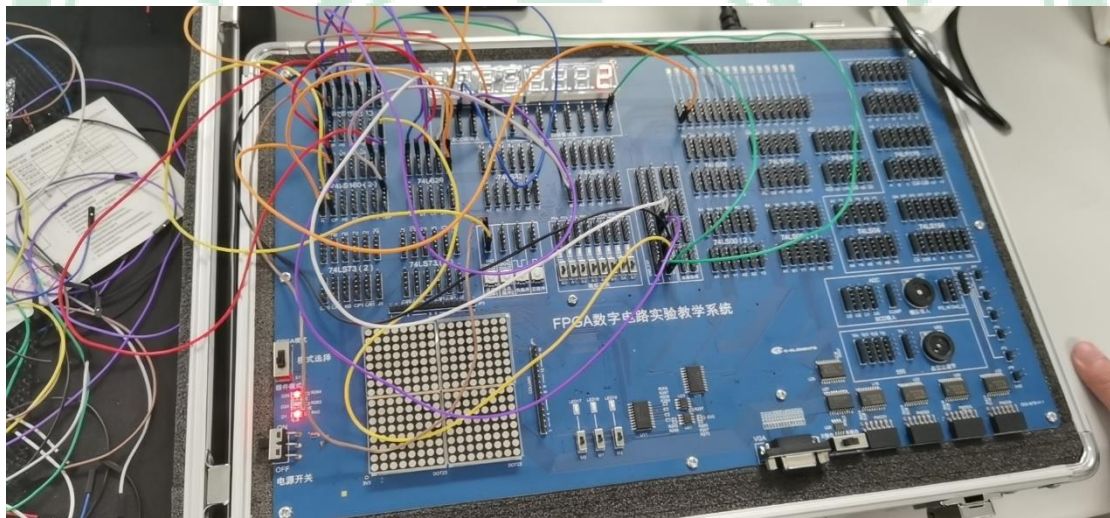
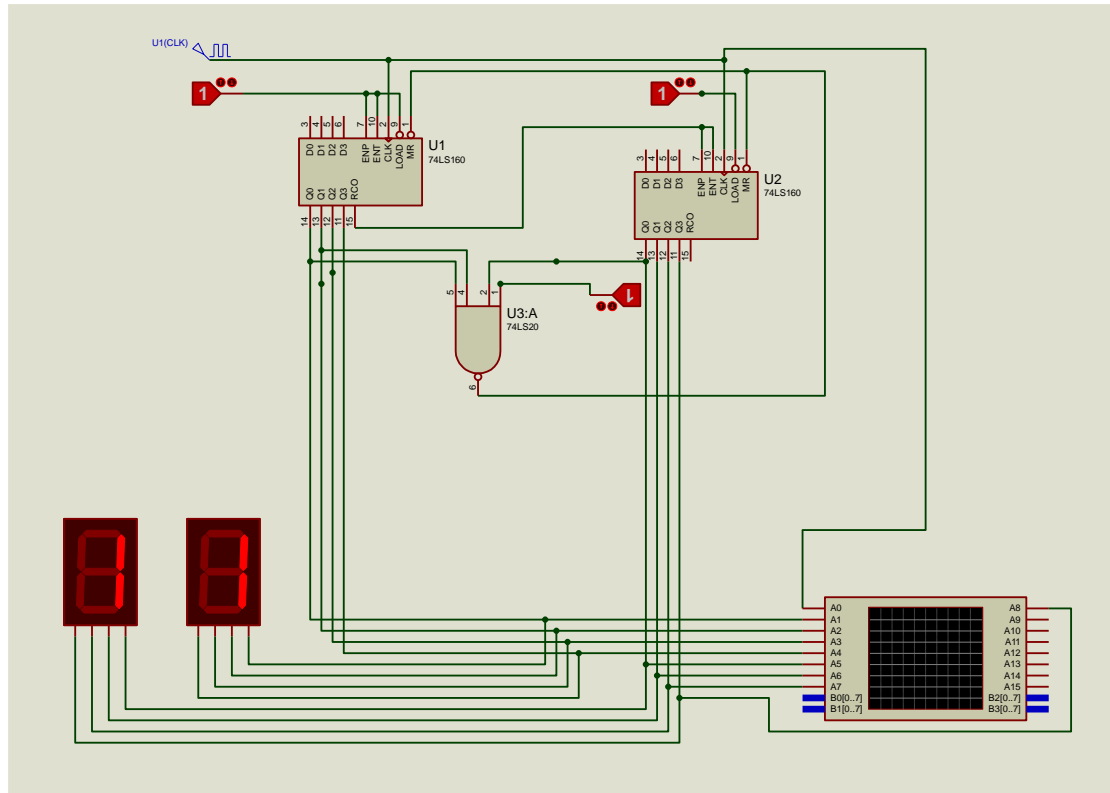
1. 软件 Proteus 8 Professional
2. FPGA 数字电路实验箱 一台
3. SDS5054 数字示波器 一台

四、实验过程

4.1 74LS160 实现 13 进制计数器

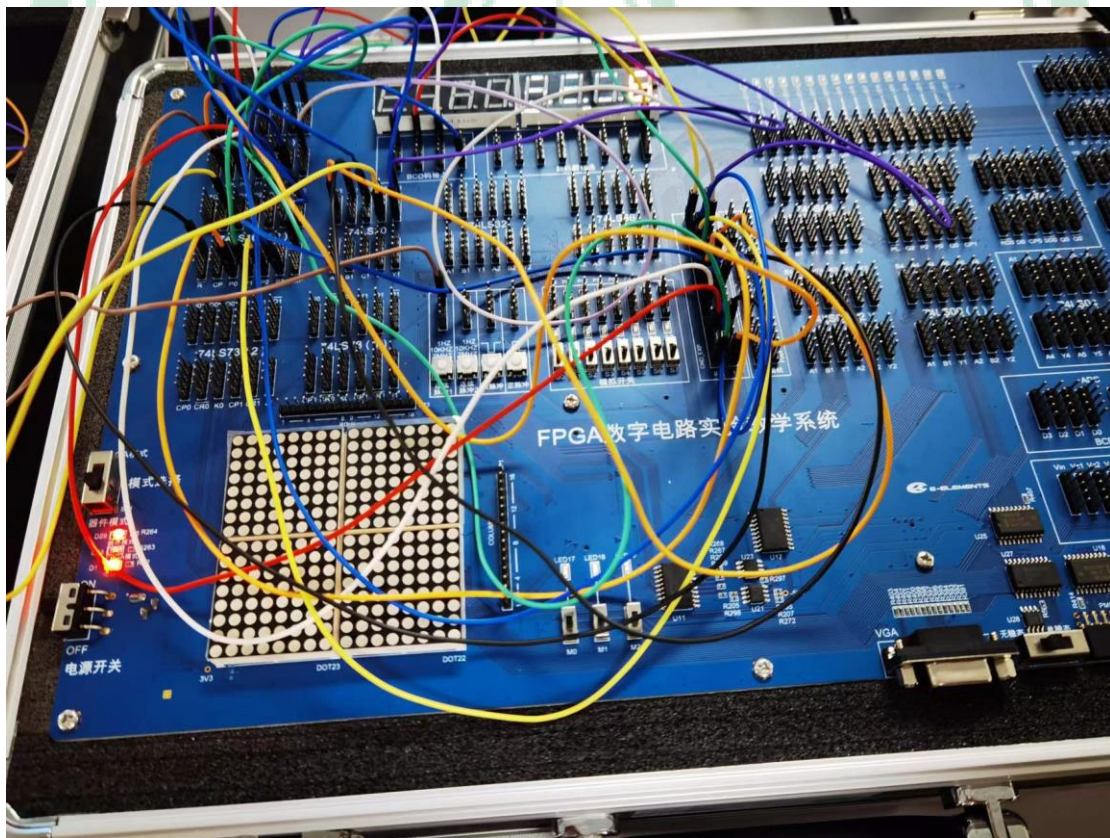
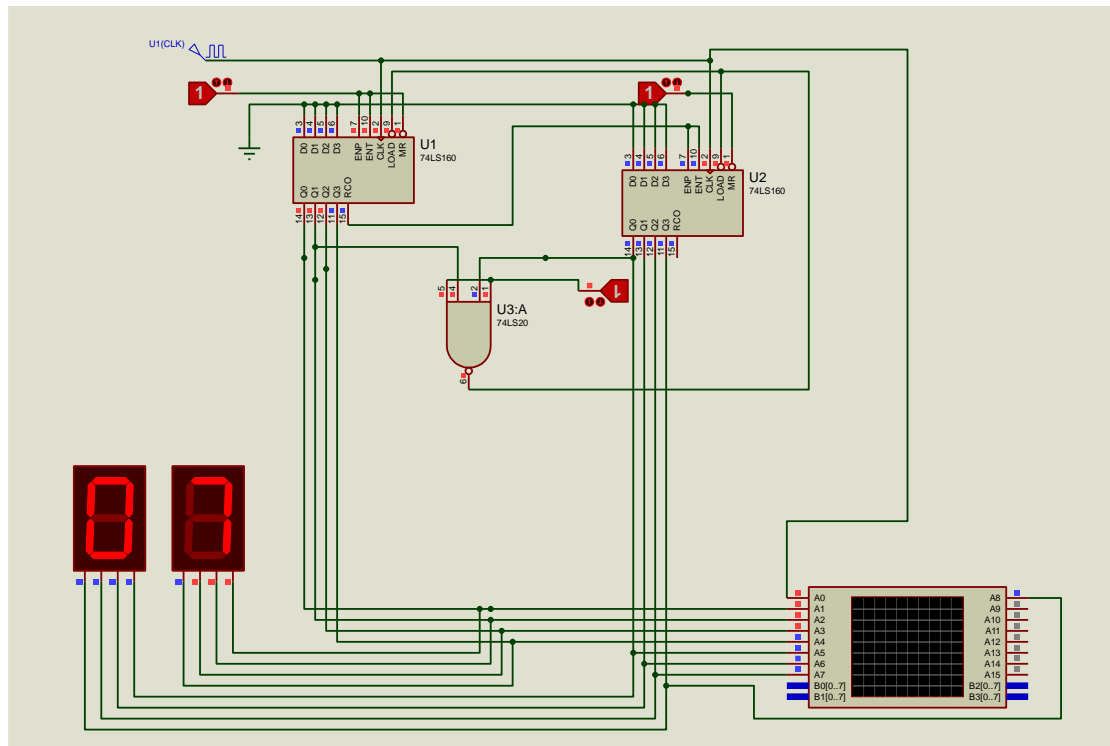
4.1.1 整体置零法

- (1) 选择两个 74LS160，分别作为计数的个位和十位。
- (2) 对于整体置零法，当计数达到 13=10+3（即个位 0011，十位 0001）时进行置零，因此将作为个位的十进制计数器接入 0011，作为十进制的计数器接入 0001，同时。
- (3) 将个位的进位端连接到十位的 ENP ENT 端。
- (4) 观察示波器波形是否符合 13 进制计数器规则。
- (5) 观察 BCD 数字是否为 13 进制变化。



4.1.2 整体置数法

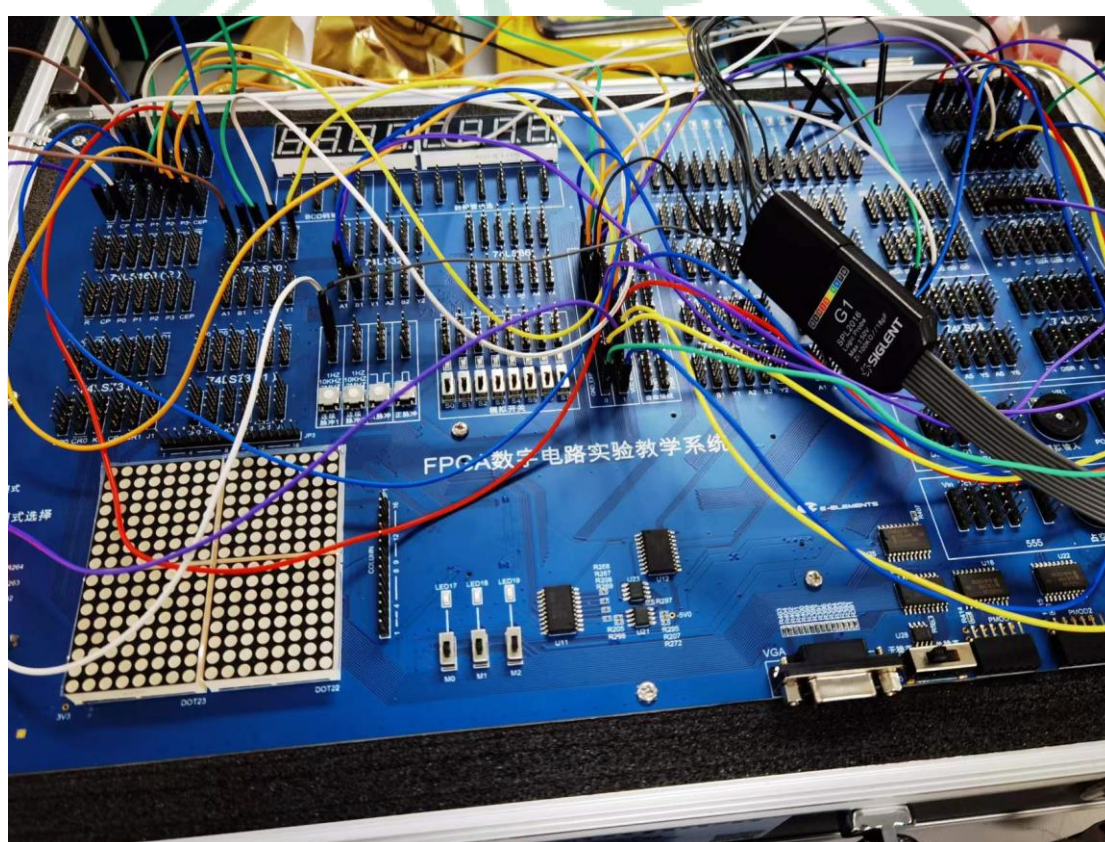
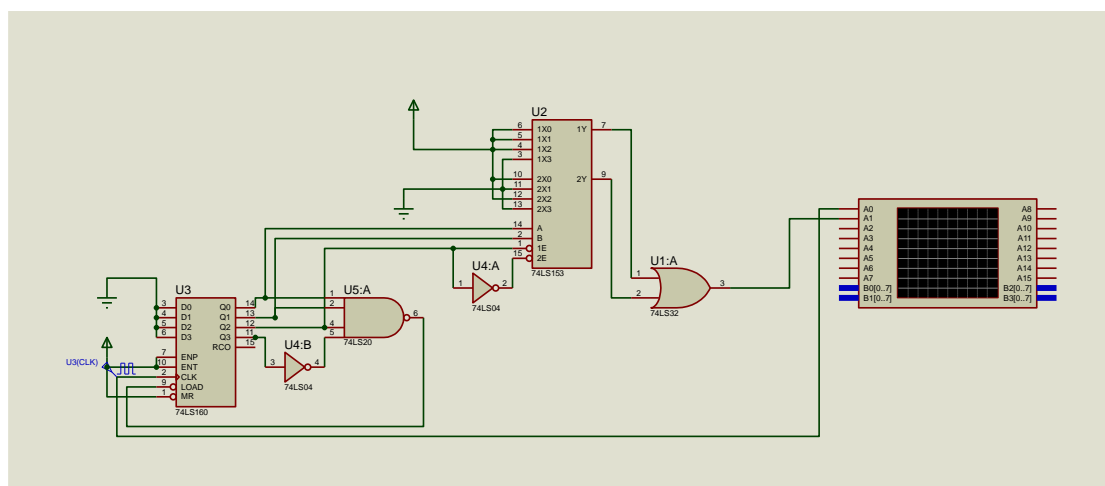
- (1) 选择两个 74LS160，分别作为计数的个位和十位。
- (2) 对于整体置数法，当计数达到 $12=10+2$ （即个位 0010，十位 0001）时进行置零，因此将作为个位的十进制计数器接入 0010，作为十进制的计数器接入 0001，同时。
- (3) 将个位的进位端连接到十位的 ENP ENT 端。
- (4) 观察示波器波形是否符合 13 进制计数器规则。
- (5) 观察 BCD 数字是否为 13 进制变化。



4.2 序列信号发生器

- (1) 将十进制计数器的 D0 D1 D2 D3 端接地置零，同时在输出为 7 (0111) 的时候置零，因此在 Q3 处接反相器后再与接入 Load 端。
- (2) 将双四选一计数器连接成八选一数据选择器
- (3) 将八进制计数器的输出端 Q0 Q1 Q2 与八选一数据选择器的输入端

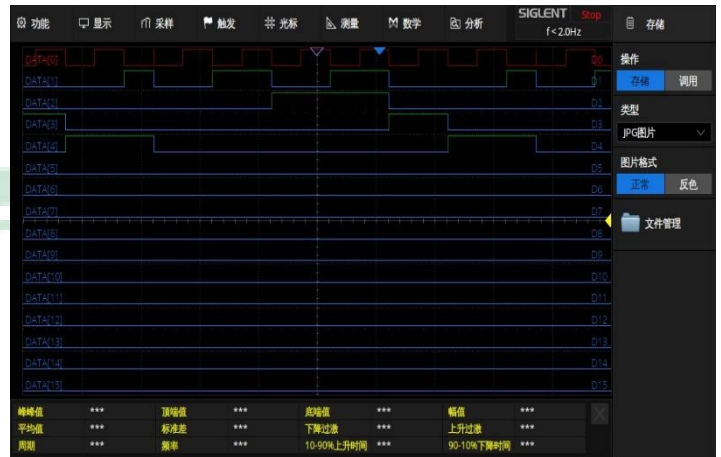
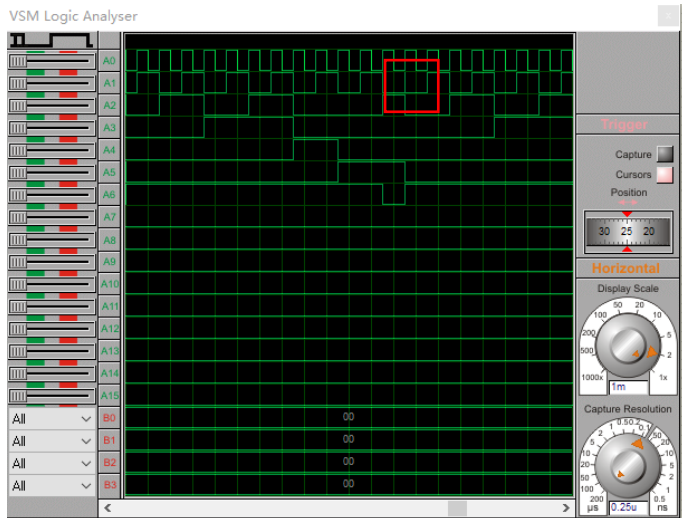
(4) 观察输出是否符合 01010111 的顺序



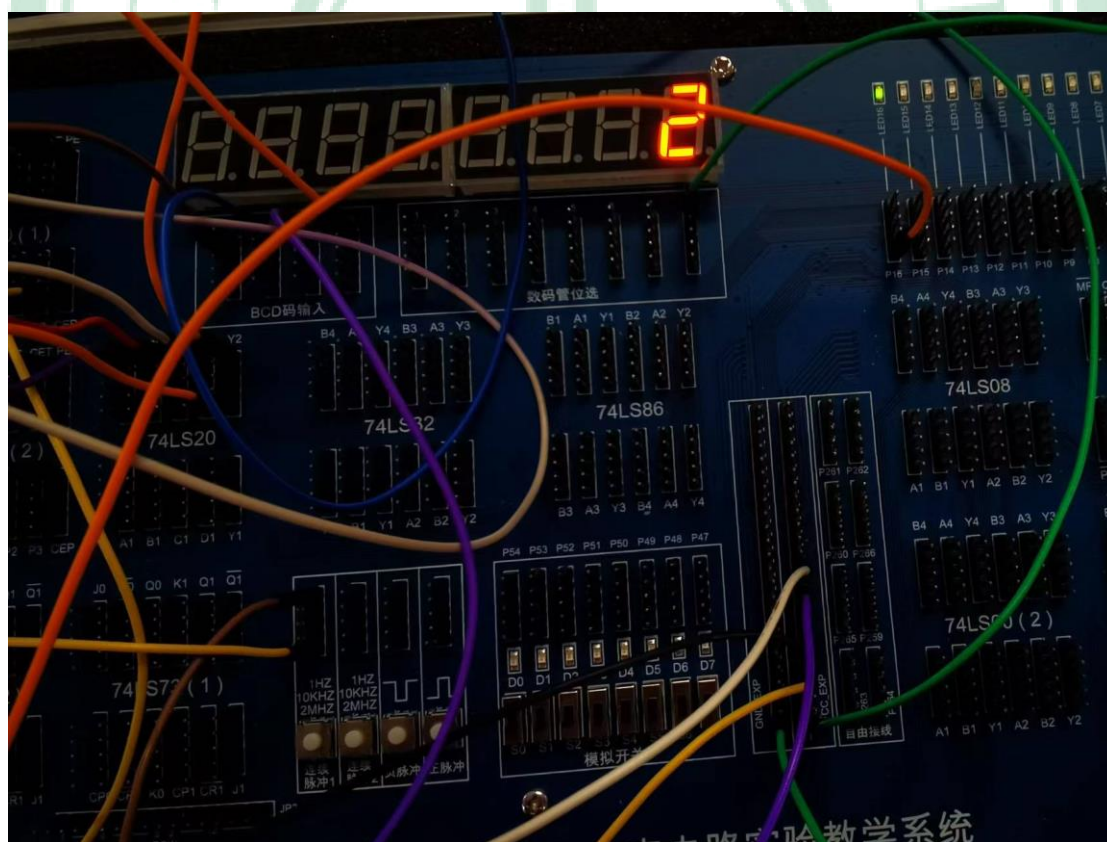
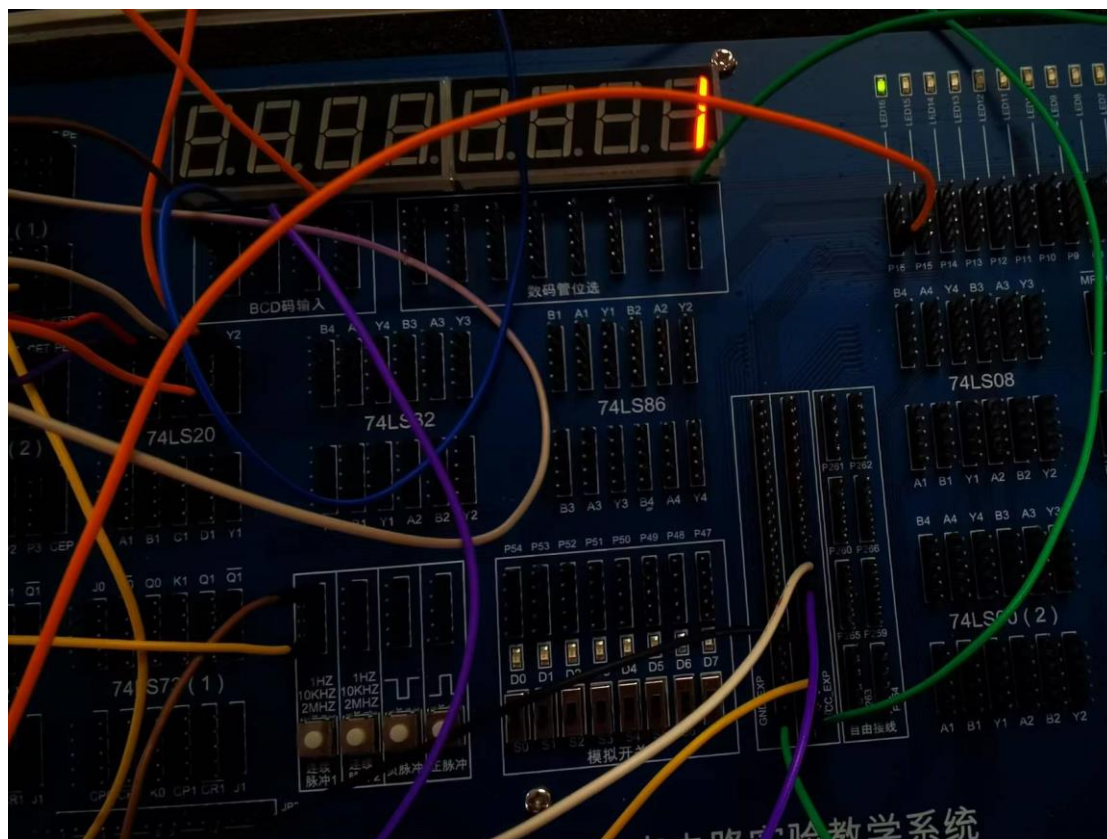
五、实验结果描述与分析

5.1 74LS160 实现 13 进制计数器

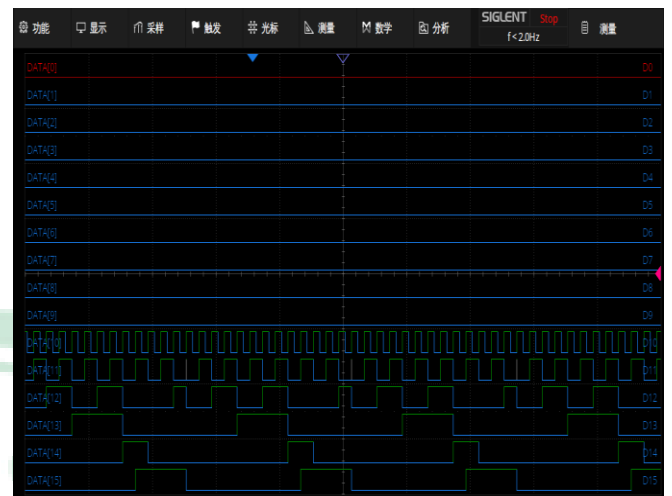
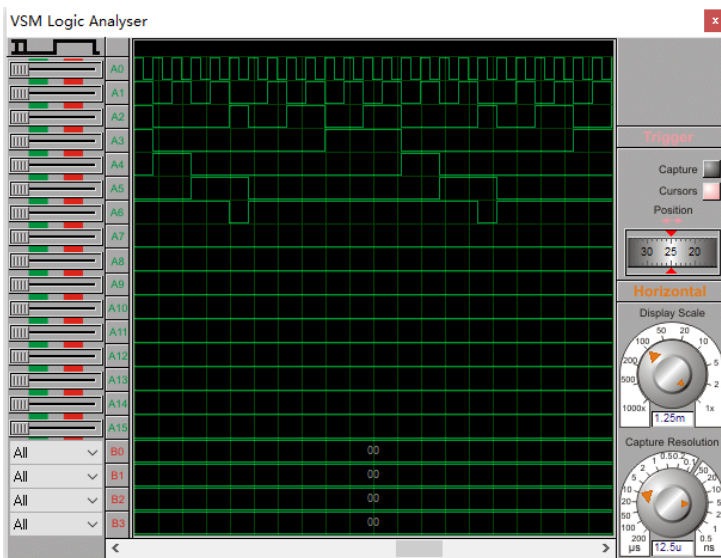
5.1.1 整体置零法



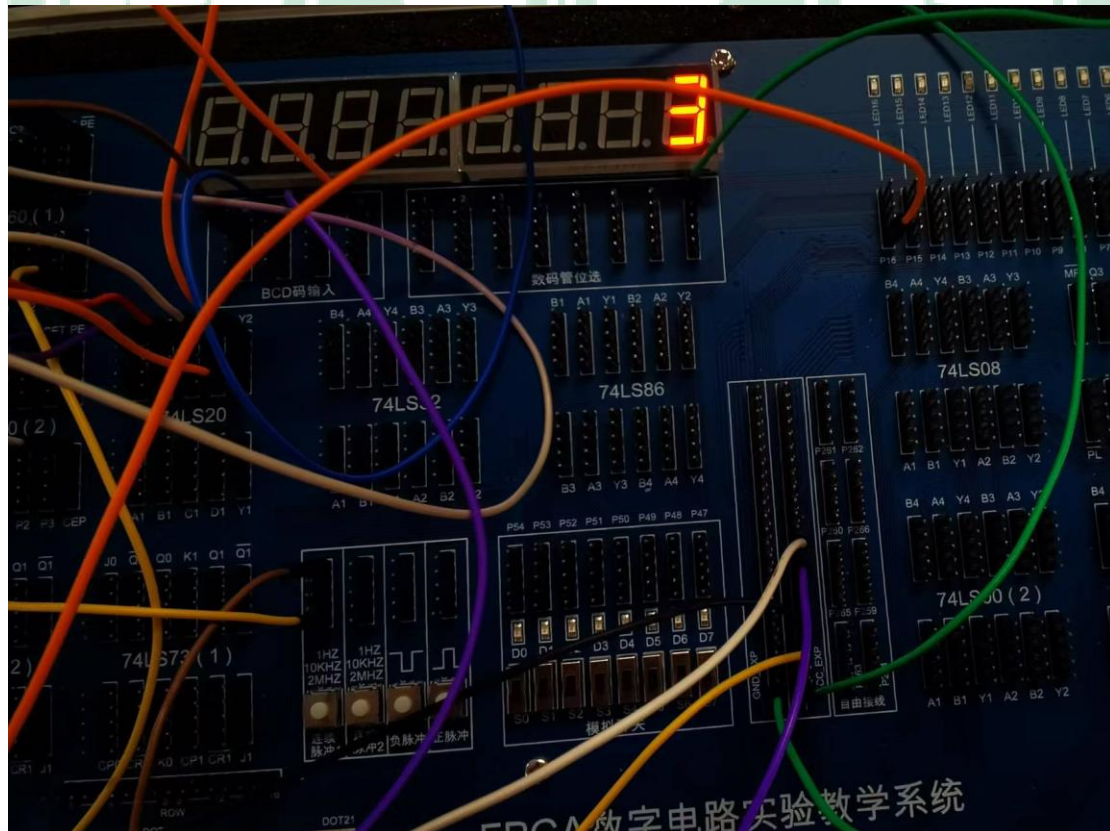
- (1) 示波器通道从下到上分别为二进制数从高位到低位，最下面的通道为进位信号
- (2) 计数器分为十位和个位，A5 为十位，A4 A3 A2 A1 为个位的计数
- (3) 随着时钟信号达到上升沿，计数器从 0 (0,0000) 依次变化到 12 (1,0010)
- (4) 达到 12 之后计数器重新回到 0，同时进位端口 (RCO) 产生跳变
- (5) 计数器变化规则符合 12 进制计数器的特点
- (6) 该计数方法为异步置零，在置零的瞬间出现尖峰信号（红框所示）
- (7) BCD 灯也成功按照 13 进制变化（右侧的 1ed 灯代表十位）



5.1.2 整体置数法

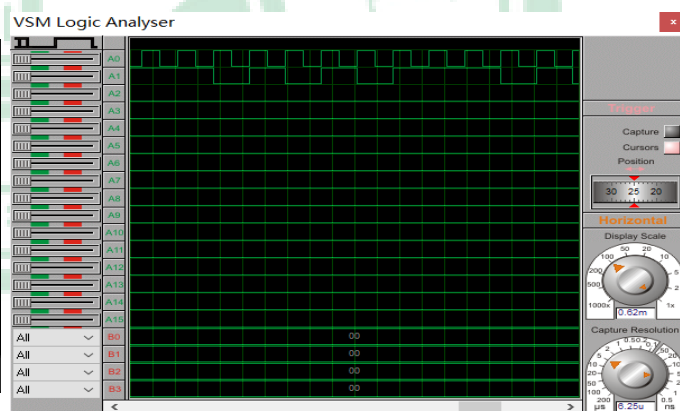
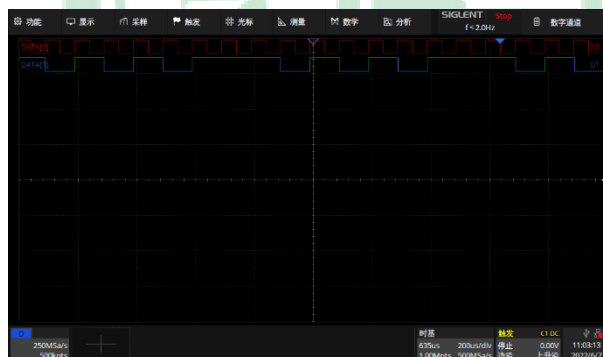


- (1) 示波器通道从下到上分别为二进制数从高位到低位，最下面的通道为进位信号
- (2) 计数器分为十位和个位，A5 为十位，A4 A3 A2 A1 为个位的计数
- (3) 随着时钟信号达到上升沿，计数器从 0 (0,0000) 依次变化到 12 (1,0010)
- (4) 达到 12 之后计数器重新回到 0，同时进位端口 (RCO) 产生跳变
- (5) 计数器变化规则符合 13 进制计数器的特点
- (6) BCD 灯也成功按照 13 进制变化





5.2 序列信号发生器



如图所示，每经过一次时钟信号的上升沿，输出信号就可以产生一次变换，输出恰好为01010111符合题目要求。