



院(系): 智能工程学院

学号: 20354027

姓名: 方桂安

日期: 2022. 5. 31

实验名称: 触发器及移位寄存器应用

一、实验目的

1. 使用 Protues 与实验箱实现 JK 触发器, 利用 JK 触发器实现 D 触发器和 T 触发器, 完成动态实验。
2. 使用 JK 触发器 74LS73 实现右移寄存器, 进行仿真及实验箱动态测试。
3. 使用移位寄存器 74LS194 实现四节拍顺序脉冲发生器仿真。
4. 使用 74LS73 和 74LS194 实现四节拍顺序脉冲发生器电路。

二、实验原理

1、J-K 触发器

JK 触发器设有两个输入, 其输出的值由以下的算式来决定。

$$Q_{next} = \bar{K}Q + J\bar{Q}$$

JK 触发器和触发器中最基本的 RS 触发器结构相似, 其区别在于, RS 触发器不允许 R 与 S 同时为 1, 而 JK 触发器允许 J 与 K 同时为 1。当 J 与 K 同时变为 1 的同时, 输出的值状态会反转。也就是说, 原来是 0 的话, 变成 1; 原来是 1 的话, 变成 0。

对应表如下:

JK 触发器运算									
状态转移表					激励表				
J	K	CK	动作	Q_{next}	Q	Q_{next}	动作	J	K
0	0	↑	保持	Q	0	0	不变	0	X
0	1	↑	重置	0	0	1	设置	1	X

1	0	↑	设置	1	1	0	重置	X	1
1	1	↑	反转	Q	1	1	不变	X	0
X	X	0(1)	保持	Q					

2、D 触发器

D 触发器有一个输入、一个输出和一个时脉输入，当时脉由 0 转为 1 时，输出的值会和输入的值相等。此类触发器可用于防止因为噪声所带来的错误，以及通过管线增加处理资料的数量。

$$Q_{next} = D$$

真值表如下：

D	CK	Q	Q_{next}
0	↑	X	0
1	↑	X	1
X	0(1)	0	0
X	0(1)	1	1

3、T 触发器

T 触发器（Toggle Flip-Flop, or Trigger Flip-Flop）设有一个输入和输出，当时脉由 0 转为 1 时，如果 T 和 Q 不相同时，其输出值会是 1。输入端 T 为 1 的时候，输出端的状态 Q 发生反转；输入端 T 为 0 的时候，输出端的状态 Q 保持不变。把 JK 触发器的 J 和 K 输入点连接在一起，即构成一个 T 触发器。

因此 T 触发器的算式为：

$$Q_{next} = \bar{T}Q + T\bar{Q} = Q \oplus T$$

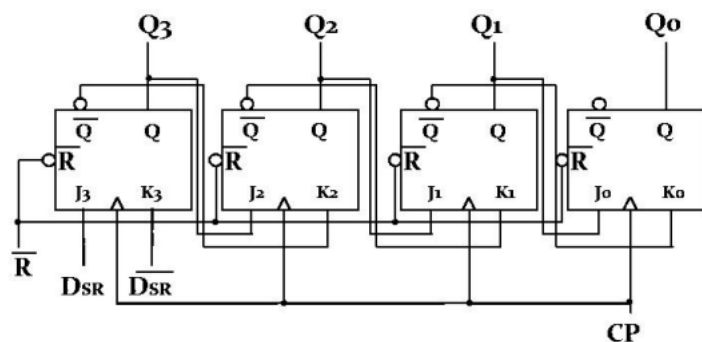
T 触发器运算							
状态转移表				激励表			
			动作				动作
0	0	0	保持（无上升沿）	0	0	0	不变
0	1	1	保持（无上升沿）	1	1	0	不变
1	0	1	反转	0	1	1	反相
1	1	0	反转	1	0	1	反相

4、右移寄存器

在数字电路中，移位寄存器（英语：shift register）是一种在若干相同时间脉冲下工作的以触发器级联为基础的器件，每个触发器的输出接在触发器链的下一级触发器的“数据”输入端，使得电路在每个时间脉冲内依次向左或右移动一个比特，在输出端进行输出。这种移位寄存器是一维的，事实上还有多维的移位寄存器，即输入、输出的数据本身就是一些列位。实现这种多维移位寄存器的方法可以是几个具有相同位数的移位寄存器并联起来。

移位寄存器的输入、输出都可以是并行或串行的。它们经常被配置成串入并出（serial-in, parallel-out, SIPO）的形式或并入串出（parallel-in, serial-out, PISO），这样就可以实现并行数据和串行数据的转换。当然，也有输入、输出同时为串行或并行的情况。此外，还有一些移位寄存器为双向的，也就是说它允许数据来回传输，输入端同时可以作为输出端，输出端同时也可以作为输入端。如果把移位寄存器的串行输入端，和并行输出端的最后一位连接起来，还可以构成循环移位寄存器（circular shift register），用来实现循环计数功能。

以右移寄存器为例，如下图所示，Q3、Q2、Q1、Q0 依次作为移位寄存器从左到右的输出端，DSR 是右移数据输入端。

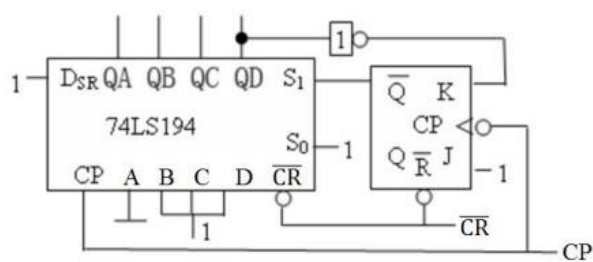


J-K 触发器第一级触发器（最左位） $J_3 = DSR$ 、 $K_3 = \overline{DSR}$ ，第一级触发器的输出 Q_3 ，按 $J_2 = Q_3$ 、 $K_2 = \overline{Q_3}$ 接入下一级触发器。第三、四级触发器也按照第二级触发器接法。当 DSR 是高电平时，第一级触发器置位。在下一个时钟下降沿到来后，第二级触发器置位。随着时钟下降沿的到来，第三级触发器、第四级触发器依次置位；当 DSR 是低电平时，第一级触发器清零。在下一个时钟下降沿到来后，第二级触发器清零。随着时钟下降沿的到来，第三级触发器、第四级触发器依次清零。从而实现 DSR 的右移。

5、四节拍顺序脉冲发生器

在数控装置和 CPU 中，设备/部件往往需要按照人们事先规定的顺序进行运算或操作，这就要求设备的控制部分不仅能正确地发出各种控制信号，而且要求这些控制信号在时间上有一定的先后顺序，即输出时序脉冲信号，以实现设备各部分的协调动作。实现这种控制的器件被称为节拍脉冲发生器，或者顺序脉冲发生器等。

如图所示是使用双向移位寄存器 74LS194 和 J-K 触发器搭建的四节拍顺序脉冲信号发生器的电路图。



CP	\overline{CR}	S_1	S_0	DSR	DSL	QA	QB	QC	QD	功能
X	0	X	X	X	X	X	X	X	X	清零
\uparrow	1	0	0	X	X	QA^n	QB^n	QC^n	QD^n	保持
\uparrow	1	0	1	DSR	X	DSR	QA^n	QB^n	QC^n	右移
\uparrow	1	1	0	X	DSL	QB^n	QC^n	QD^n	DSL	左移
\uparrow	1	1	1	X	X	A	B	C	D	并行送数

节拍发生器工作开始时，必须首先进行清零。当 CR 负脉冲过后 QA 、 QB 、 QC 、

QD 全为零，J-K 触发器 Q=1，因而 $S_i=S_o=1$ ，实现并行送数。

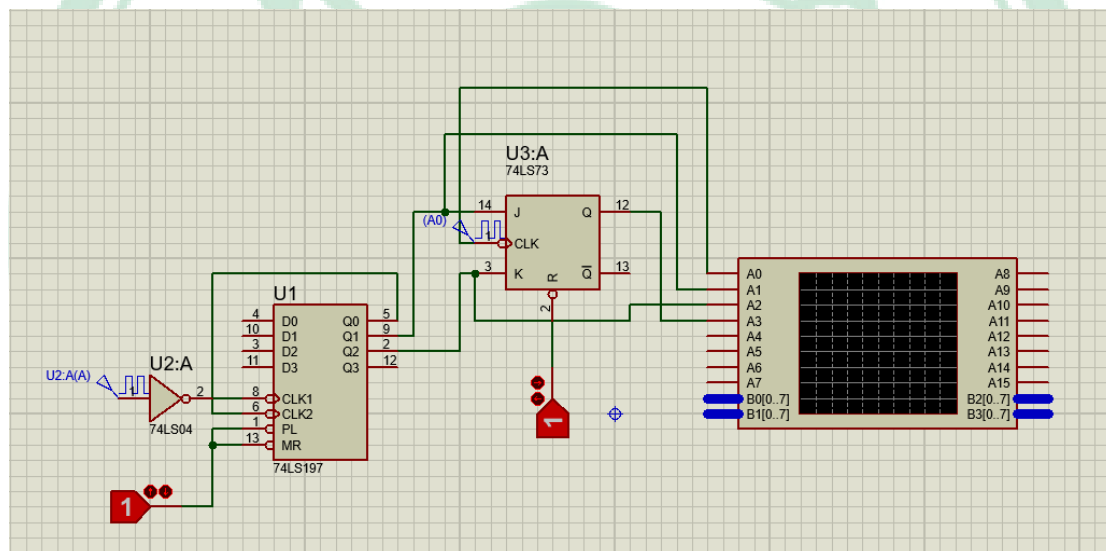
当第一个脉冲的上升沿到达后，74LS194 的 QA、QB、QC、QD 置入 0111，CP 下降沿到达后 Q=0，即 $S=0$ ， $S=1$ ，实现右移功能。在 CP 作用下 74LS194 的 QA、QB、QC、QD 输出依次为 1011，1101，1110，第四个 CP 下降沿到达后又使 J-K 触发器 Q=1，即 $S=S_o=1$ ，74LS194 并行送数，实现第二个循环。

三、实验仪器

1. 软件 Proteus 8 Professional
2. FPGA 数字电路实验箱 一台
3. SDS5054 数字示波器 一台

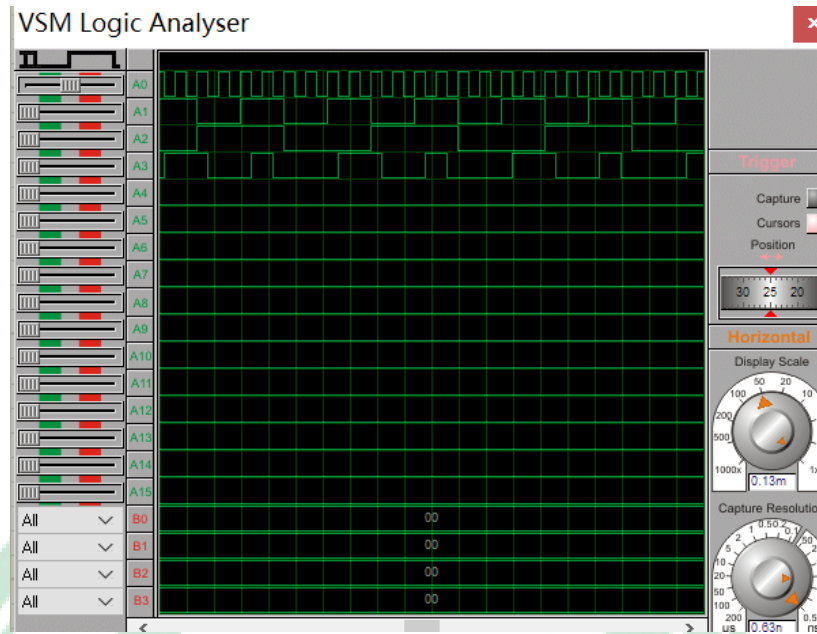
四、仿真实验部分

1、使用 Protues 仿真 JK 触发器

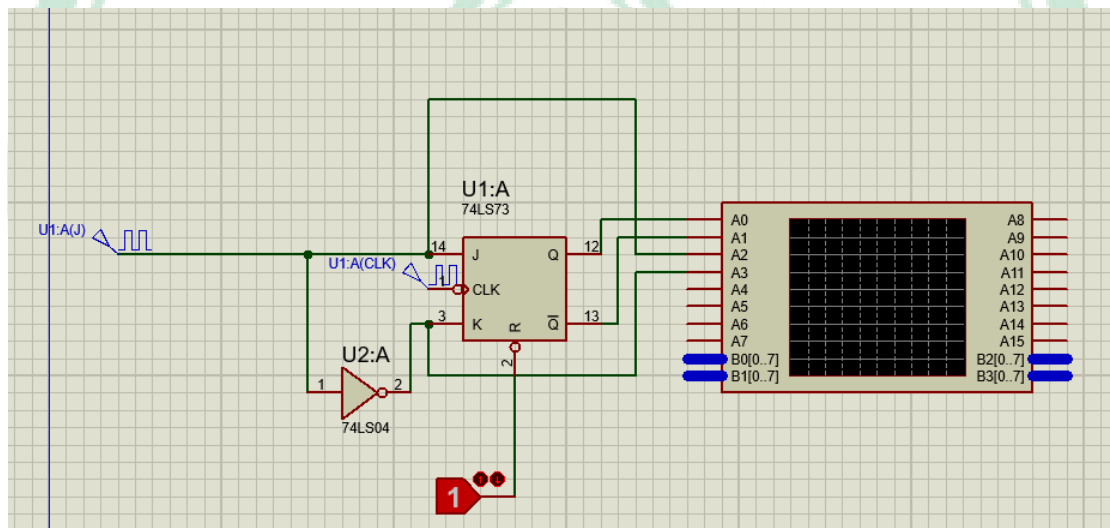


将 74LS197 接成八进制计数器，即 10KHz 连续脉冲接反相器后与 74LS197 的 CP1 相连(避免连续脉冲的下降沿使 74LS197 和 74LS73 同时翻转)，将 74LS197 的 MR、PL 接高电平，Q1、Q2、Q3 作为输出。并将 74LS197 的输出 Q1 接 74LS73 的 J1，Q2 接 74LS73 的 K1，10KHz 连续脉冲接 74LS73 的 CP1，将 74LS73 的 CR1 接手动负脉冲。实验时需先按一下负脉冲按键，使 74LS73 输出清零。使用示波器数字通道观察并记录 74LS73 的 CP1、J1、K1、Q1 波形，检查其是否符合 J-K 触发器特性。

仿真结果：

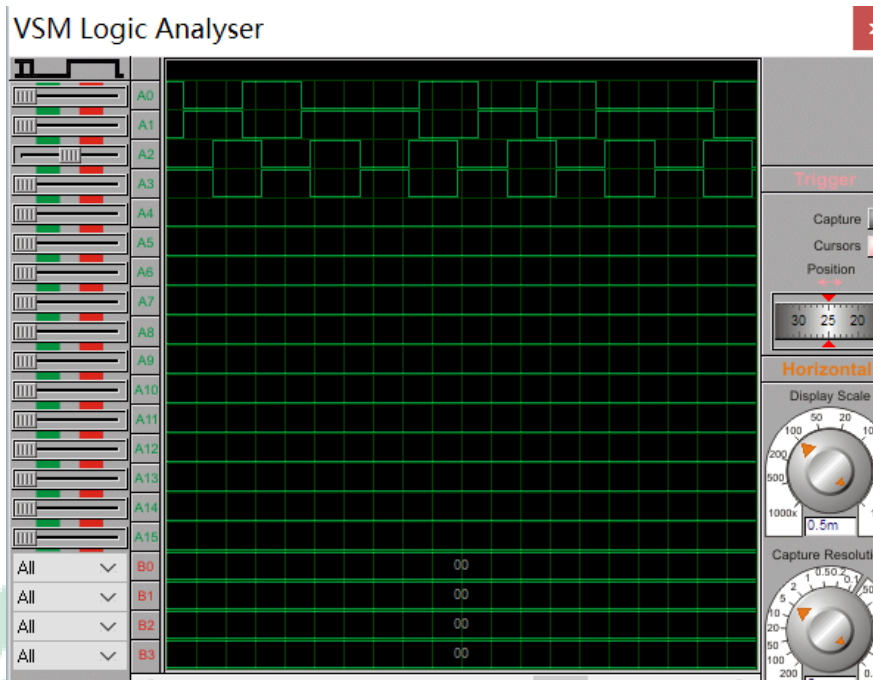


2、使用 Protues 仿真 D 触发器

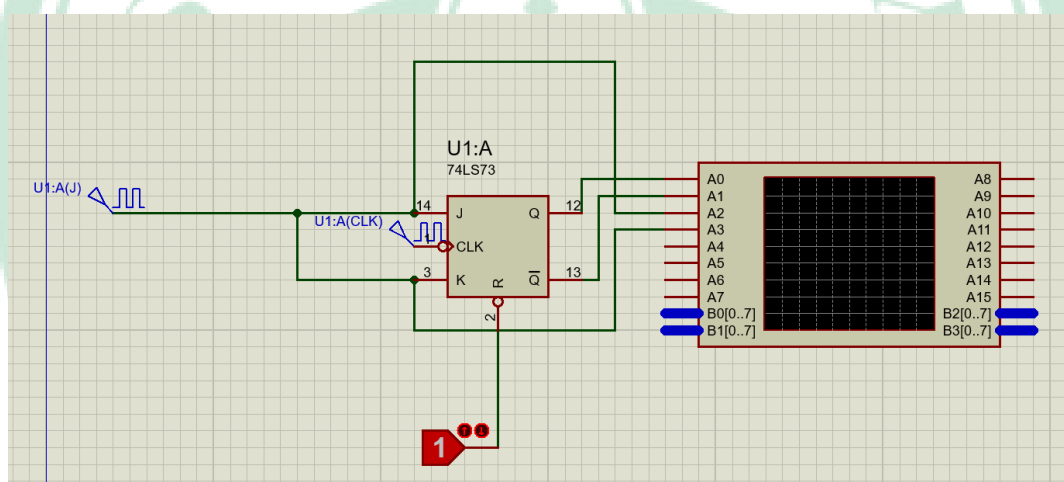


将 74LS197 接成二进制计数器，即 CPO 接 10KHz 连续脉冲，将 MR、PL 接高电平，Q0 作为输出。并将 74LS197 的输出 Q0 接 74LS74 的 D1，10KHz 连续脉冲同时接 74LS74 的 CP1，将 74LS73 的 SD1 接高电平，RD1 接手动负脉冲。实验需先按一下负脉冲按键，使 74LS74 输出清零。使用示波器数字通道观察并记录 74LS74 的 CP1、D1、Q1 波形，检查其是否符合 D 触发器特性。

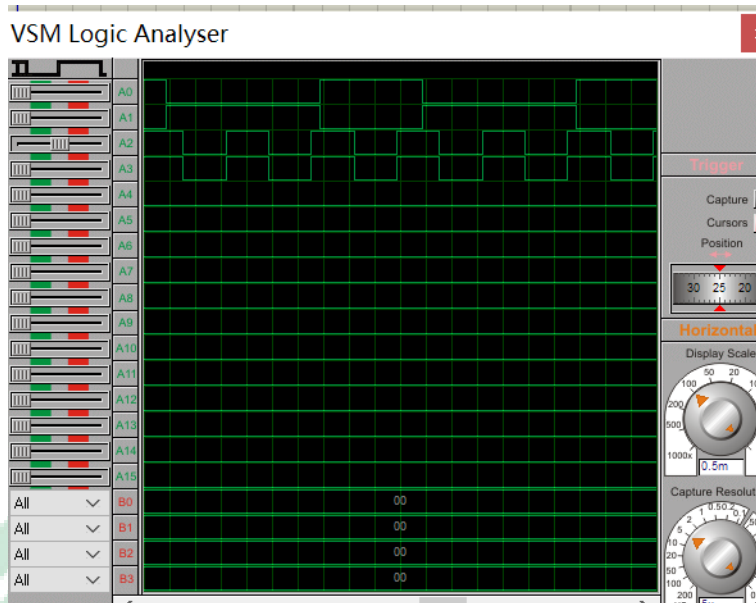
仿真结果：



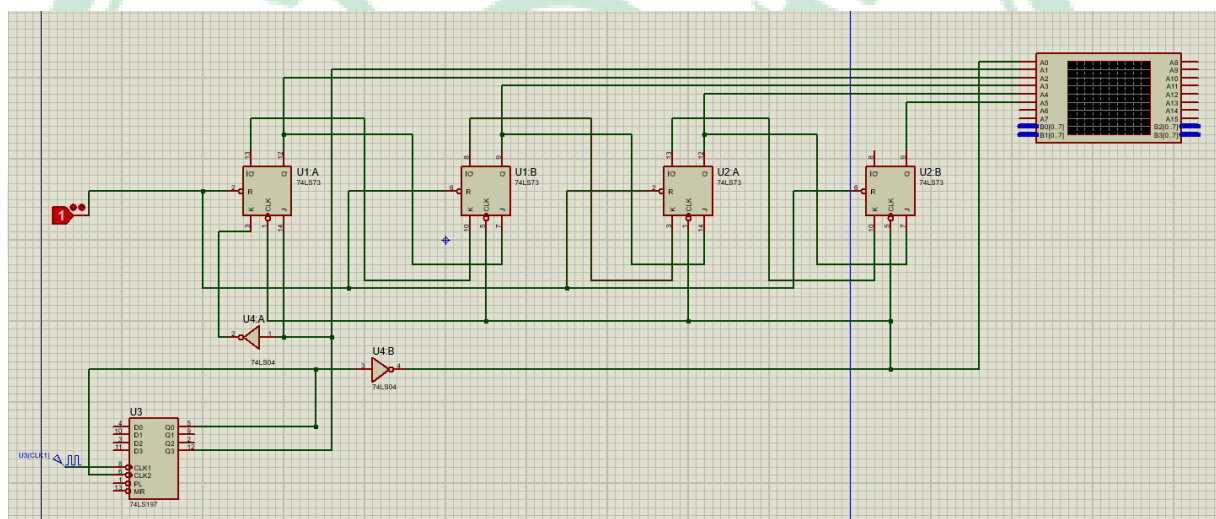
3. 使用 Protues 仿真 T 触发器



仿真结果:



4. 使用 JK 触发器 74LS73 实现右移寄存器，进行动态测试：

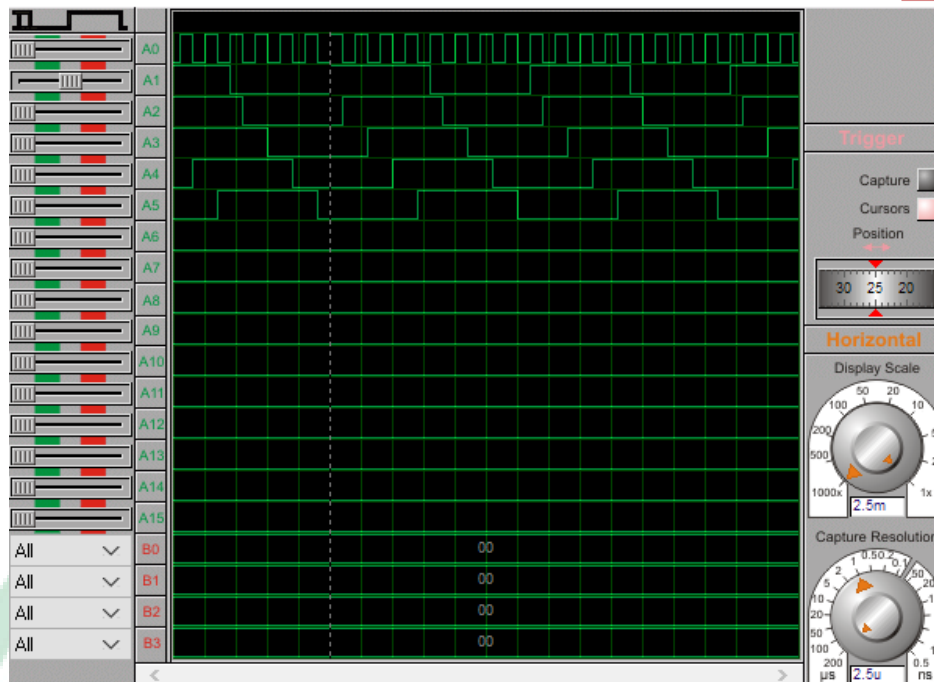


以右移寄存器为例，Q3、Q2、Q1、Q0 依次作为移位寄存器从左到右的输出端，DsR 是右移数据输入端。J-K 触发器第一级触发器（最左位）J3=DsR、K3=DsR，第一级触发器的输出 Q3，按 J2=Q3、K2=Q3 接入下一级触发器。第三、四级触发器也按照第二级触发器接法。

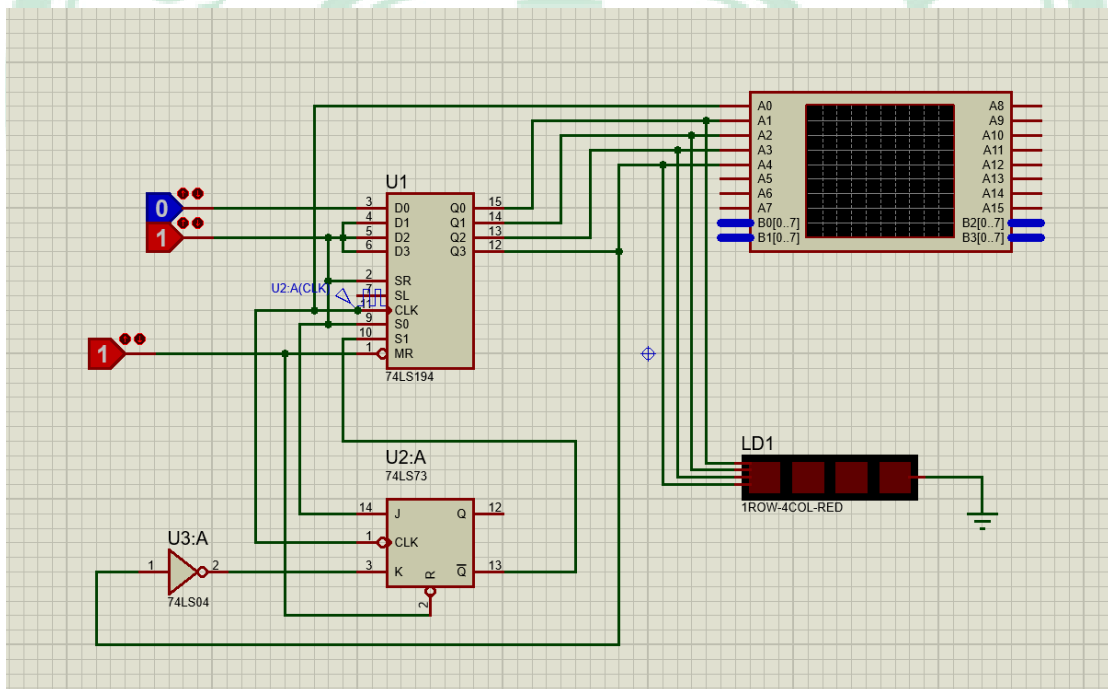
当 DsR 是高电平时，第一级触发器置位。在下一个时钟下降沿到来后，第二级触发器置位。随着时钟下降沿的到来，第三级触发器、第四级触发器依次置位；当 DsR 是低电平时，第一级触发器清零。在下一个时钟下降沿到来后，第二级触发器清零。随着时钟下降沿的到来，第三级触发器、第四级触发器依次清零。从而实现 DsR 的右移。

仿真结果：

VSM Logic Analyser

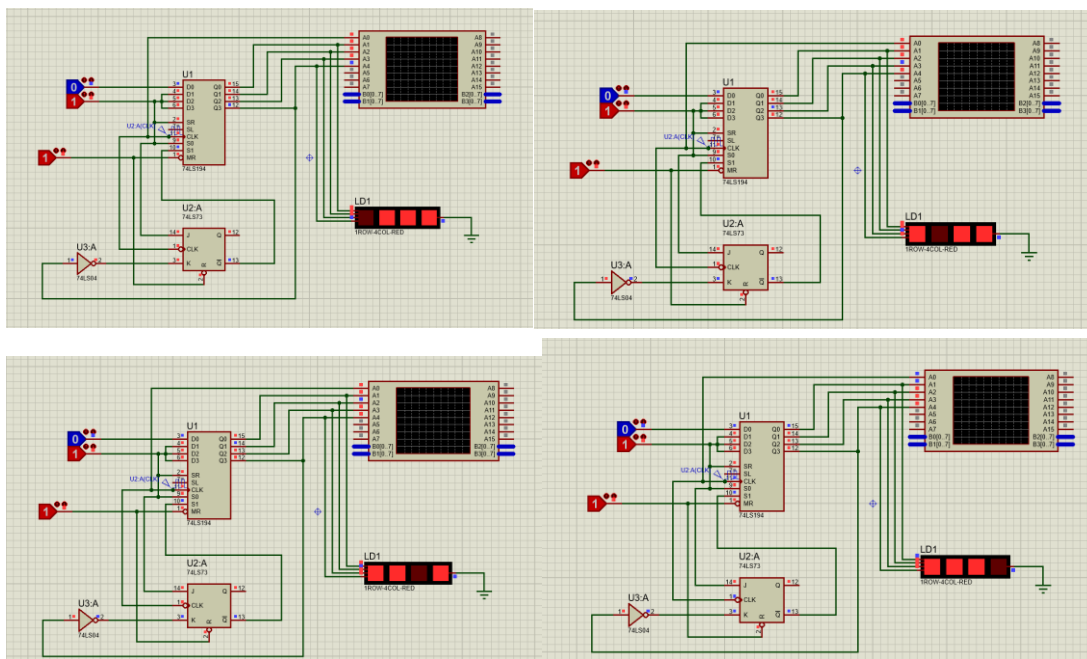


5、使用移位寄存器 74LS194 实现四节拍顺序脉冲发生器电路



在数字电路实验箱器件实验模式下，进行 74LS194 功能测试。74LS194 的 C 接手动正脉冲，CR 接手动负脉冲，A、B、C、D 接模拟开关，QA、QB、QC、QD 接 LED“0-1”显示器。按下表顺序操作，先测试 74LS194 的清零功能，然后通过并行送数功能将 74LS194 输出端 QA、QB、QC、QD 初始状态设置为 0110，接下来分别测试 74LS194 的左移和右移功能。

仿真结果：

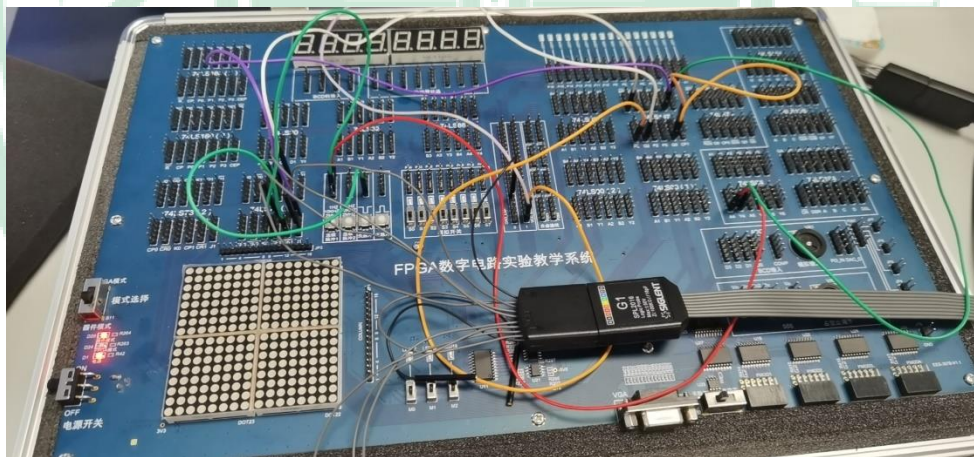


可以发现 0 不断右移。

五、实验箱部分

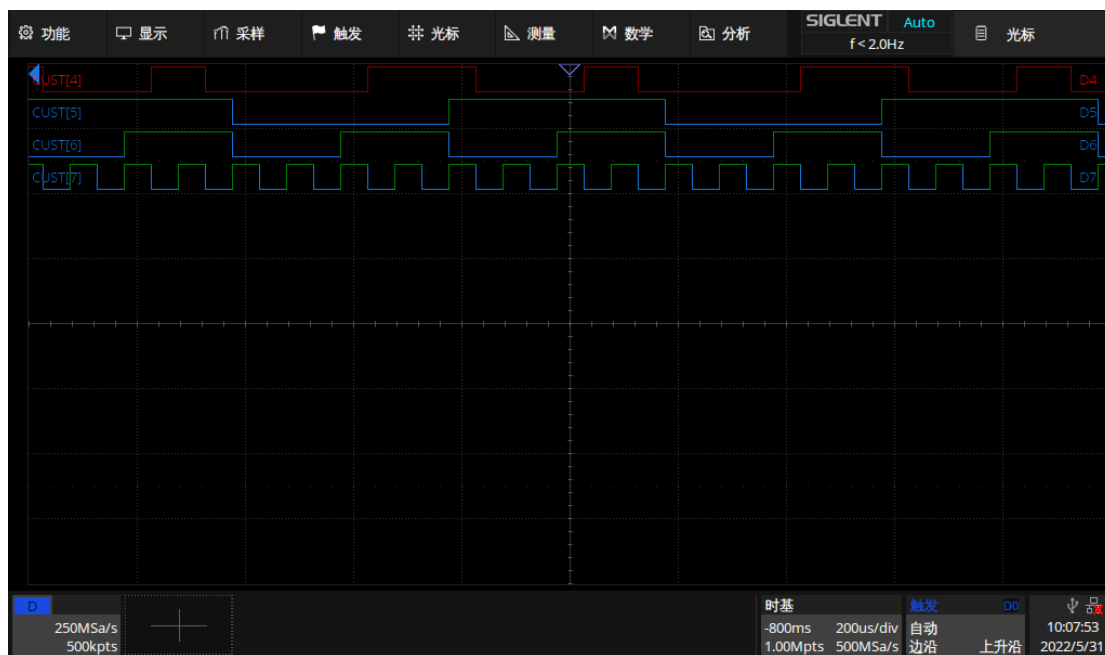
1、使用实验箱完成 JK 触发器

电路图：



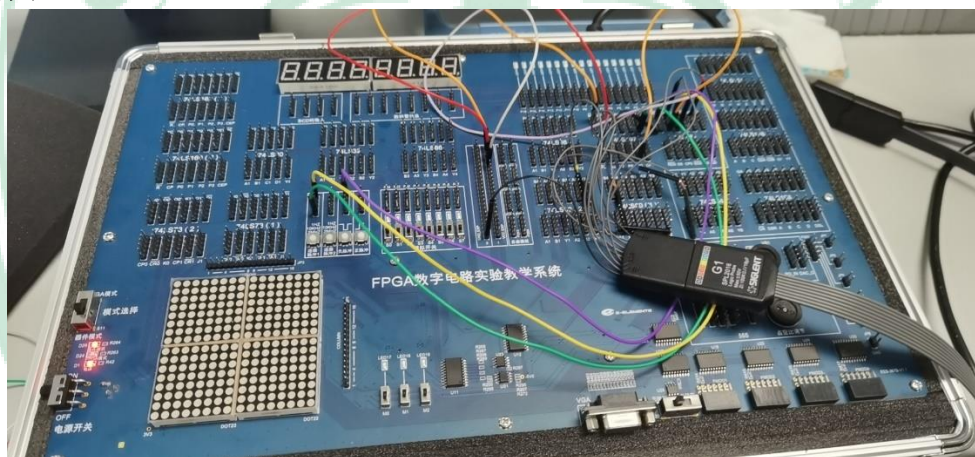
将 74LS197 接成八进制计数器，即 10KHz 连续脉冲接反相器后与 74LS197 的 CP1 相连(避免连续脉冲的下降沿使 74LS197 和 74LS73 同时翻转)，将 74LS197 的 MR、PL 接高电平，Q1、Q2、Q3 作为输出。并将 74LS197 的输出 Q1 接 74LS73 的 J1, Q2 接 74LS73 的 K1, 10KHz 连续脉冲接 74LS73 的 CP1, 将 74LS73 的 CR1 接手动负脉冲。实验时需先按一下负脉冲按键，使 74LS73 输出清零。使用示波器数字通道观察并记录 74LS73 的 CP1、J1、K1、Q1 波形，检查其是否符合 J-K 触发器特性。

示波器输出：



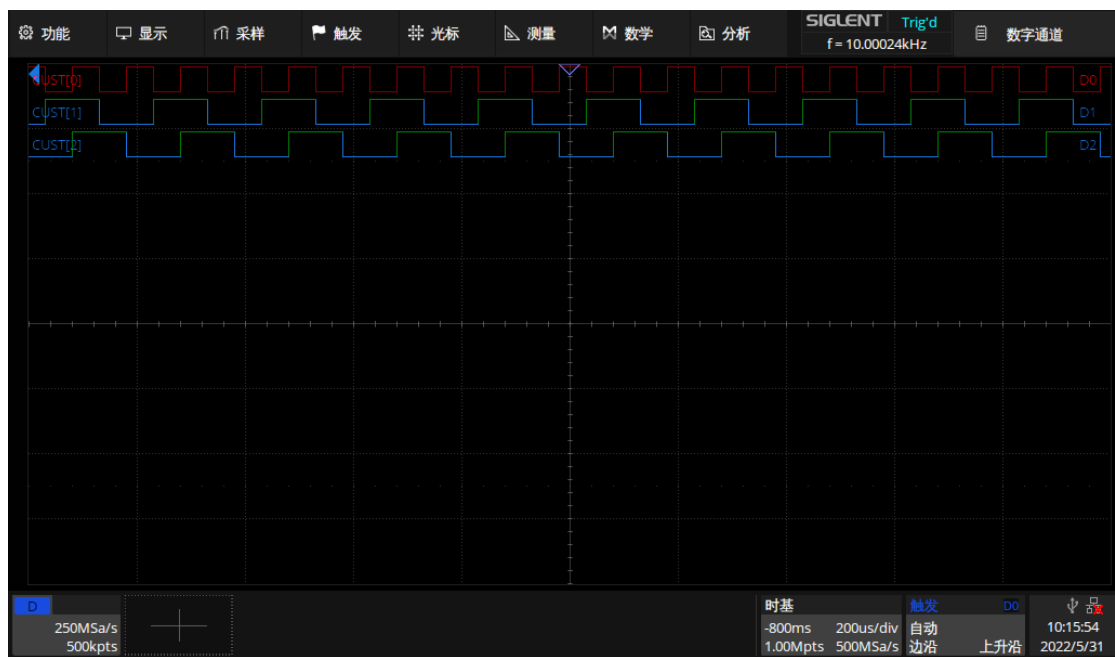
2、使用实验箱完成 D 触发器

电路图：



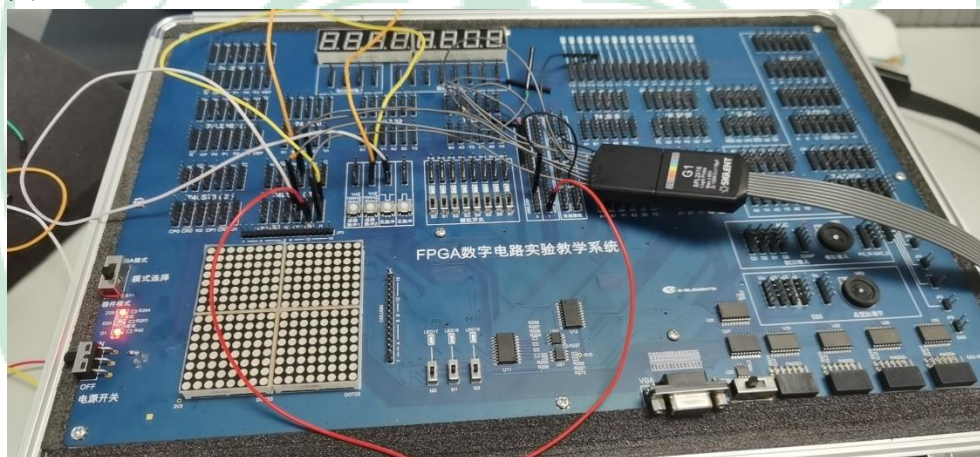
将 74LS197 接成二进制计数器，即 CPO 接 10KHz 连续脉冲，将 MR、PL 接高电平，Q0 作为输出。并将 74LS197 的输出 Q0 接 74LS74 的 D1，10KHz 连续脉冲同时接 74LS74 的 CP1，将 74LS73 的 SD1 接高电平，RD1 接手动负脉冲。实验需先按一下负脉冲按键，使 74LS74 输出清零。使用示波器数字通道观察并记录 74LS74 的 CP1、D1、Q1 波形，检查其是否符合 D 触发器特性。

示波器输出：

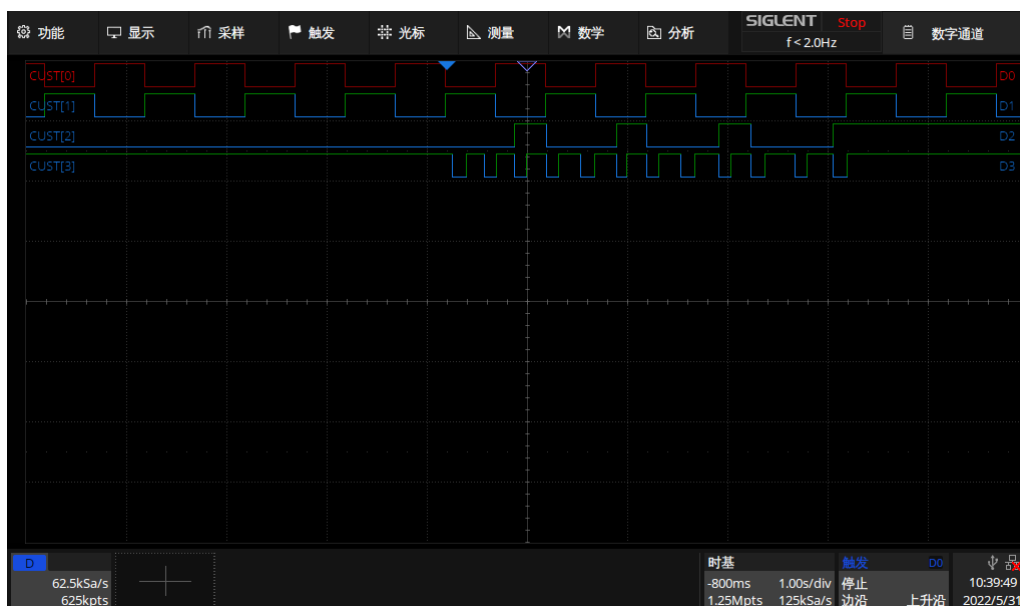


3、使用实验箱完成 T 触发器

电路图：

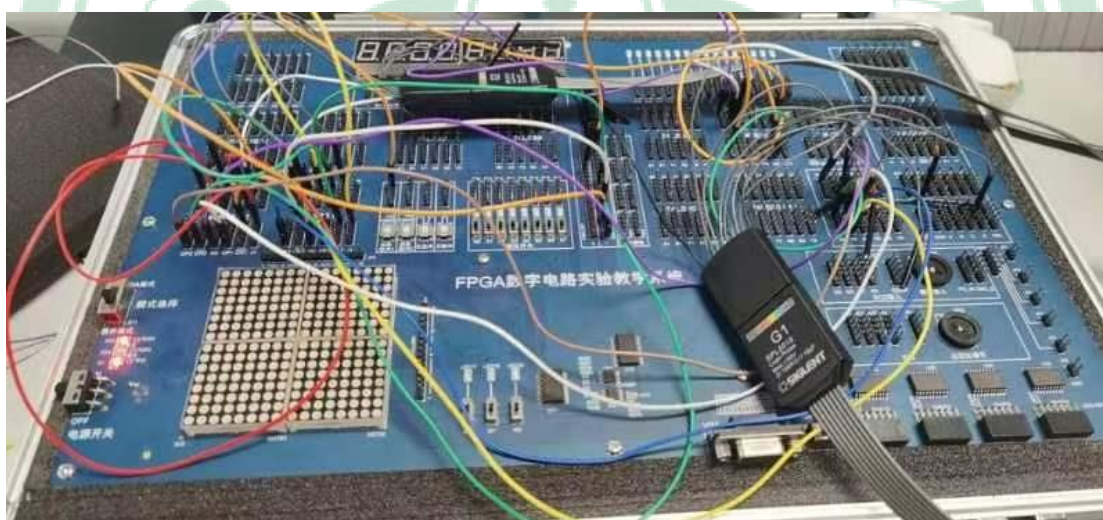


示波器输出：



4、使用 JK 触发器 74LS73 实现右移寄存器：

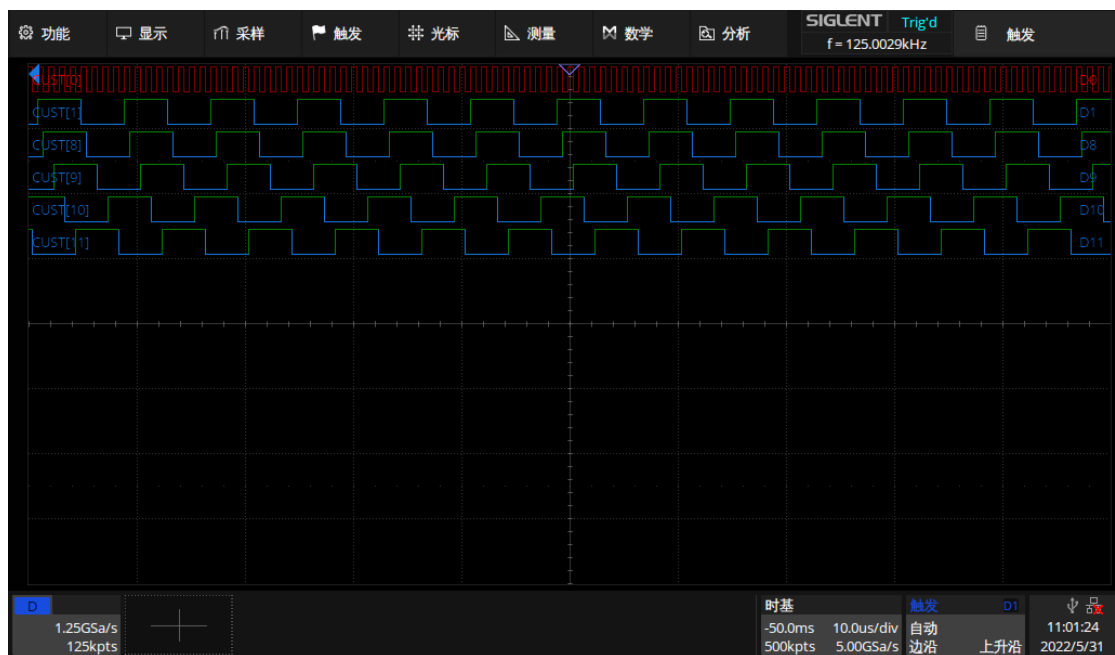
电路图：



J-K 触发器第一级触发器(最左位) $J_3=D_sR$ 、 $K_3=DSR$ ，第一级触发器的输出 Q_3 ，按 $J_2=Q_3$ 、 $K_2=Q_3$ 接入下一级触发器。第三、四级触发器也按照第二级触发器接法。

当 D_sR 是高电平时，第一级触发器置位。在下一个时钟下降沿到来后，第二级触发器置位。随着时钟下降沿的到来，第三级触发器、第四级触发器依次置位；当 D_sR 是低电平时，第一级触发器清零。在下一个时钟下降沿到来后，第二级触发器清零。随着时钟下降沿的到来，第三级触发器、第四级触发器依次清零。从而实现 D_s 的右移。

示波器输出：

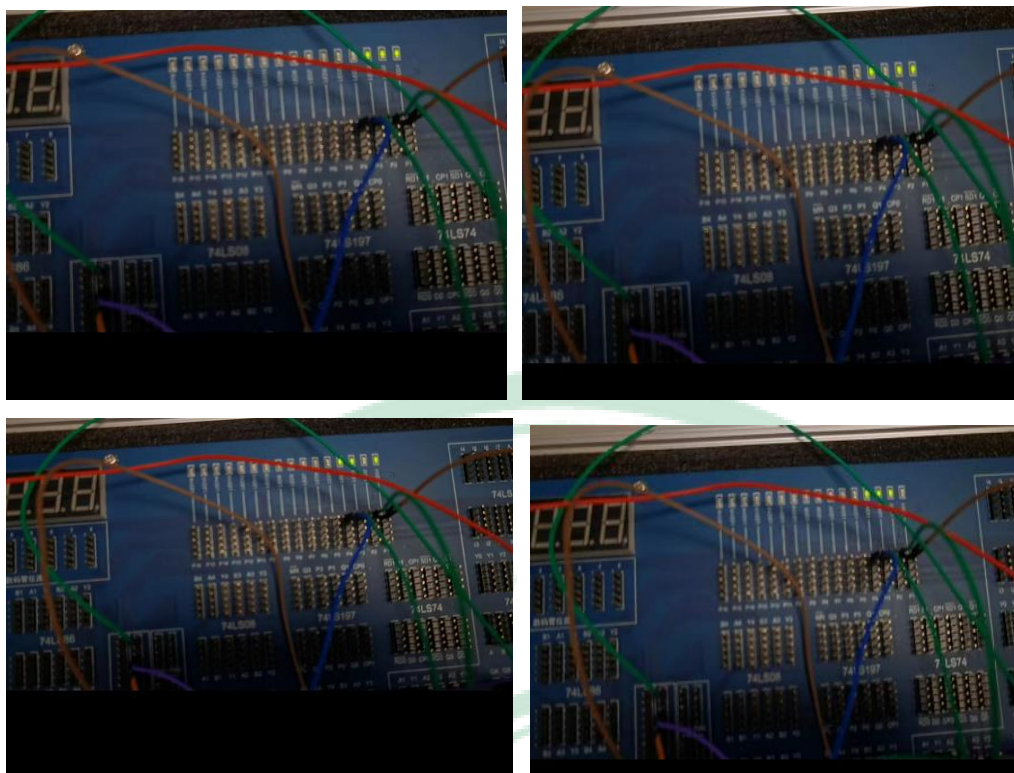


5、使用 JK 触发器 74LS73 和移位寄存器 74LS194 实现四节拍顺序脉冲发生器 电路图：



节拍发生器工作开始时，必须首先进行清零。当 CR 负脉冲过后 QA、QB、QC、QD 全为零，J-K 触发器 Q=1，因而 S1=S0=1，实现并行送数。当第一个脉冲的上升沿到达后，74LS194 的 QA、QB、QC、QD 置入 0111，CP 下降沿到达后 Q=0，即 S1=0，S0=1，实现右移功能。在 CP 作用下 74LS194 的 QA、QB、QC、QD 输出依次为 1011，1101，1110，第四个 CP 下降沿到达后又使 J-K 触发器 Q=1，即 S1=S0=1，74LS194 并行送数，实现第二个循环。

LED 输出：



观察右上角的灯可以看出，灯亮表示为 1，灯灭表示为 0，0 从左向右移动，实现了四节拍顺序脉冲发生器的功能。

六、实验结论

触发器总结：

触发方式	特点
电平触发	当输入端的电平发生变化时，存在空翻现象
脉冲出发	拥有主从结构，在时钟周期内，脉冲到来时变化，其中 JK 触发器存在一次变化问题
边缘触发	在时钟的上升沿或是下降沿变化

触发器的触发方式是由电路结构决定的，即电路结构形式与触发方式之间有固定的对应关系

- 如同步 SR 触发器属于电平触发，在 $CLK=1$ 触发器动作
- 采用主从结构的触发器，属于脉冲触发方式，是在 CLK 的下降沿 (\downarrow) 从触发器随主触发器的变化而变化，如主从 SR 触发器和主从 JK 触发器
- 采用两个电平触发 D 触发器构成的触发器、维持阻塞结构的触发器以及利用门传输延迟时间构成的触发器都输入边沿触发方式，如维持阻塞 D 触发器属于上升沿触发