



院(系): 智能工程学院

学号: 20354027

姓名: 方桂安

日期: 2022.5.10

实验名称: Proteus 软件仿真与实验箱逻辑门实验

一、实验目的

1. 掌握 Proteus 软件的界面与基本操作
2. 熟悉 FPGA 数字电路实验教学系统

二、实验原理


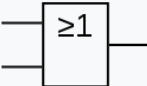
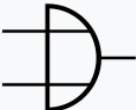
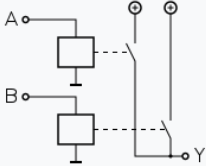
1. 74LS00 (NAND)

与非门(英语: NAND gate)是数字逻辑中实现逻辑与非的逻辑门。若输入均为高电平(1),则输出为低电平(0);若输入中至少有一个为低电平(0),则输出为高电平(1)。与非门是一种通用的逻辑门,因为任何布尔函数都能用与非门实现。74LS00 为四组 2 输入端与非门(正逻辑)。

表达式	符号			功能表	继电器逻辑															
	ANSI/IEEE Std 91-1984	IEC 60617-12	DIN 40700																	
$Y = \overline{AB}$				<table><tr><th>A</th><th>B</th><th>$Y = \overline{AB}$</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	$Y = \overline{AB}$	0	0	1	0	1	1	1	0	1	1	1	0	
A		B		$Y = \overline{AB}$																
0		0		1																
0		1		1																
1	0	1																		
1	1	0																		
$Y = \overline{A \cdot B}$																				
$Y = A \wedge B$																				
$Y = \overline{A \wedge B}$																				

2. 74LS32 (OR)

或门(英语: OR gate)是数字逻辑中实现逻辑或的逻辑门。只要两个输入中至少有一个为高电平(1),则输出为高电平(1);若两个输入均为低电平(0),输出才为低电平(0)。换句话说,或门的功能是得到两个二进制数的最大值,而与门的功能是得到两个二进制数的最小值。74LS32 为四组 2 输入端或门(小功率肖特基版本)。

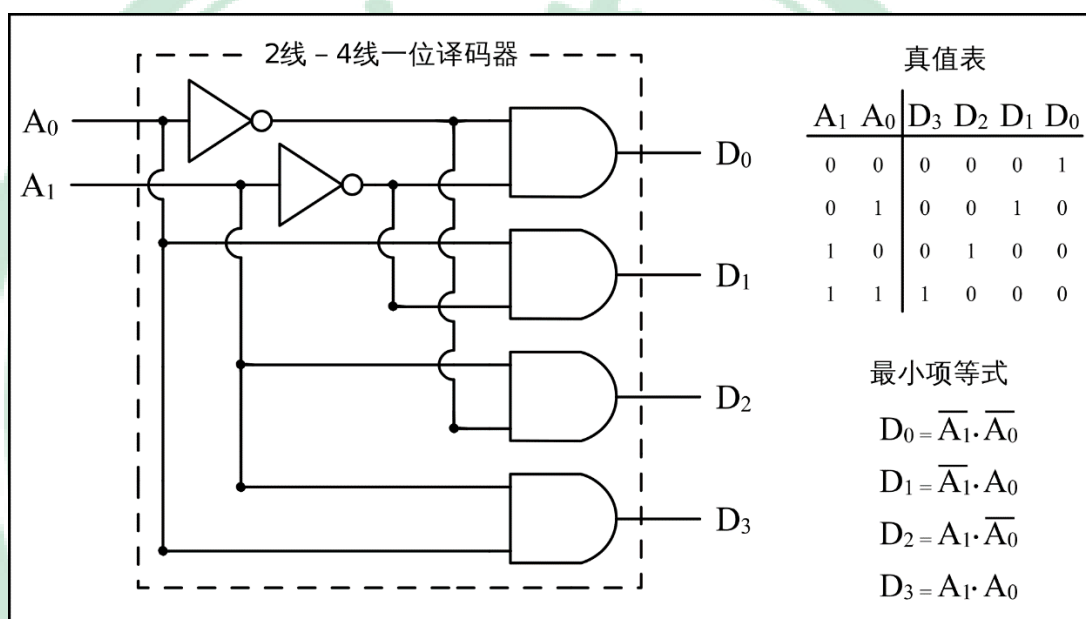
表达式	符号			功能表	继电器逻辑															
	ANSI/IEEE Std 91-1984	IEC 60617-12	DIN 40700																	
<div>$Y = A + B$</div> <div>$Y = A \vee B$</div>				<table border="1"><thead><tr><th>A</th><th>B</th><th>$Y = A + B$</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></tbody></table>	A	B	$Y = A + B$	0	0	0	0	1	1	1	0	1	1	1	1	
A	B	$Y = A + B$																		
0	0	0																		
0	1	1																		
1	0	1																		
1	1	1																		

3. 2 线-4 线译码器

译码器是电子技术中的一种多输入多输出的组合逻辑电路，负责将二进制代码翻译为特定的对象（如逻辑电平等），功能与编码器相反。译码器一般分为通用译码器和数字显示译码器两大类。

译码器可以由与门或与非门来负责输出。若使用与门，当所有的输入均为高电平时，输出才为高电平，这样的输出称为“高电平有效”的输出；若使用与非门，则当所有的输入均为高电平时，输出才为低电平，这样的输出称为“低电平有效”的输出。

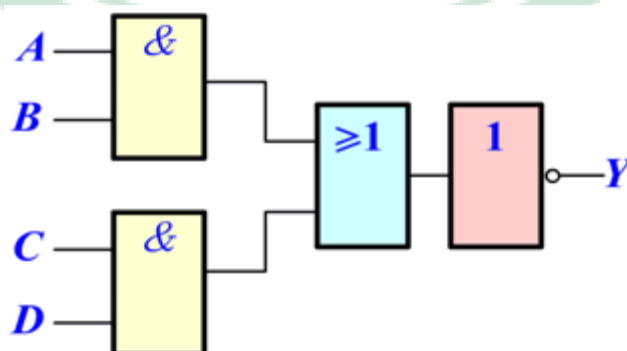
更复杂的译码器是 n 线— 2^n 线类型的二进制译码器。这类译码器是一种组合逻辑电路，能从已编码的 n 个输入，将二进制信息转换为 2^n 个独特的输出中最大个数的输出。我们说 2^n 个输出的最大个数，是因为当 n 位已编码信息中有未使用的位组合时，译码器可能会有少于 2^n 个输出。



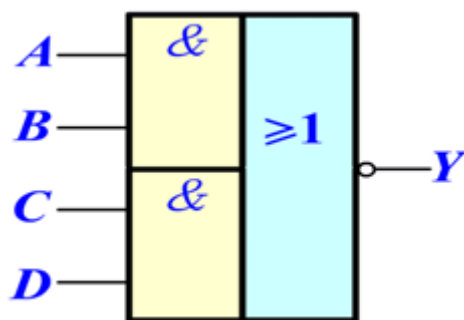
4. 与或非门

把两个(或两个以上)与门的输出端接到一个或非门的各个输入端，就构成了与或非门。当输入端中任何一组全为 1 时，输出即为 0；只有各组输入都至少有一个为 0 时，输出才为 1。

电路图如下：



逻辑符号如下：



真值表如下：

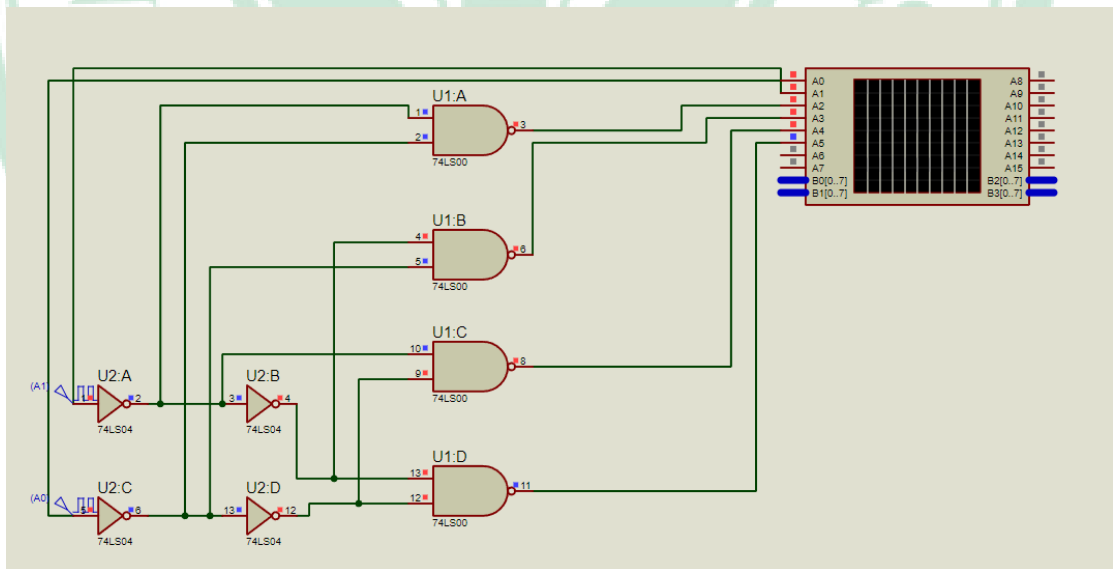
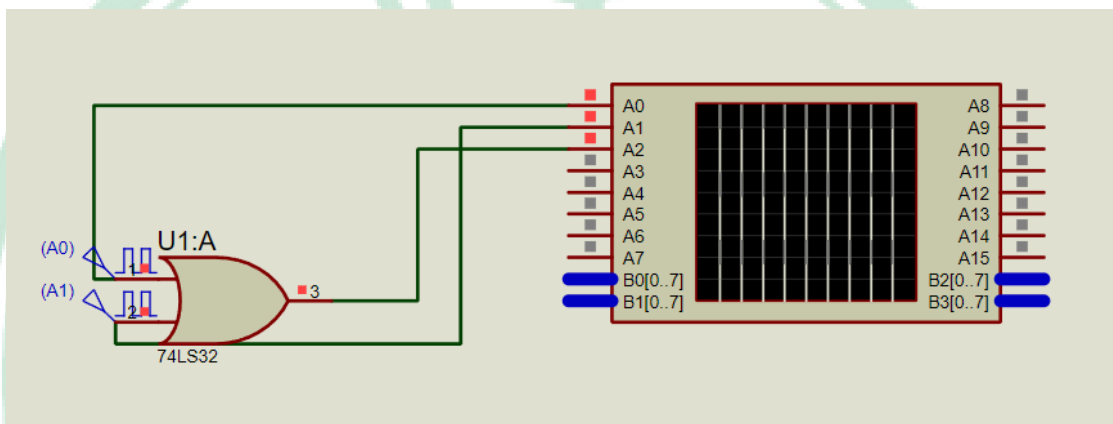
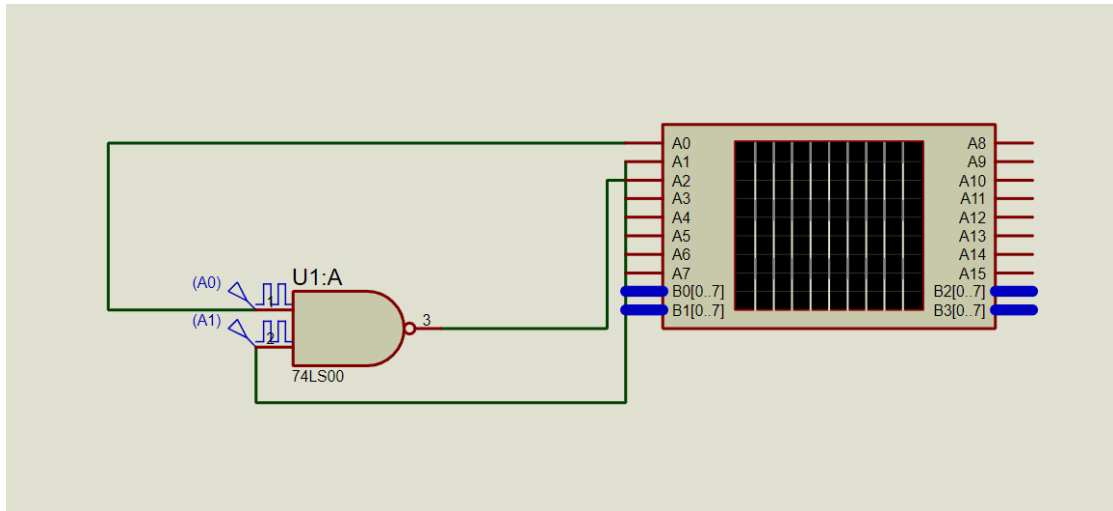
输入				输出
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

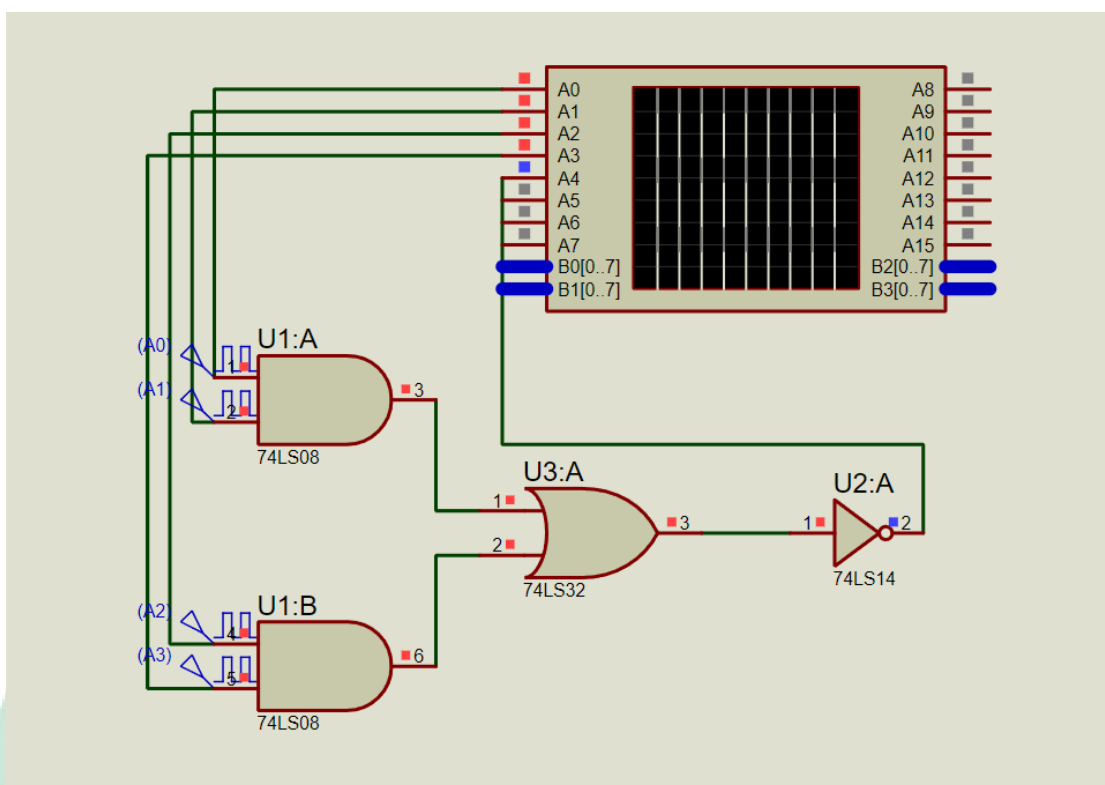
三、实验仪器

1. 软件 Proteus 8 Professional
2. FPGA 数字电路实验箱 一台
3. SDS5054 数字示波器 一台

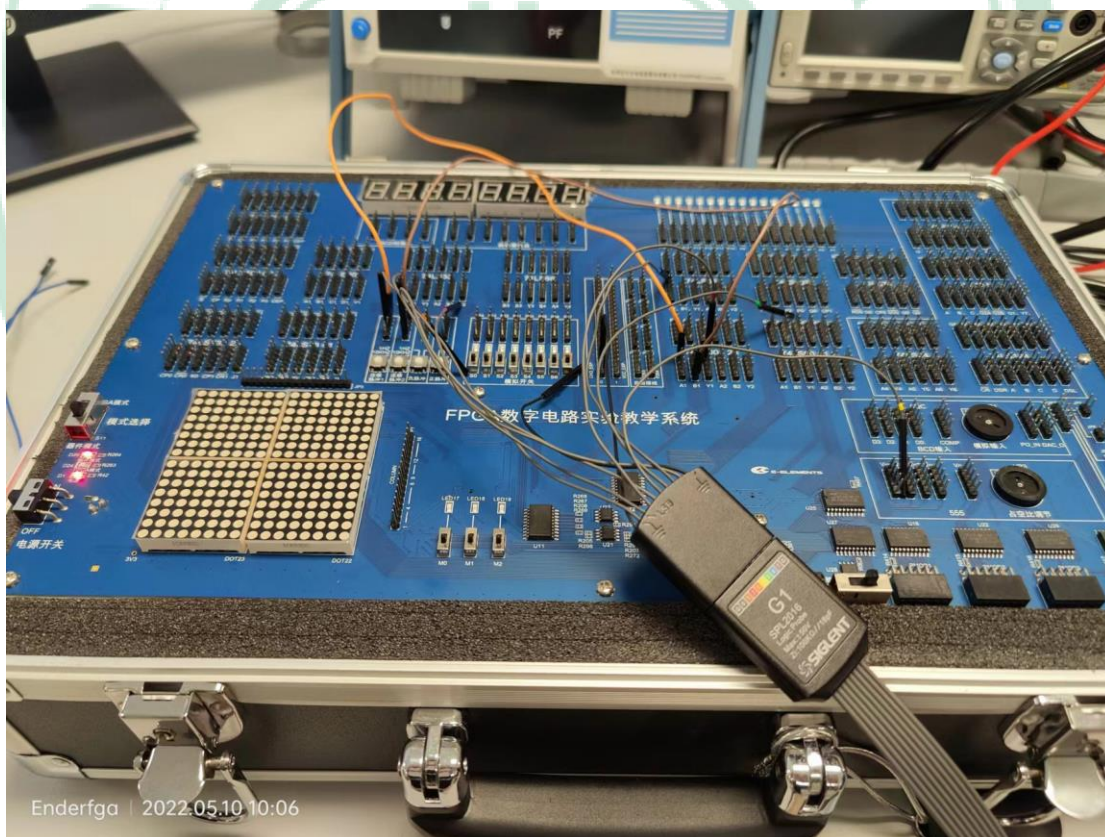
四、实验内容与步骤

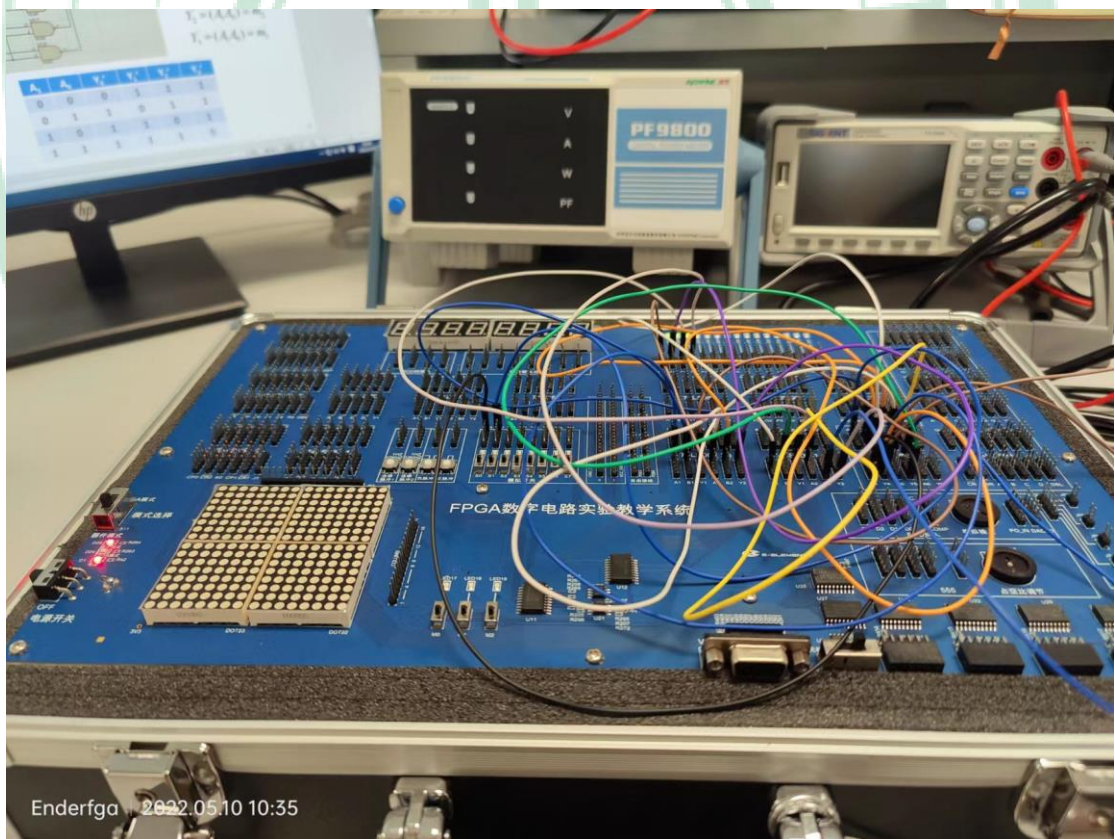
1. 根据实验指导书使用 proteus 软件仿真，绘制电路图如下：

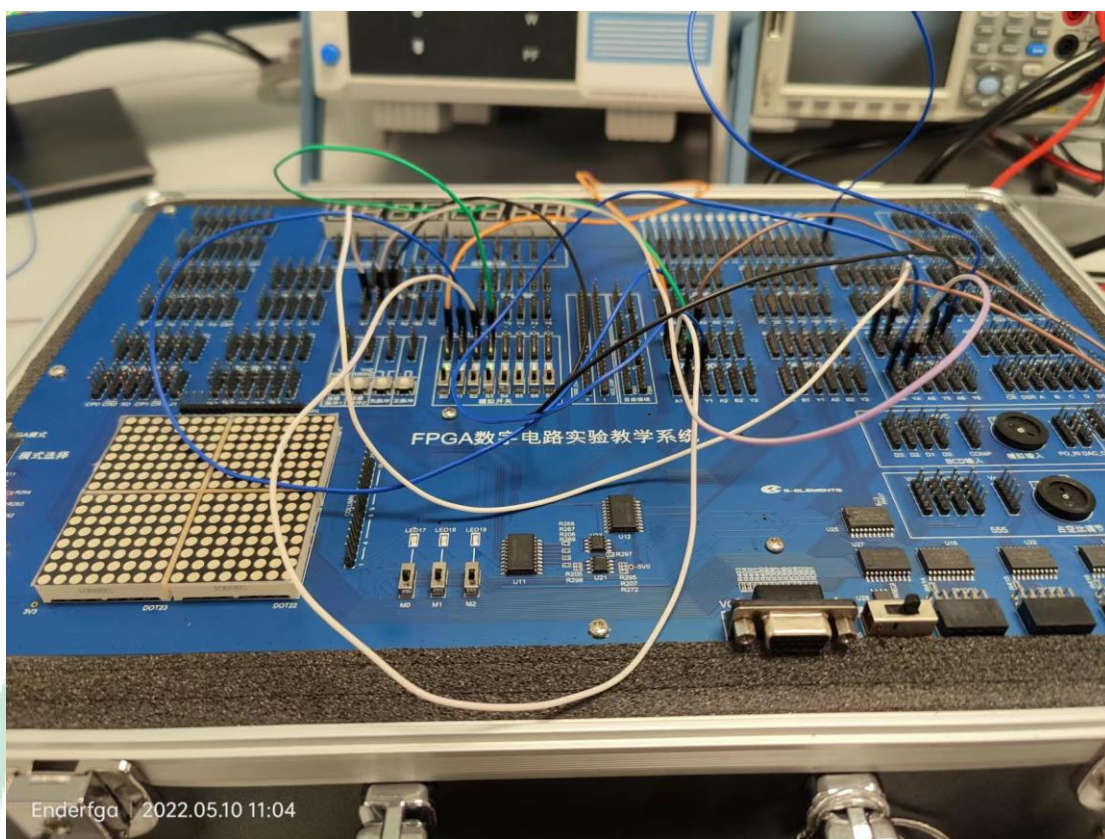




2. 根据仿真电路图使用实验箱连线，实物电路如图：



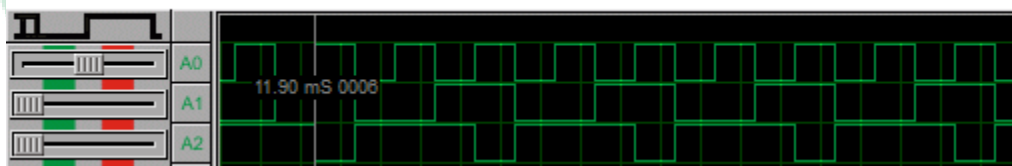




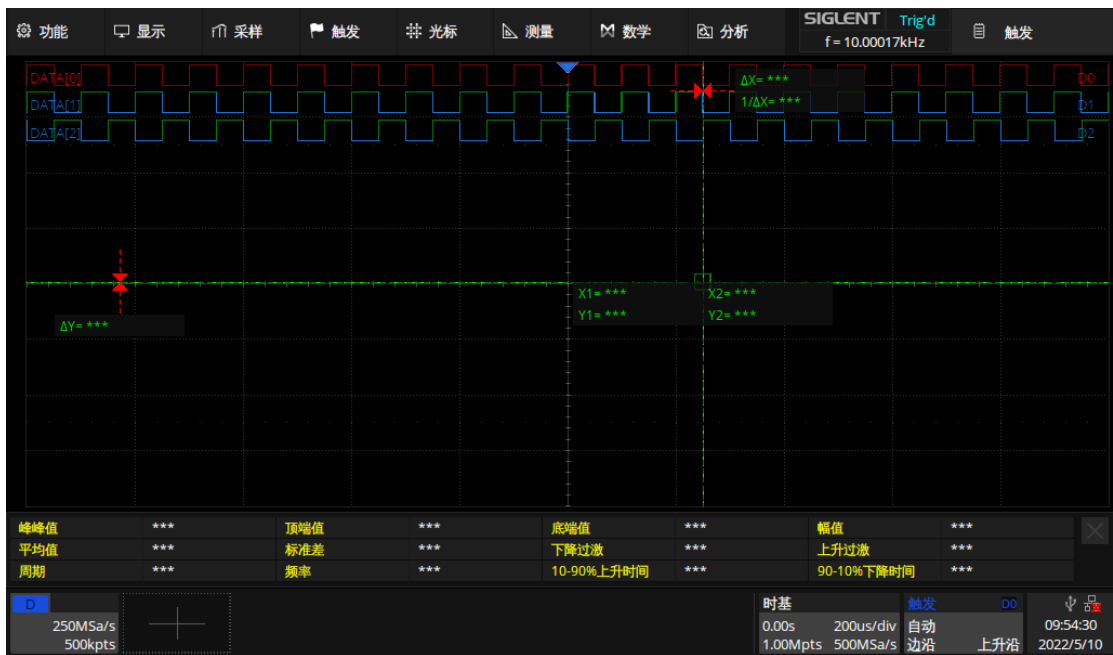
五、实验结果描述与分析

1. 与非门 仿真结果：

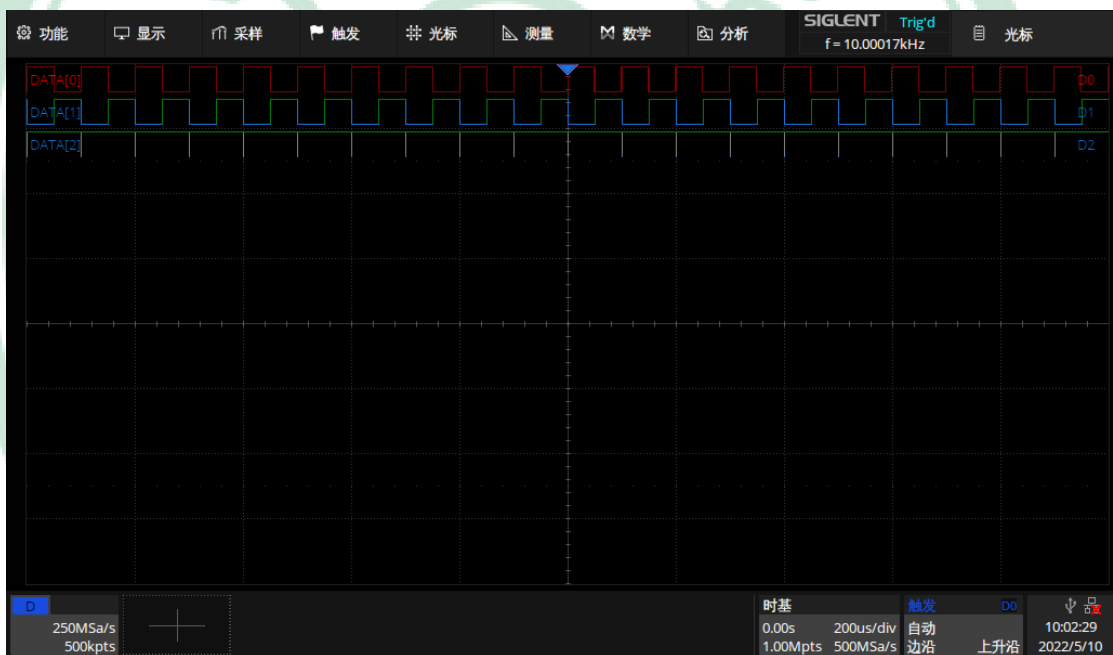
VSM Logic Analyser



使用两个相同的 10kHz 连续脉冲信号，可得：



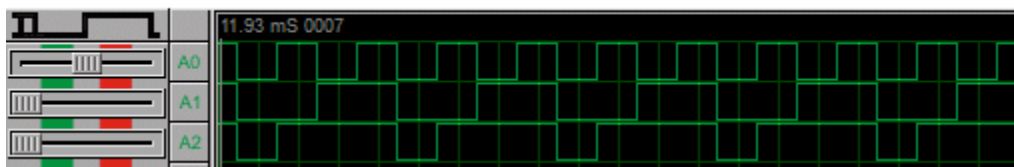
使用两个相反的 10kHz 连续脉冲信号，可得：



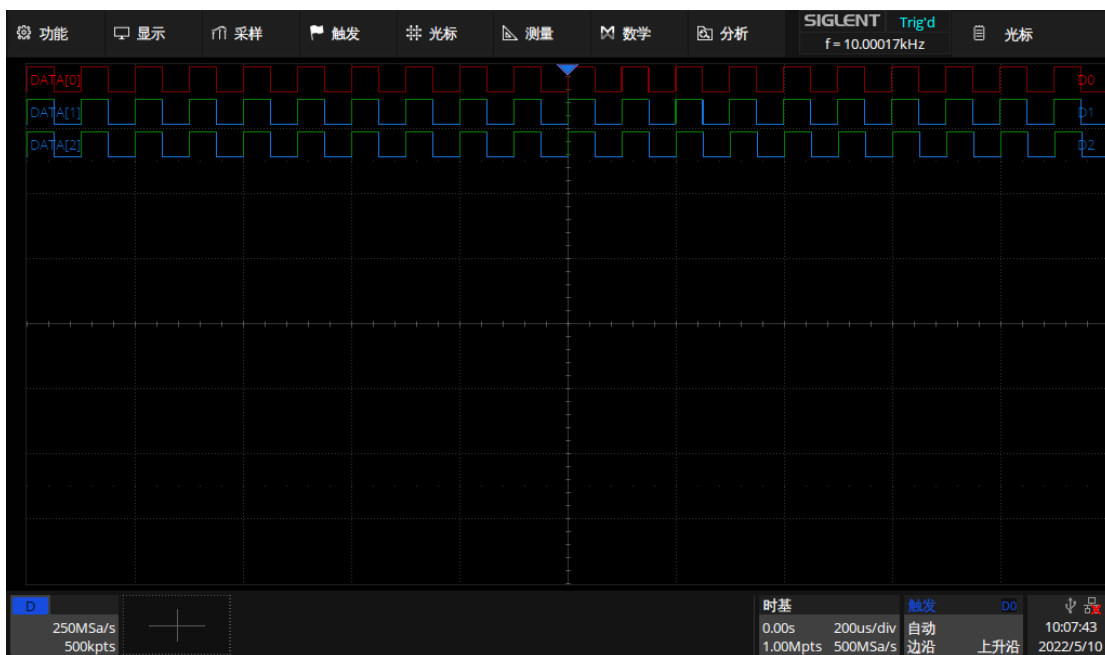
2. 或门

仿真结果：

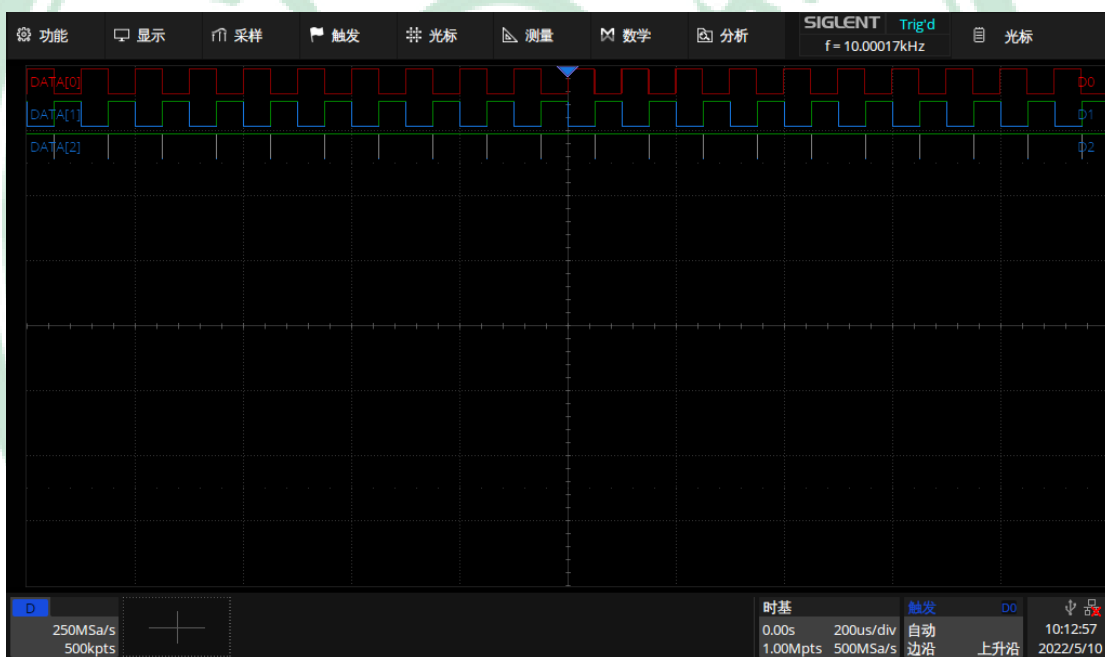
VSM Logic Analyser



使用两个相同的 10kHz 连续脉冲信号，可得：



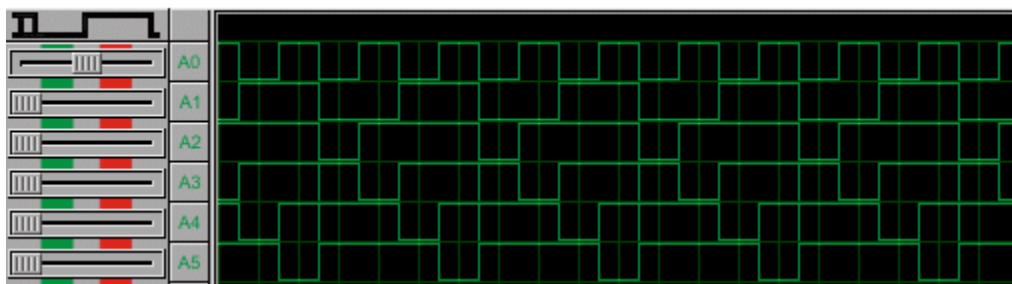
使用两个相反的 10kHz 连续脉冲信号，可得：



3. 译码器：

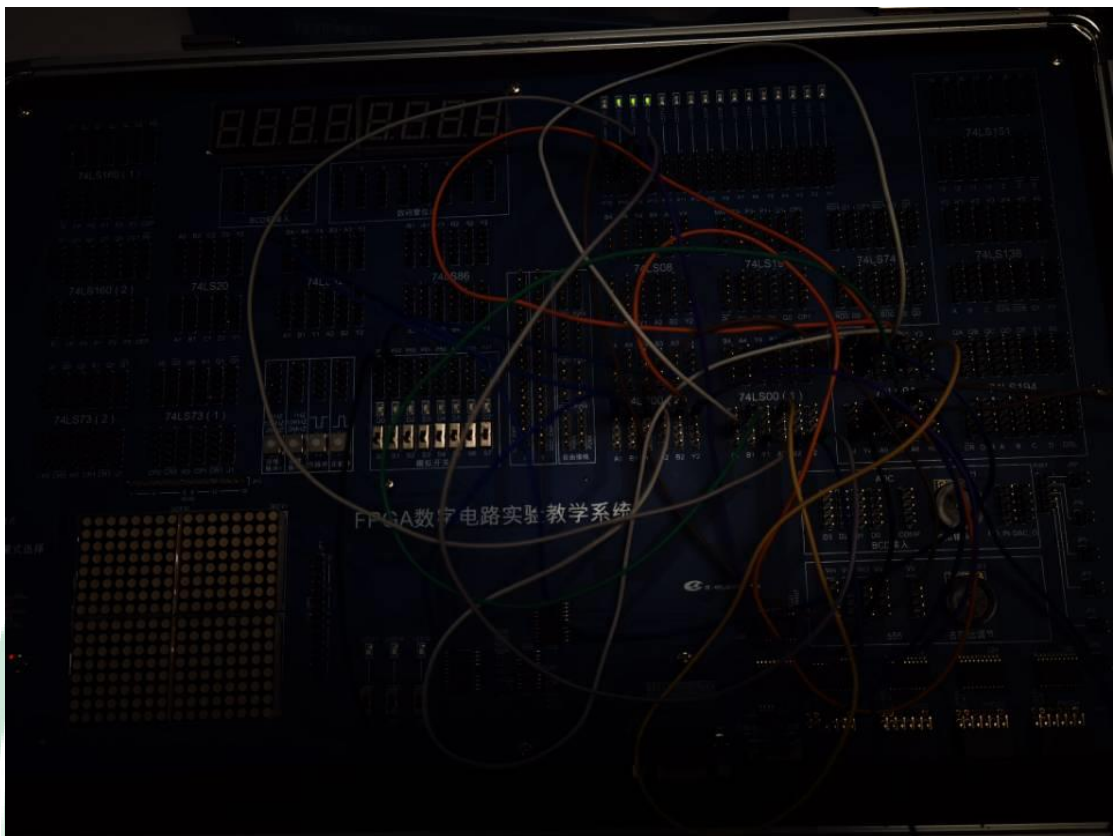
仿真结果：

VSM Logic Analyser

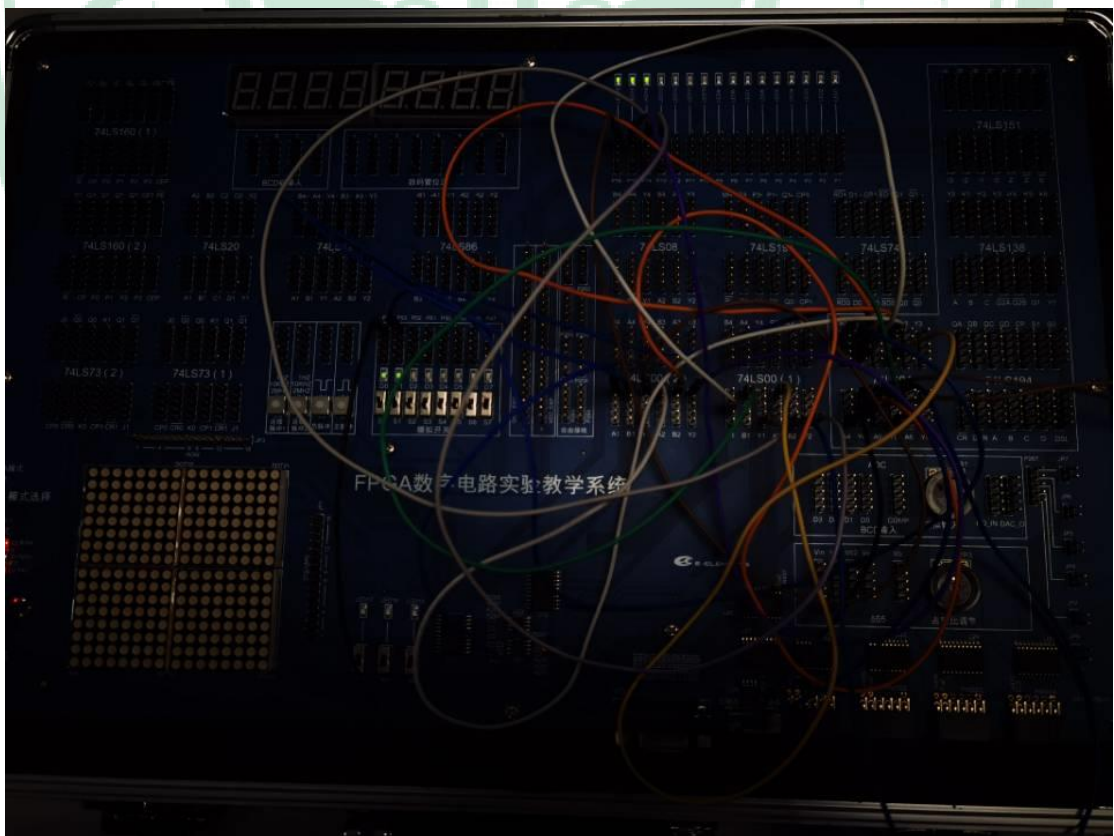


在实验箱中使用模拟开关来输入，led 灯来显示输出结果，效果如下：

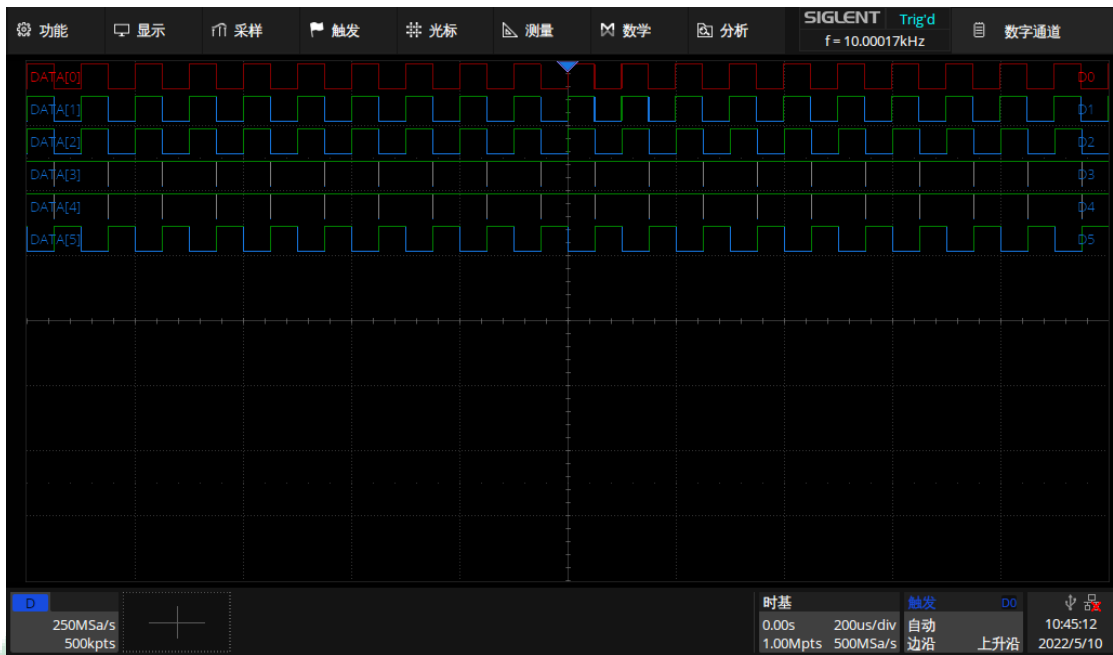
输入为 00 时，输出为 0111。



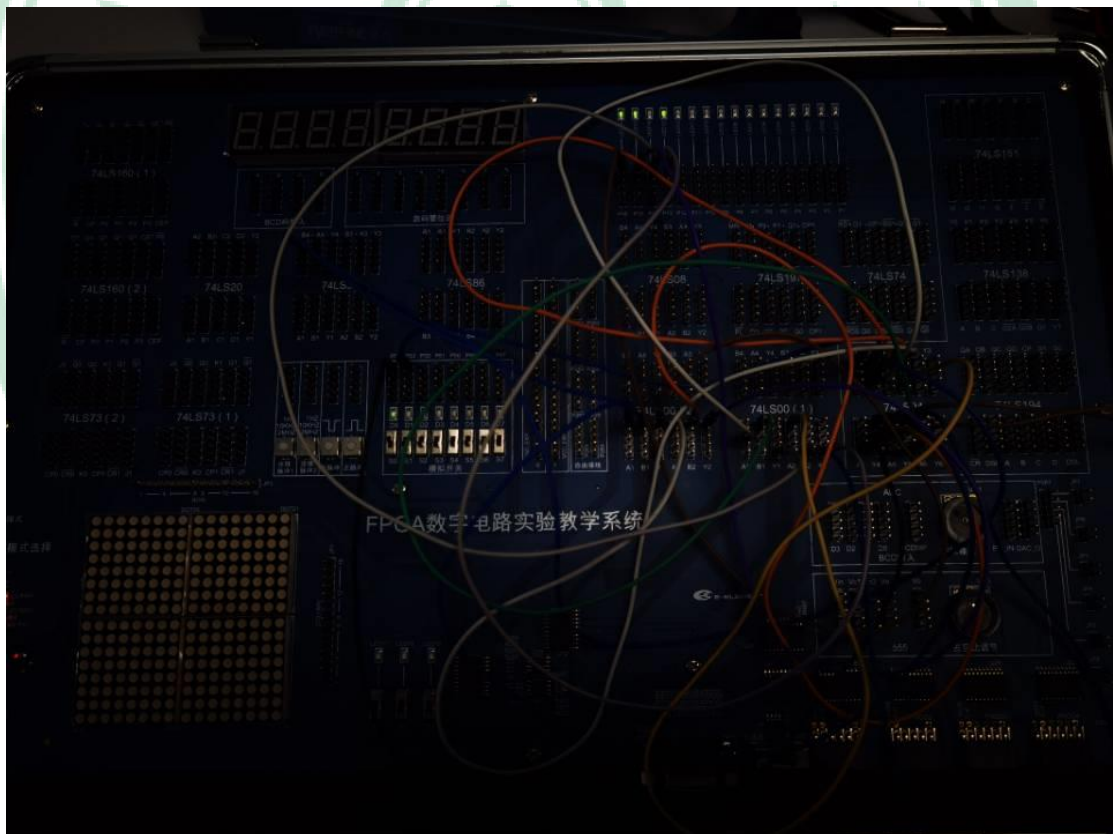
输入为 11 时，输出为 1110;



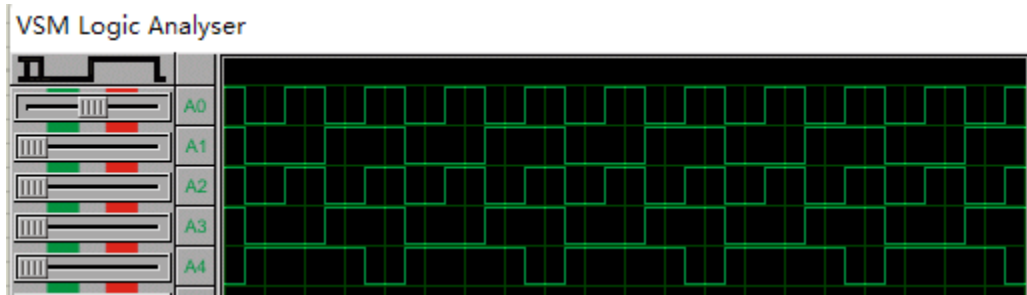
对应的波形图：



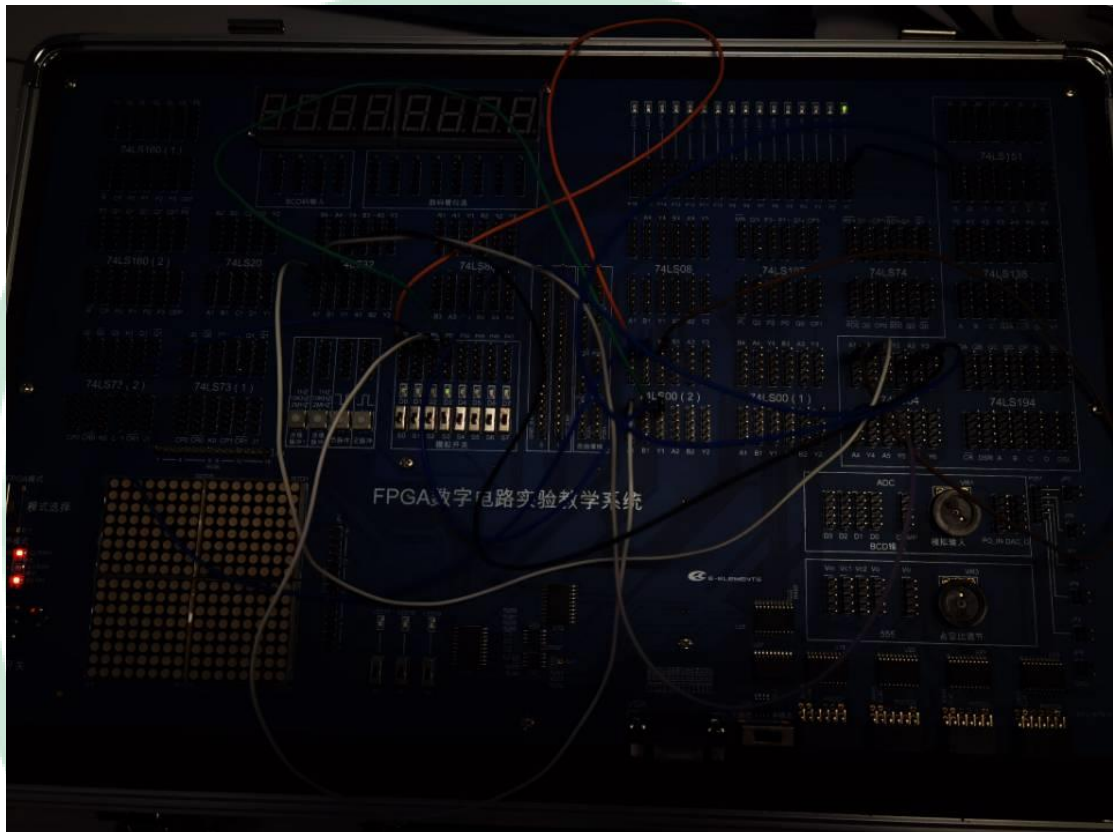
输入为 10 时，输出为 1101；



输入为 01 时，输出为 1011；



同样使用灯光来展现结果，
输入为 0001 时，输出为 1；



输入为 1111 时，输出为 0；

六、实验结论

- 1、新版本的 proteus 与旧版本不一定能兼容，我在实验室的 8.13 版绘制的结果无法在自己电脑上的 8.10 打开；
- 2、仿真时必须设置激励源频率，例如本次实验中使用的 10kHz、5kHz；
- 3、搭建电路时可以使用不同的逻辑门组成实验箱上没有的逻辑门；
- 4、使用示波器观测波形时需要调至数字模型，选择对应的信号源，并且必须接地。

