



院(系): 智能工程学院

学号: 20354027

姓名: 方桂安

日期: 2022.5.24

实验名称: 译码显示电路和数据选择器

1 实验目的:

1.1 Proteus 仿真部分:

1. 使用 74LS153 搭建八选一数据选择器: 静态和动态实验
2. 使用八选一数据选择器实现全减器: 动态实验
3. 使用八选一数据选择器实现 AU(Arithmetic Unit, 算术单元): 动态实验
4. 使用八选一数据选择器实现 LU(Logic Unit, 逻辑单元): 动态实验

选做: 利用 74LS197+74LS138+74LS48+级联数码管的扫描显示电路

1.2 实验箱部分:

1. 完成 74LS151 的静态和动态实验
2. 完成 74LS151+74LS197 搭建全减器, 完成动态实验
3. 使用 74LS151 实现 AU(Arithmetic Unit, 算术单元)动态实验
4. 使用 74LS151 实现 LU(Logic Unit, 逻辑单元)动态实验

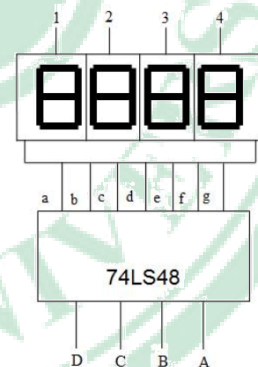
选做: 利用 74LS197+74LS138+级联数码管的显示扫描电路。

2 实验原理:

2.1 数码管显示扫描电路

利用数码管的余辉效应和人眼的视觉暂留效应, 虽然在某一时刻只有一个数码管在显示, 但人眼看到的是多个数码管“同时”被点亮的效果。

对于如下图所示 4 联装七段数码管显示电路, 1、2、3、4 端口接数码管的位选通信号(共阴极数码管, 则低电平有效), 4 位七段数码管 a-g 并联接入 74LS48 的译码输出端口, 则 74LS48 的输入端口需接显示数字的 8421 码。要使数码管不同位显示不同数字, 则需要由选通信号控制多路开关, 先后送出(由高位到低位或由低位到高位)十进制的 8421 码, 并同时选通对应位的数码管, 即显示内容(8421 码)和位选通信号是一一对应的送出。当扫描速度足够快时, 4 位数码管看起来同时显示不同数字。



74LS197 能产生十六进制或八进制计数, 通过接入数码管 8421 码输入端, 从中选出需要显示的数字, 由每一个数字去选择要显示的位置。七段数码管的位选信号可通过将显示内容的 8421 码作为地址码接入 74LS138 地址输入端或通过逻辑门电路实现。

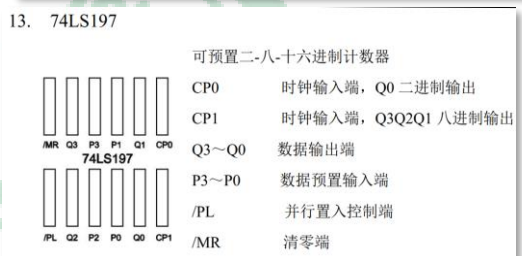
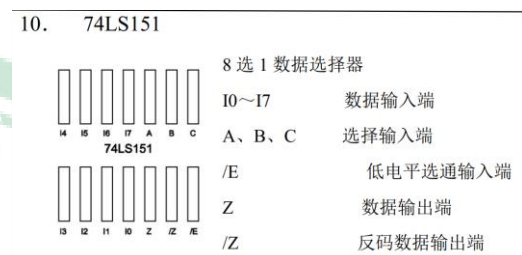
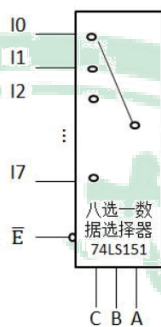
2.2 74LS151/74LS153 搭建八选一数据选择器

2.2.1 74LS151/74LS153(八选一数据选择器)

数据选择器的功能是从一组输入数据中选出某一个信号输出，因此也被称为多路开关。如下图 3-10 所示为八选一数据选择器 74LS151 的逻辑符号，其中 Z 和 \bar{Z} 为 74LS151 的输出端， \bar{Z} 是 Z 的反相输出。 \bar{E} 为 74LS151 的使能端，低电平有效，可用于控制电路工作状态和扩展功能。I0-I7、C、B、A 为 74LS151 的输入引脚，与输出引脚 Z 满足真值表所列八选一数据选择逻辑关系。

表 3-7 74LS151 的真值表

输入			输出
C	B	A	Z
0	0	0	I0
0	0	1	I1
0	1	0	I2
0	1	1	I3
1	0	0	I4
1	0	1	I5
1	1	0	I6
1	1	1	I7



$$Y = (A_2' A_1' A_0') D_0 + (A_2' A_1' A_0) D_1 + (A_2' A_1 A_0') D_2 + (A_2' A_1 A_0) D_3 + (A_2 A_1' A_0') D_4 + (A_2 A_1' A_0) D_5 + (A_2 A_1 A_0') D_6 + (A_2 A_1 A_0) D_7$$

2.2.2 74LS151/74LS153(八选一数据选择器)全减器

2.利用 74LS151 实现组合逻辑电路的设计方法

根据 74LS151 的真值表，当 \bar{E} 接低电平时，74LS151 输出端 Z 的输出表达式如下。

$$Z = \bar{C} \bar{B} \bar{A} I_0 + \bar{C} \bar{B} A I_1 + \bar{C} B \bar{A} I_2 + \bar{C} B A I_3 + C \bar{B} \bar{A} I_4 + C \bar{B} A I_5 + C B \bar{A} I_6 + C B A I_7$$

从上式可知，如果将 C、B、A 作为三个输入变量，同时令 I0-I7 为第四个输入变量的适当状态（包括原变量、反变量、0 和 1），就可以在数据选择器的输出端 Z 产生任何形式的四变量组合逻辑电路。

(1)列出如下表 3-8 所示全减器真值表。A 和 B 为被减数与减数， B_n 为低位向本位的借位，D 为本位差， B_{n-1} 为向高位的借位。

表 3-8 全加器的真值表

输入			输出	
A	B	B_n	D	B_{n-1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

(2)由上述真值表可分别得到全减器输出 D 和 B_{n-1} 关于输入 A、B、 B_n 的最小项之和表达式，并进一步将其化简为四变量与或形式的输出表达式。

$$D = \bar{A}\bar{B}\bar{B}_n \cdot 0 + \bar{A}\bar{B}B_n \cdot 1 + \bar{A}B\bar{B}_n \cdot 1 + \bar{A}BB_n \cdot 0 + A\bar{B}\bar{B}_n \cdot 1 + A\bar{B}B_n \cdot 0 \\ + AB\bar{B}_n \cdot 0 + ABB_n \cdot 1$$

$$B_{n-1} = \bar{A}\bar{B}\bar{B}_n \cdot 0 + \bar{A}\bar{B}B_n \cdot 1 + \bar{A}B\bar{B}_n \cdot 1 + \bar{A}BB_n \cdot 1 + A\bar{B}\bar{B}_n \cdot 0 + A\bar{B}B_n \cdot 0 \\ + AB\bar{B}_n \cdot 0 + ABB_n \cdot 1$$

(3)令 74LS151 的输入 C、B、A 作为全减器的输入 A、B、 B_n ，通过对比 74LS151 的 Z 输出表达式与全减器的 D 输出表达式，可见只需将 I0-I7 中 I0、I3、I5、I6 接低电平，I1、I2、I4、I7 接高电平，即可在 74LS151 的 Z 端实现全减器的输出 D。同理可再使用一片 74LS151 实现全减器的输出 B_{n-1} 。使用 74LS151 实现全减器的逻辑图如下图 3-11 所示。

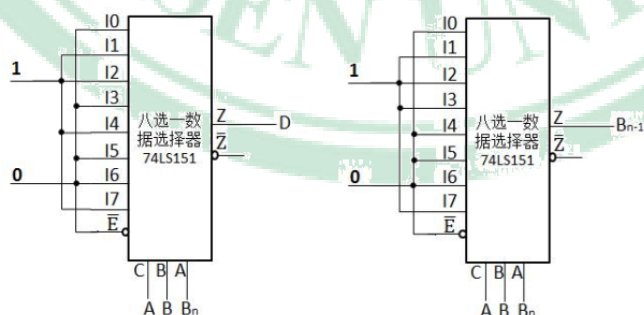


图 3-11 74LS151 实现全减器逻辑图

2.2.3 74LS151/74LS153 实现 AU 设计

S	输入 1	输入 2	输出 Y	进/借位 C _n
0	A	B	A+B	进位
1	A	B	A-B	借位

提示：可分两次连线单独记录和/差结果、进/借位结果。

列出真值表：

输入				输出
S ₁	S ₂	A	B	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

求得表达式为：

$$Y = S'A'B + S'AB' + SA'B + SAB'$$

$$C_n = S'AB + SA'B$$

2.2.4 74LS151/74LS153 实现 LU 设计

输入		输出
S ₁	S ₀	Y
0	0	A · B
0	1	A+B
1	0	A⊕B
1	1	\bar{A}

列出真值表： 通过真值表列出相应的卡诺图：

S1	S0	A	B	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

	AB	00	01	11	10
S1 S0					
00		0	0	1	0
01		0	1	1	1
11		0	1	0	1
10		1	1	0	0

由卡诺图推得：

$$\begin{aligned}
 Y &= S_1' S_0' AB + S_1' S_0' A'B + S_1' S_0 AB' + S_1' S_0 AB \\
 &\quad + S_1 S_0' A'B + S_1 S_0' AB' + S_1 S_0 A'B' + S_1 S_0 A'B \\
 &= S_1' S_0' A' \cdot 0 + S_1' S_0' A \cdot B + S_1' S_0 A' \cdot B + S_1' S_0 A \cdot 1 \\
 &\quad + S_1 S_0' A' \cdot B + S_1 S_0' A \cdot B' + S_1 S_0 A' \cdot 1 + S_1 S_0 A \cdot 0
 \end{aligned}$$

3 实验仪器

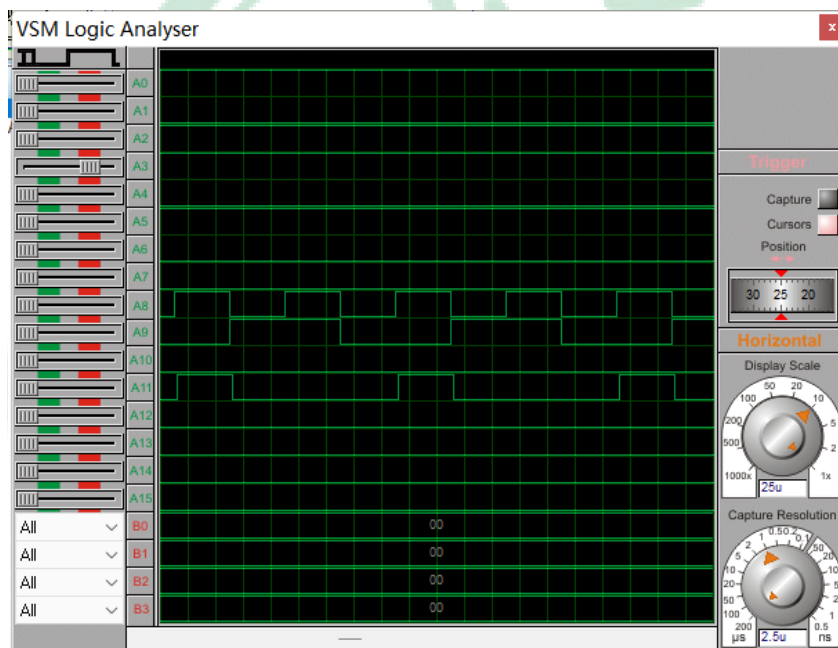
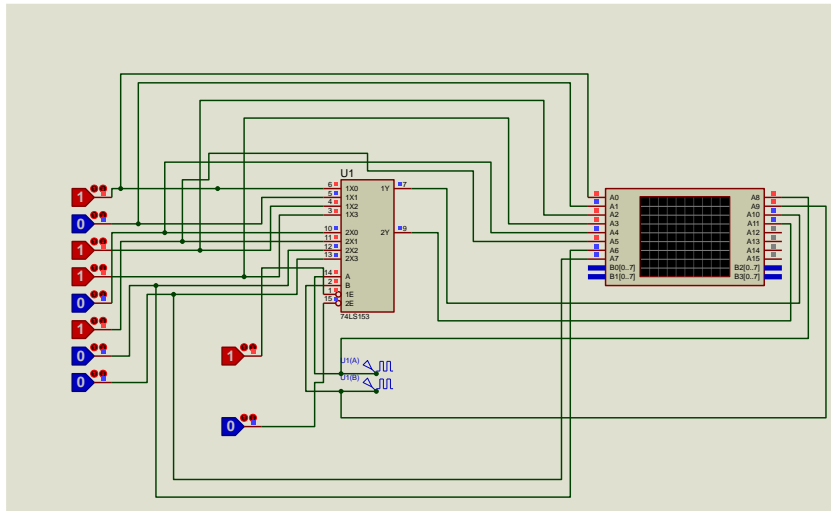
1. 软件 Proteus 8 Professional
2. FPGA 数字电路实验箱 一台
3. SDS5054 数字示波器 一台

4 实验过程：

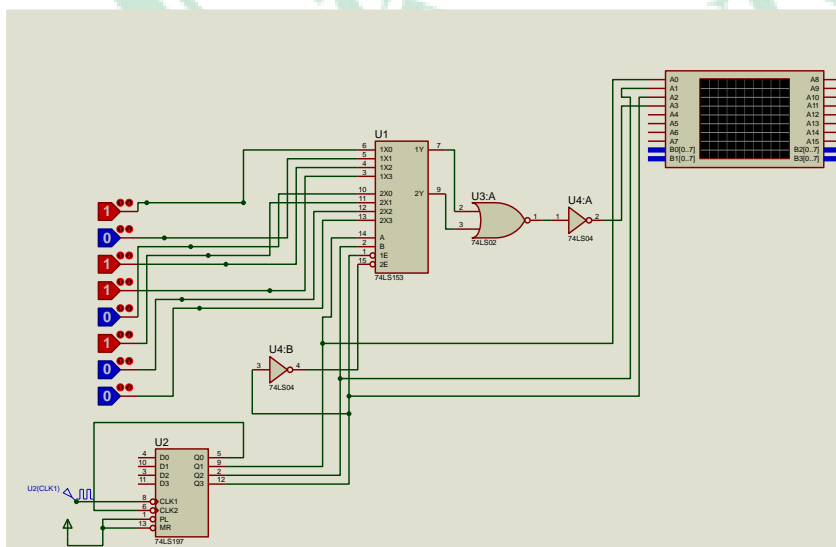
4.1 八选一数据选择器

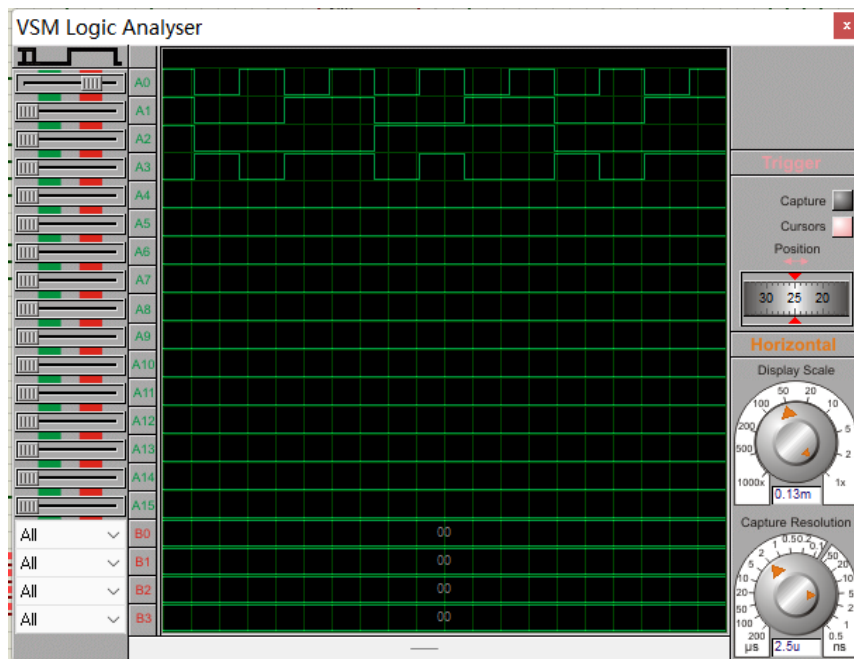
4.1.1 仿真部分

静态测试：



动态测试:

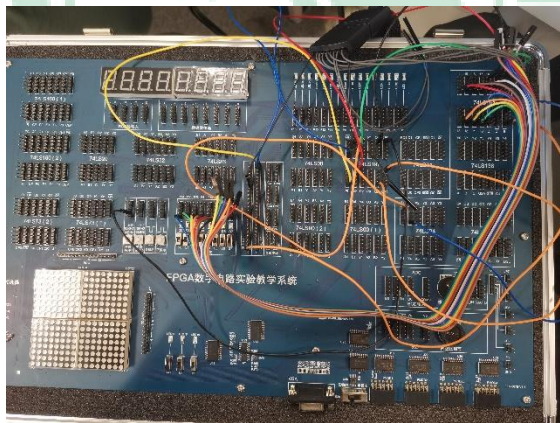




1. 建立 Proteus 新工程：新建工程；更改工程名称和路径；选择模板创建原理图；选择不创建 PCB 布版设计；
2. 按照如图所示连接各个元件，对于八选一数据选择器的 D0-D7 端用高低电平的进行选择，对应于图中左上角的 1 0 1 1 0 0 1 0
3. 使用 74LS197 获得不同频率的输入
3. 点击示波器的 capture，调节示波器的 trigger 旋钮，直到出现大小合适的波形

4.1.2 实验箱部分

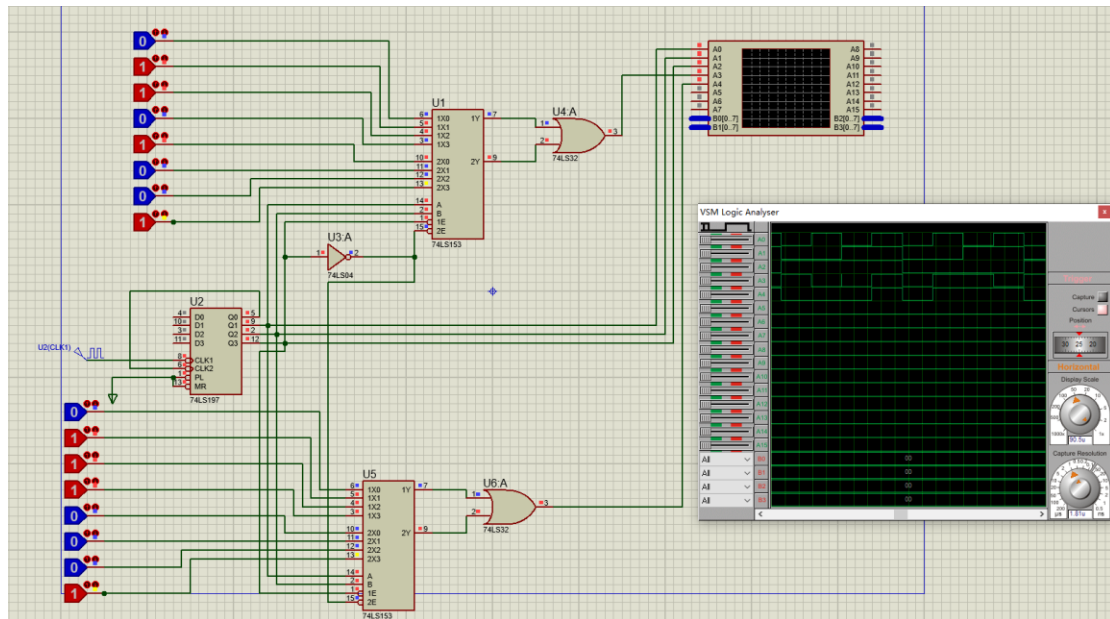
对于实验箱，按如上电路图连接。



4.2 全减器

4.2.1 仿真部分

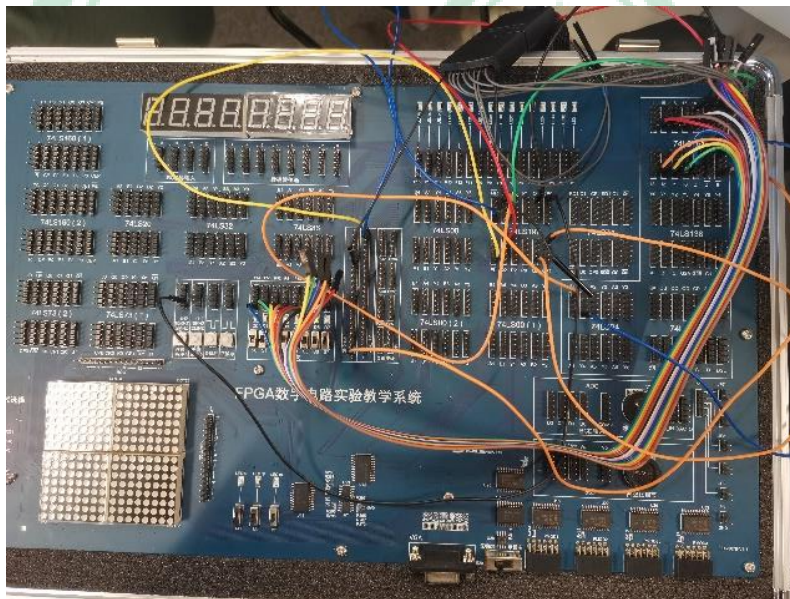
1. 令 74LS151 的输入 C、B、A 作为全减器的输入 A、B、B_n，通过对比 74LS151 的 Z 输出表达式与全减器的 D 输出表达式，可见只需将 I0-I7 中 I0、I3、I5、I6 接低电平，I1、I2、I4、I7 接高电平，即可在 74LS151 的 Z 端实现全减器的输出 D。同理可再使用一片 74LS151 实现全减器的输出 B_{n-1}。
2. 使用 74LS197 得到不同频率的信号作为输入，比较不同输入情况下的输出波形



4.2.2 实验箱部分

对于实验箱，按如上电路图连接。

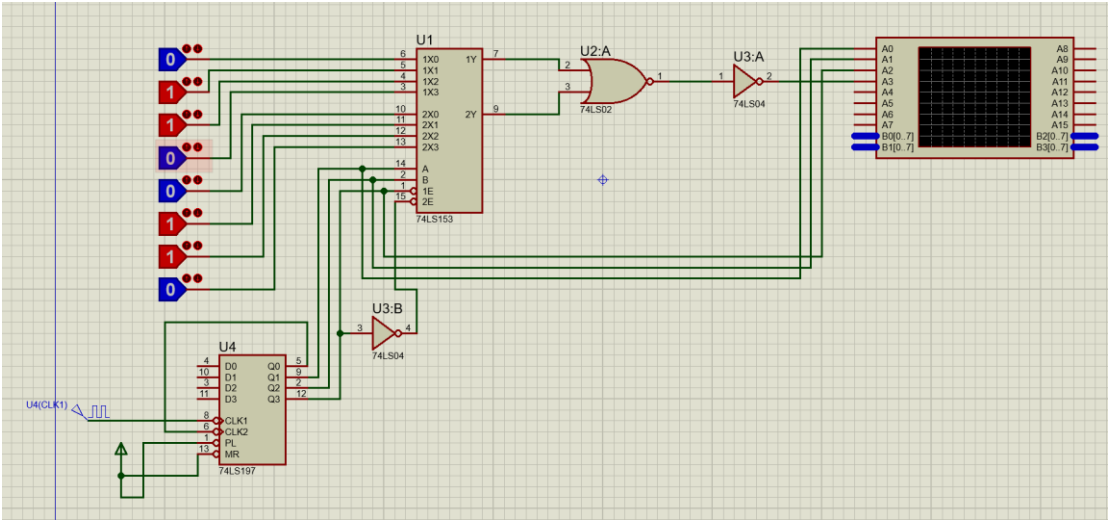
由于实验箱少了一个 74LS153，因此这里分别作关于 B_{n-1} 和 D 的两次实验



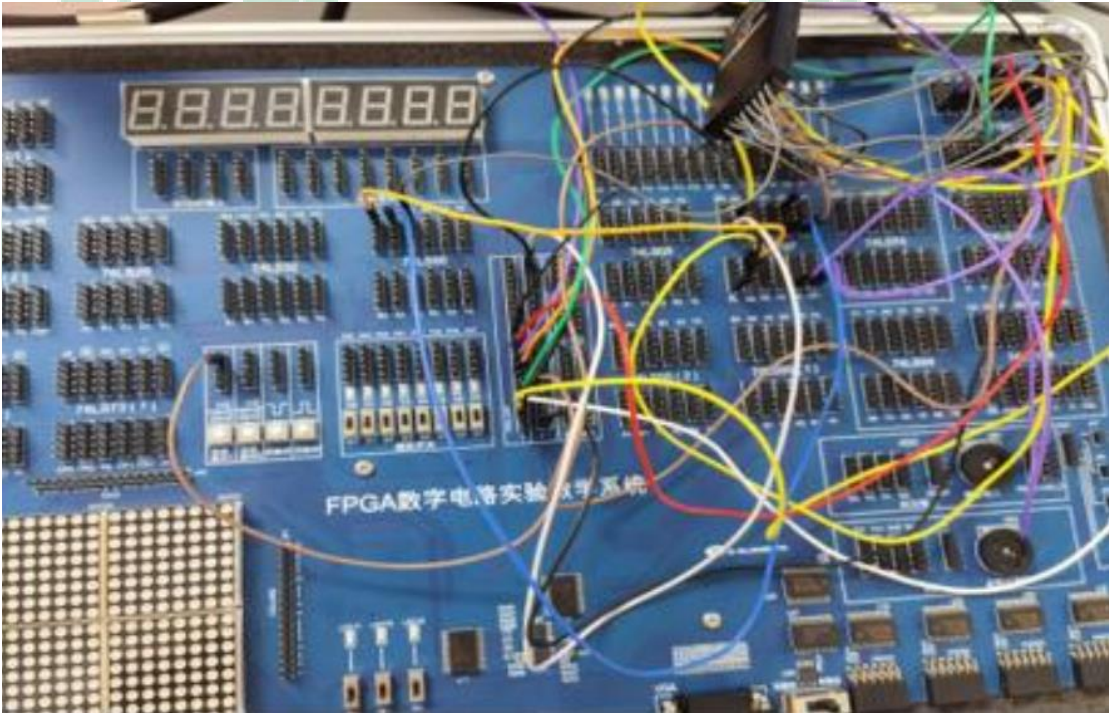
4.3 AU 逻辑单元

4.3.1 仿真部分

在 Proteus 环境下，利用 使用 74LS153（双四选一数据选择器） 搭建的八选一数据选择器（无需添加使能端）实现 AU(Arithmetic Unit， 算术单元)设计， 进行动态实验



4. 3. 2 实验箱部分

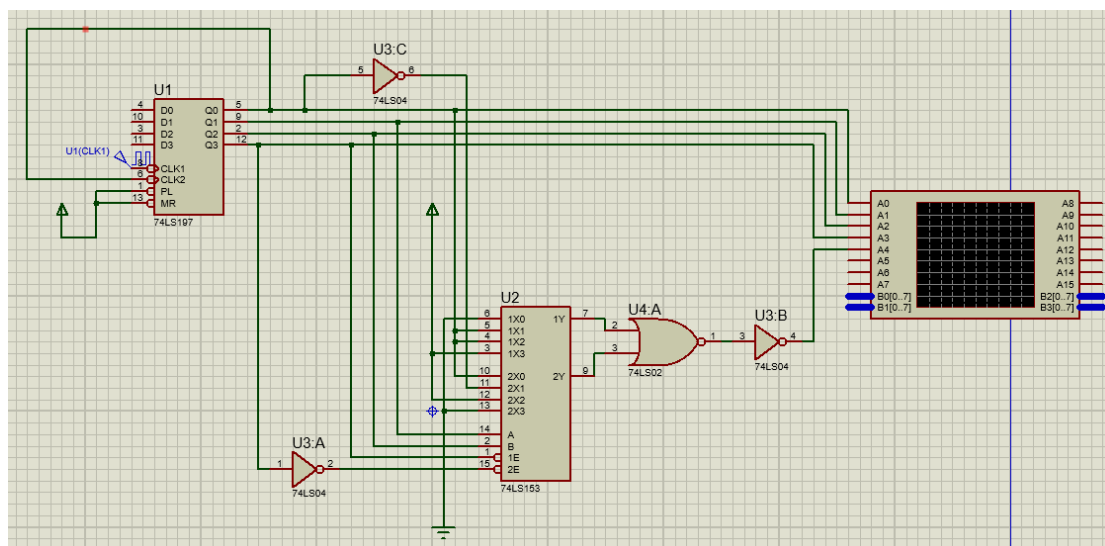


根据仿真部分，按照计算得到的结果，将输入和八选一数据选择器的相应输入口进行连接，并且观察示波器，输入和输出的对应关系是否符合题目要求。

4. 4 LU 逻辑单元

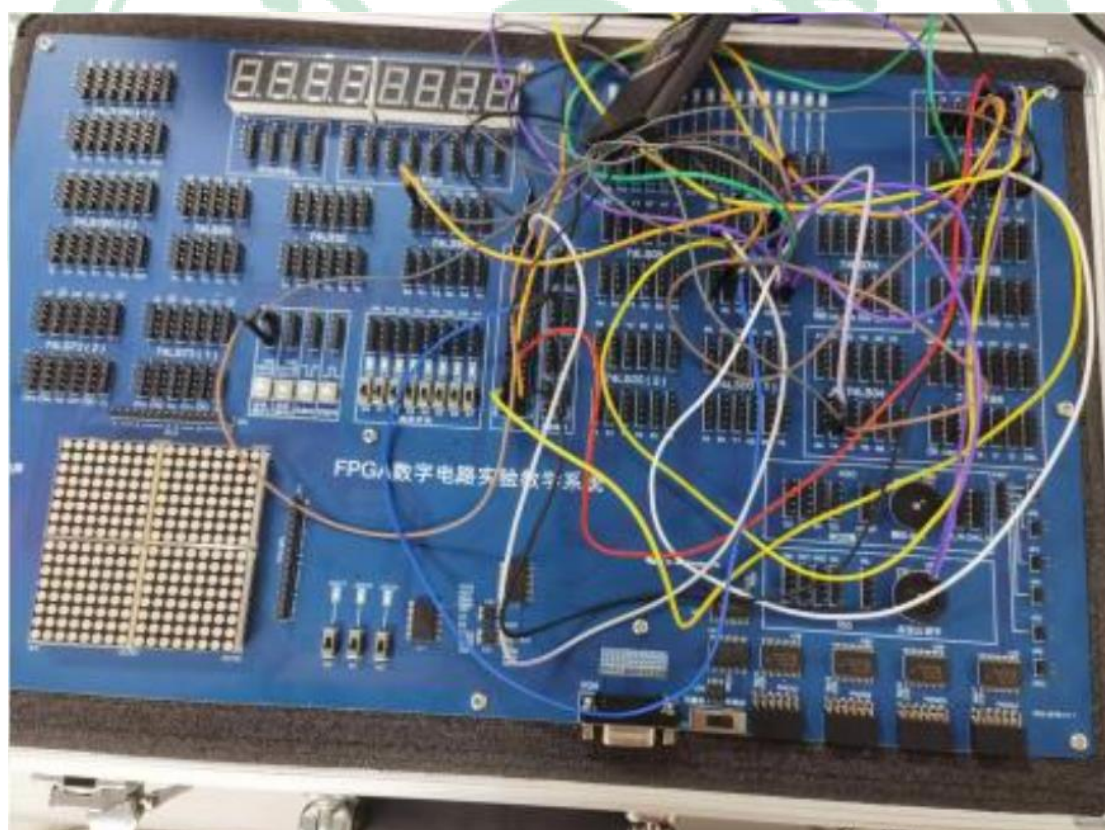
4. 4. 1 仿真部分

在 Proteus 环境下，利用 使用 74LS153（双四选一数据选择器） 搭建的八选一数据选择器（无需添加使能端）在实现 LU(Logical Unit， 逻辑单元)设计， 进行动态实验



4.4.2 实验箱部分

根据仿真部分，按照计算得到的结果，将输入和八选一数据选择器的相应输入口进行连接，并且观察示波器，输入和输出的对应关系是否符合题目要求。

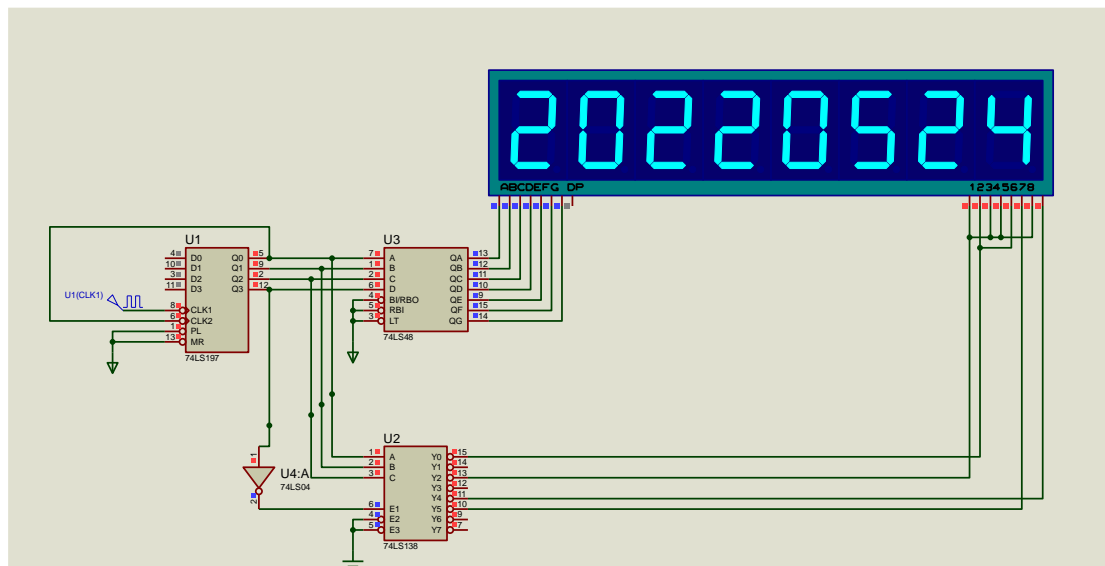


4.5 数码管的扫描显示电路

4.5.1 仿真部分

1. 建立 Proteus 新工程：新建工程；更改工程名称和路径；选择模板创建原理图；选择不创建 PCB 布版设计；
2. 按照如图所示连接各个元件
3. 对于要输出 8 和 9 的情况，由于 74LS157 只能输出 0-7，因此通过组合 1 和 7 形成 8，

对于 9，组合 1 和 8，并且接入需要显示位置的接口。
对于实验箱，按如上电路图连接。



4.5.2 实验箱部分

对于实验箱，按如上电路图连接。

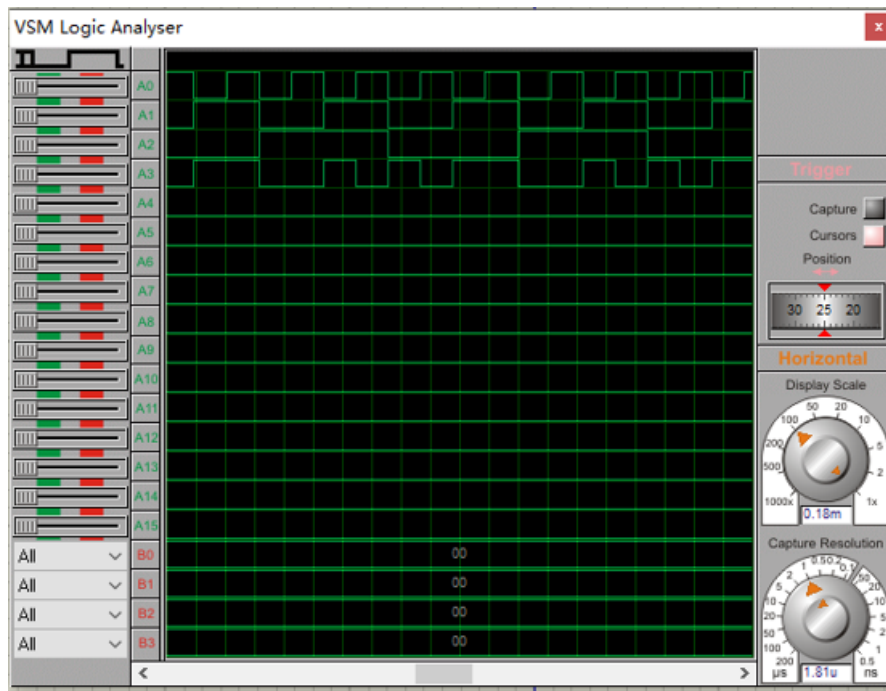


5 实验结果描述与分析:

5.1 八选一数据选择器动态实验

结果如下（仿真部分和实验箱部分波形相同）:

仿真部分:



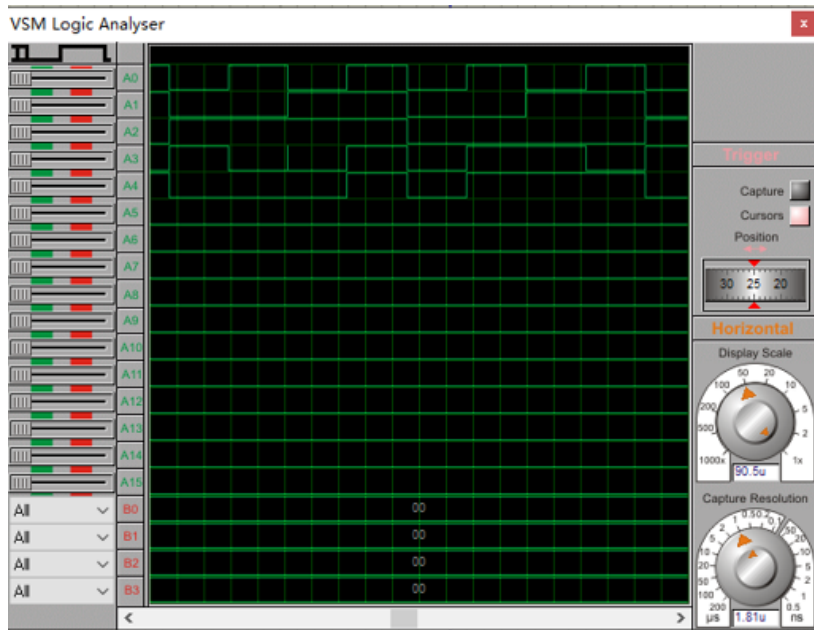
实验箱部分：



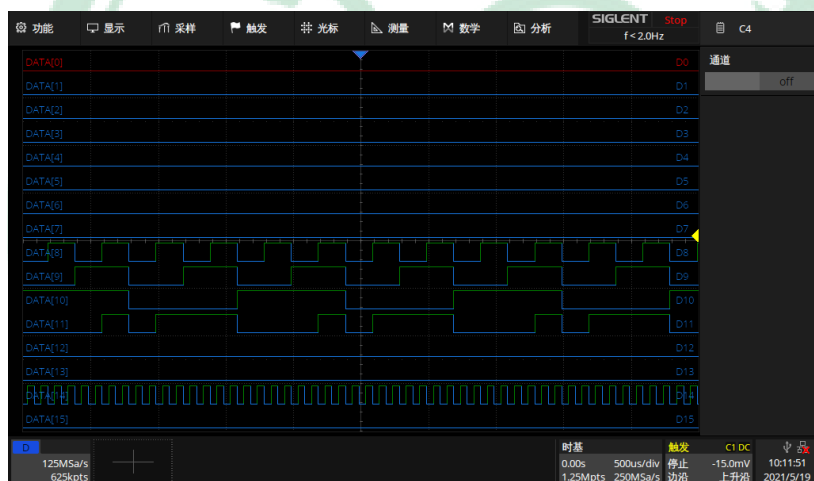
如图：通道 123 为输入端对应于输入的 ABC，图中的高低电平：1 0 1 1 0 0 1 0 对式子进行选择，观察示波器通道 4 的输出结果为 00101011 的高低电平，并且循环输出，该结果与 D0-D7 输入是相同的，符合八选一数据选择器的规则。

5.2 全减器

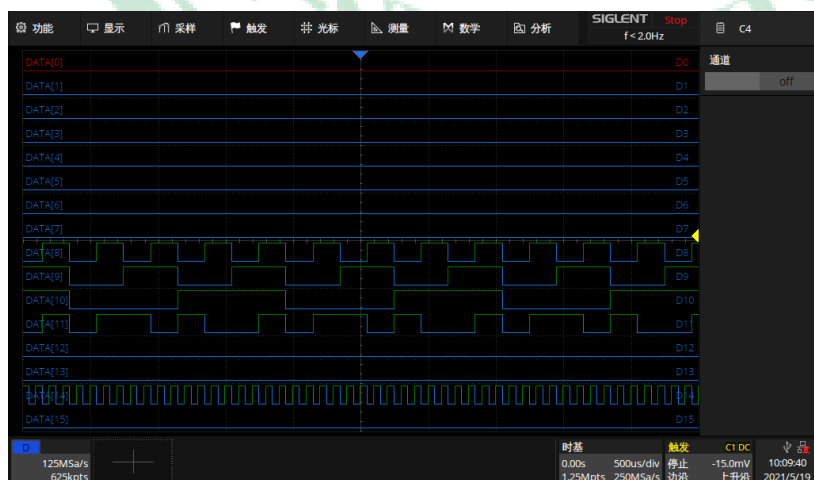
结果如下（仿真部分和实验箱部分波形相同）：



Bn-1



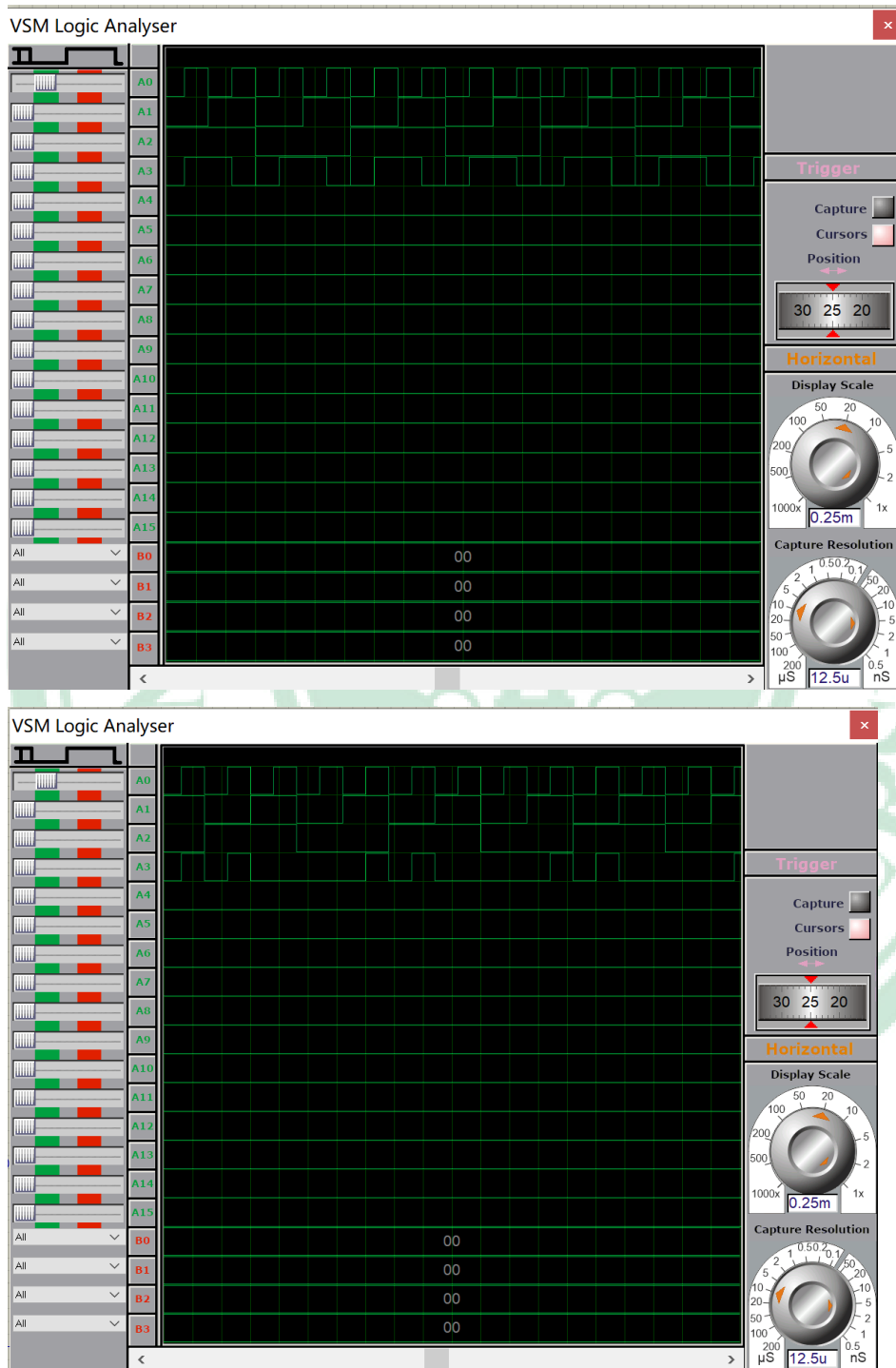
D

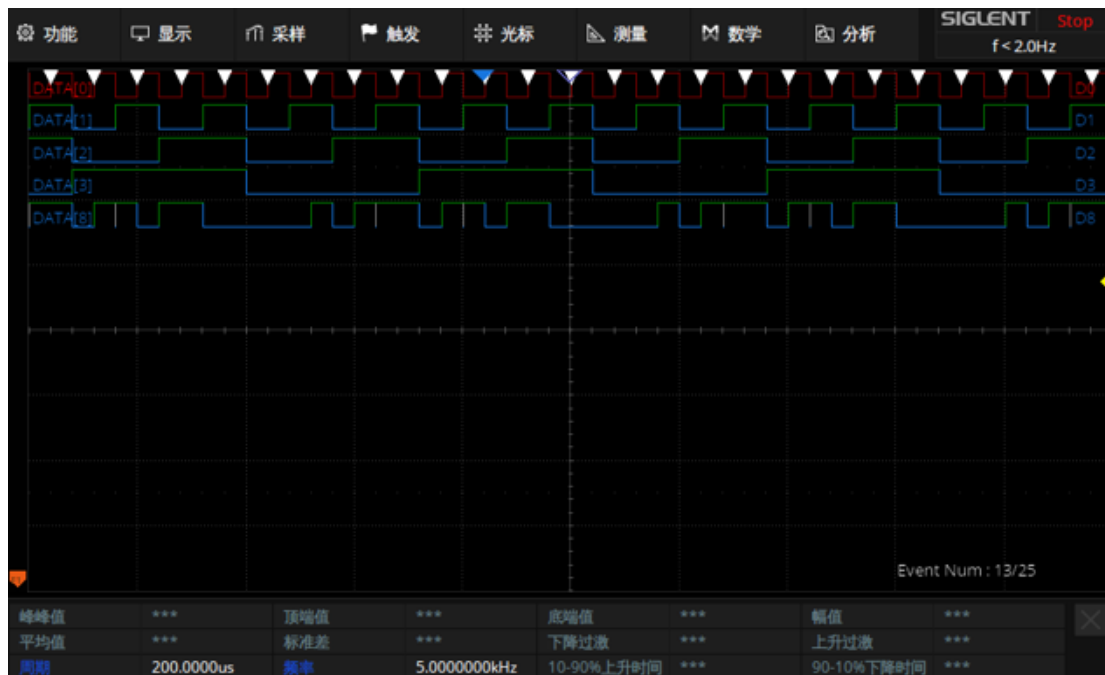


观察示波器，前三个通道为输入 A B Bn-1，后两个通道分别为 D Bn-1，对应 A 和 B 为被减数与减数，Bn-1 为低位想本位的借位，D 为本位差，Bn-1 为向高位的借位。

- (1) 当被减数和减数为 0，借位也为 0 时，输出都为 0
- (2) 当被减数和减数都为 0，但是借位为 1 时，本位为 1，向高位借位 1
- (3) 其余的情况也符合二进制减法的相关规律

5.3 AU 逻辑单元

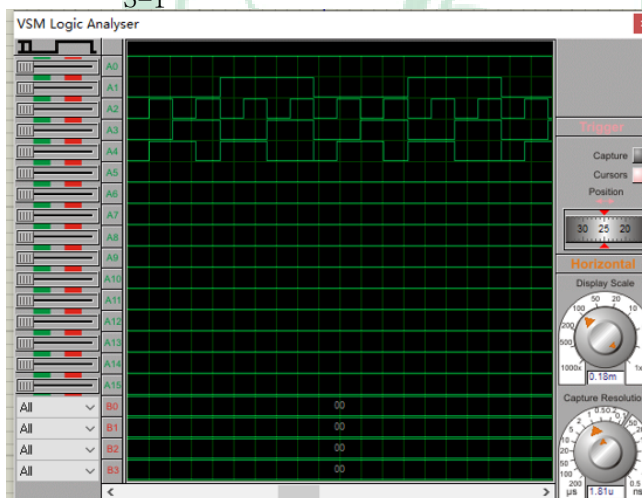




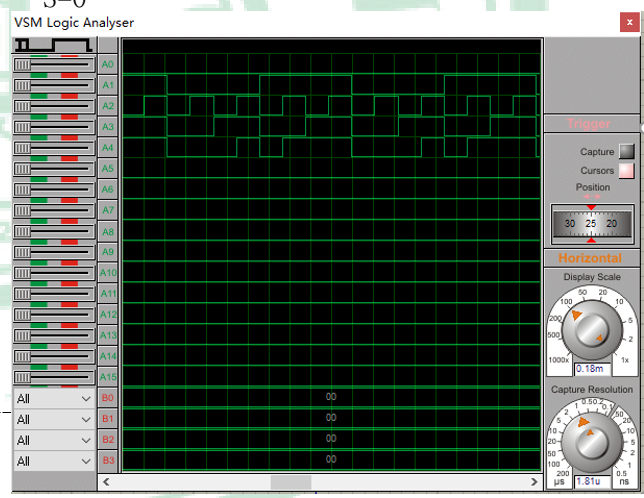
AU 模块实现的是半加半减器。其中 S 决定是半加器还是半减器；A, B 表示两个加数或者被减数和减数。

5.4 LU 逻辑单元

S=1



S=0



1. 当 $S_1=1, S_0=0$: 当 AB 相同的时候输出通道为低电平, 当 AB 不同的时候输出为高电平, 符合 AB 的异或关系
2. 当 $S_1=1, S_0=1$, 当 A 为高电平, 输出低电平, A 为低电平, 输出高电平, 输出与 B 无关, 符合 $Y=A'$ 的关系
3. 当 $S_1=0, S_0=0$: 当 AB 不全为高电平时, 输出为低电平, AB 都为高电平的时候输出为高电平, 符合 AB 的与的关系式
4. 当 $S_1=0, S_2=1$: AB 其中一个位高电平时, 输出高电平其余情况都为低电平, 符合 AB 的或关系式

5.5 数码管扫描显示电路

对照电路图, 发现数码管的 12345678 端对应数码管上的八个显示位置, 哪个位置为低电平, 数码管则在该位置上显示数字。

对于数码管显示的数字则由数码管左侧的 ABCDEFG 七个输入口决定, 实验箱数码管已集成 74LS48, 同时为 BCD 码输入。

6 实验结论:

74LS151 为互补输出的 8 选 1 数据选择器。

选择控制端 (地址端) 为 C~A, 按二进制译码, 从 8 个输入数据 $D_0 \sim D_7$ 中, 选择一个需要的数据送到输出端 Y, G 为使能端, 低电平有效。

(1) 使能端 $G=1$ 时, 不论 C~A 状态如何, 均无输出 ($Y=0, W=1$), 多路开关被禁止。

(2) 使能端 $G=0$ 时, 多路开关正常工作, 根据地址码 C、B、A 的状态选择 $D_0 \sim D_7$ 中某一个通道的数据输送到输出端 Y。

如: $CBA=000$, 则选择 D_0 数据到输出端, 即 $Y=D_0$ 。

如: $CBA=001$, 则选择 D_1 数据到输出端, 即 $Y=D_1$, 其余类推。

输入				输出	
数据选择			选通	Y	W
C	B	A	G		
×	×	×	H	L	H
L	L	L	L	D_0	D_0
L	L	H	L	D_1	D_1
L	H	L	L	D_2	D_2
L	H	H	L	D_3	D_3
H	L	L	L	D_4	D_4
H	L	H	L	D_5	D_5
H	H	L	L	D_6	D_6
H	H	H	L	D_7	D_7