|  |  |  |
| --- | --- | --- |
| 《数字逻辑与数字系统》实验报告 |  | 天津大学本科生实验报告专用纸 |
| 学院 年级 级 班级 班 姓名 学号  课程名称 实验日期 成绩  同组实验者 | **三．实验原理与步骤（注：步骤不用写工具的操作步骤，而是设计步骤）**  1. 写出74LS138和74LS139的行为建模的SystemVerilog HDL代码。  2. 给出基于74LS138和74LS139的5输入多数表决器的设计方案，画出原理图（采用Visio画图）。  3. 写出5输入多数表决器的结构化建模的SystemVerilog HDL代码。  4. 给出基于行为建模的5输入多数表决的SystemVerilog HDL代码。  **四．仿真与实验结果（注：仿真需要给出波形图截图，截图要清晰，如果波形过长，可以分段截取；实验结果为远程FPGA硬件云平台的截图）**  注：远程FPGA硬件云平台截图只需要一个测试激励即可    **教师签字：**  **年 月 日** |
| 实验项目名称   1. **实验目的** 2. **实验内容**   五．实验中遇到的问题和解决办法  六．附加题（若实验指导书无要求，则无需回答）  1. 只采用74LS138译码器和一些基本逻辑门，是否也可以完成5输入多数表决器的设计？如果可以，请画出原理图。 |