

## 实验三 存储系统综合实验

### 一、 实验目的

- 熟悉 Logisim 软件平台；
- 熟悉 ROM、RAM 存储器的使用；
- 掌握存储器字扩展，位扩展的基本原理；
- 为 MIPS CPU 设计功能部件---寄存器文件；
- 进一步熟悉流水传输控制基本远离；

### 二、 实验环境

Logisim 是一款数字电路模拟的教育软件，每一位用户都可以通过它来学习如何创建逻辑电路，方便简单。它是一款基于 Java 的应用程序，可运行在任何支持 JAVA 环境的平台，方便学生来学习设计和模仿数字逻辑电路。Logisim 中的主要组成部分之一就在于设计并以图示来显示 CPU。当然 Logisim 中还有其他多种组合分析模型来对你进行帮助，如转换电路，表达式，布尔型和真值表等等。同时还可以重新利用小规模电路来作为大型电路的一部分。

<http://www.cburch.com/logisim/docs.html>

### 三、 实验内容

#### 1、存储扩展实验（3 选 1）

**实验目的：**掌握存储扩展基本原理。

**实验内容：**设计字库文件，利用指定规格存储器进行存储器字扩展。

**实验要求：**现有如下 ROM 部件，4 个 4K\*32 位 ROM，7 个 16K\*32 位 ROM，请构建 GB2312 16\*16 点阵字库存储器电路，电路输入为汉字区号和位号，由于 16\*16 点阵的字模码需要 256 位点阵信息才能显示一个汉字，所以电路输出为 8\*32 位（256 位点阵信息），实验电路输入输出引脚如下图：

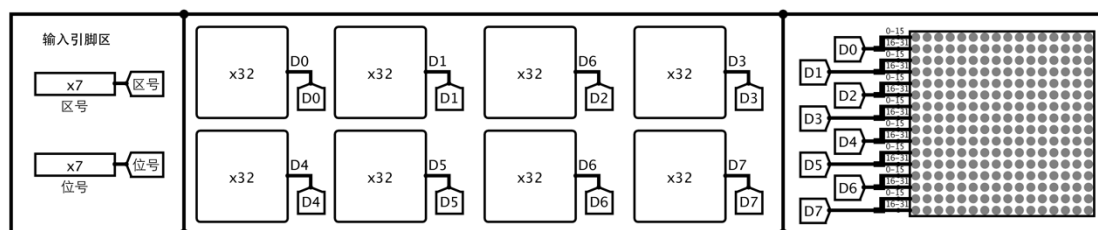


图 1 16\*16 点阵字库电路输入输出引脚

本实验的主要目的是进行存储器字扩展（容量扩展，地址总线扩展），故实验工程文件中已经提供了一个参考实现，完成实验所需的点阵信息均可以通过该电路直接导出后载入，也可直接复制拷贝，区位码转存储器地址的电路也可一并参考使用。

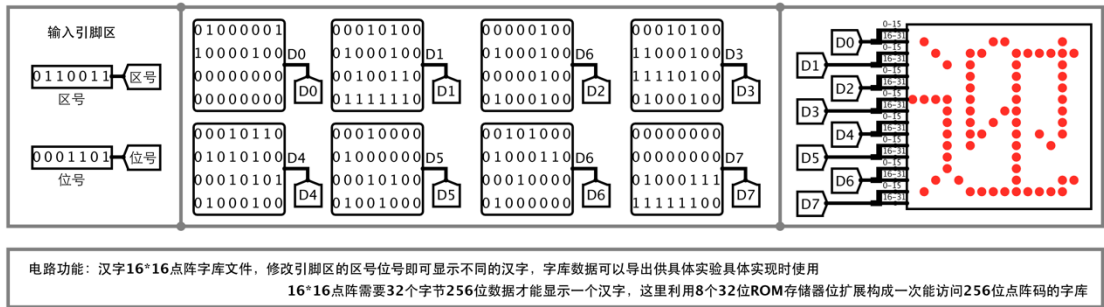


图 2 6\*16 点阵字库参考实现

### 功能测试:

设计实现待测字库后，可以在如下字库测试电路进行功能测试，测试时按下 ctrl+T(command+T MAC)键启动时钟自动仿真即可，通过对比上下两个显示区显示内容是否一致即可验证字库功能正确性。

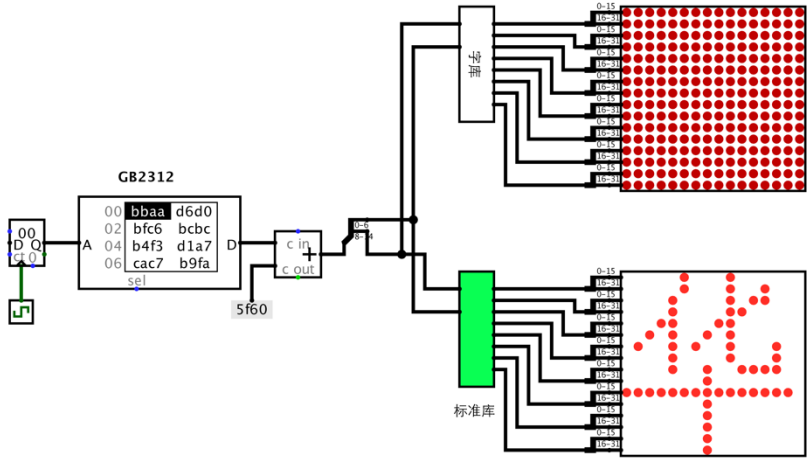


图 3 16\*16 点阵字库功能测试电路

## 2、海明编码流水传输功能扩展（3 选 1）

**实验目的：**掌握 RAM 部件基本使用方法，进一步熟悉流水传输控制机制。

**实验内容：**在数据表示实验工程文件 data.circ 中新增子电路，复制流水传输测试子电路，改造该电路中流水线传输第五阶段---显示阶段的功能，使得该阶段能将发送方发送过来的数据按原始地址顺序存放在一个 RAM 存储器中（RAM 地址线，数据线位宽与发送端 ROM 存储器一致）中，为保证存储顺序，需要改造流水接口，增加传输地址的逻辑。另需要考虑 RAM 部件何时写入数据，写入控制信号如何控制，时序信号如何连接。

## 3、MIPS RAM 设计（3 选 1）

**实验目的：**熟练掌握存储扩展基本原理，进一步熟悉片选机制。

**实验内容：**计算机中主存储器通常即能按照字节访问也能按照半字访问，还能按照字进行访问，如 MIPS 指令中的 LB/SB 指令（Load/Store byte）、LH/SH 指令（Load/Store Half）、LW/SW 指令（Load/Store Word）。X86 指令中 mov eax/ax/ah,[200]，而 logisim 中 RAM 存储器只能按照一种模式访问，为此本实验要求设计完成既能按照 8 位，也能按 16 位，也能按 32 位进行读写访问的 32 位存储器，最终存储器规格如下：

- 字节地址 12 位（字访问时，忽略低两位，半字访问，忽略最低位，倒数第二位片选，字节访问时，低两位进行片选）
- 数据线宽度 32 位
- 访问 Mode 位： 2 位： 00 表示字访问， 01 表示 1 字节访问， 10 表示 2 字节访问
- WE： 写使能， 1 表示写入， 0 表示读出
- Din： 32 位， 写入数据 （不同访问模式有效数据均存放在最低位，高位忽略）
- Dout： 32 位， 读出数据 （不同访问模式有效数据均存放在最低位，高位补零）

实验电路输入输出引脚如下图所示：

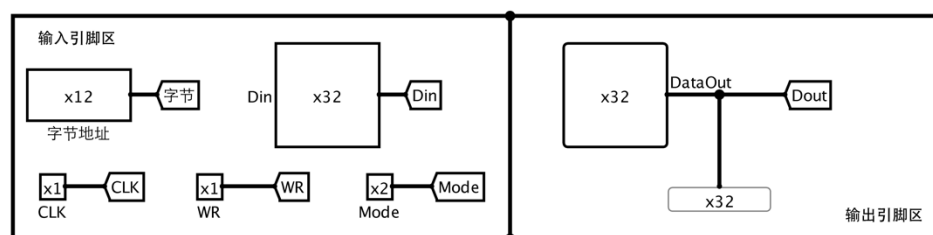


图 4 MIPS RAM 输入输出引脚

**功能测试：**设计完成后在 MIPS RAM 测试电路开启时钟自动仿真（Ctrl+t），测试电路自动完成对待测部件的写入和读出，并将写入的数据逐一读出计算校验和，如果校验和和提示一样，说明电路功能正确。



注意零号寄存器值应该恒零！

实验电路输入输出引脚如下图：

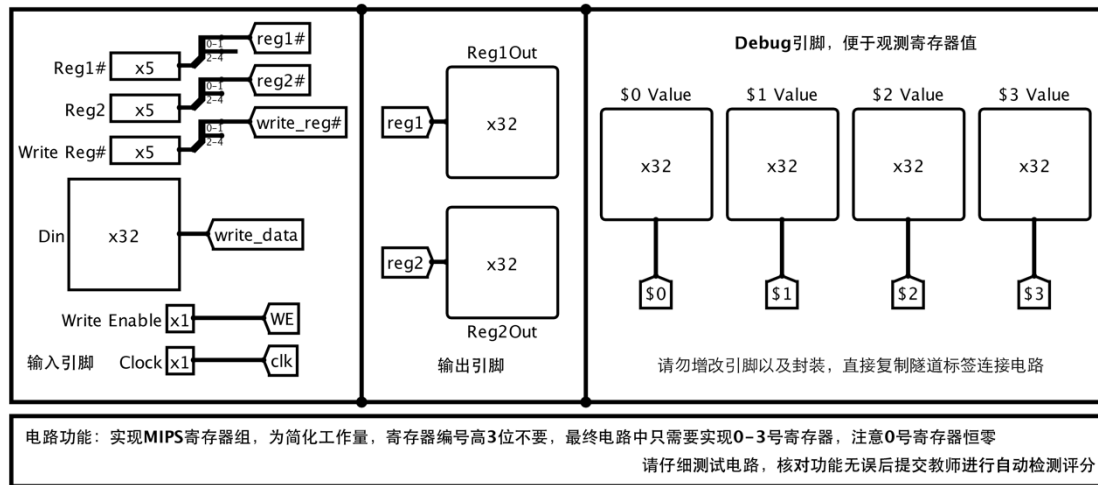


图 6 MIPS Regfile 输入输出引脚

- 2) 为减少实验中画图工作量，实验工程文件中对 5 位寄存器地址进行了简化，具体见引脚示意图，最终只需实现 4 个寄存器，0 号寄存器功能仍然是恒零。后续实验中如需要使用 32 个寄存器的 MIPS 寄存器文件组，将提供标准组件。
- 3) 注意时钟信号和电平信号不要混连，时钟仅仅触发状态改变。

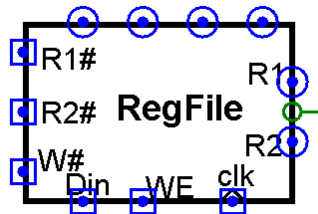


图 7. MIPS Regfile 封装形式

## 1、实验准备

- 1) 熟悉 logisim 中存储模块，运算模块，寄存器模块的使用。
- 2) 设计实验电路，画出各模块的图，注意各引脚的标注，节省实验的时间。

## 四、 结果提交

请将完成后的 storage.circ 文件按以下命名规范命名后作为实验结果提交给班级知道教师当场检查并归档。

### ◆ 专业命名规范

信安 IS 物联网 IT 计算机 CS 卓越班 ZY ACM 班 ACM

### ◆ 文件命名规范

CS1201\_U201214795\_姓名\_storage.circ

CS1201\_U201214795\_姓名\_storage-1.circ

每人两次免扣分机会提交教师检查，第三次后开始每次扣 5 分，取最高成绩为最终成绩，请珍惜测试机会，自行测试完备后再提交！成绩确定后如电路还有问题，还可提交老师进行测试，但不记录成绩！

## 五、 实验报告要求

- 1) 实验目的；
- 2) 各模块的设计电路和系统的整体电路,对设计要进行详细的分析与说明；
- 3) 实验结果的记录与分析；
- 5) 列出操作步骤及顺序,标出重要的开关控制端；
- 6) 实验收获和体会；
- 7) 实验中碰到的问题和解决的方法。

**注：**本文档有些的不全面、不完整，希望同学们修正。