

**数字逻辑实验报告（2）**

**同组成员：**

|  |  |  |  |
| --- | --- | --- | --- |
| **姓名** | **班级** | **学号** | **贡献百分比** |
| **胡思勖** | **计卓1501** | **U201514898** | **50%** |
| **邓一夫** | **计卓1501** | **U201514629** | **50%** |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **实验部分：实验完成结果、时间**  **（亮点、完成、基本完成、未完成）** | | | | **总分**  **（实验部分70% +报告30%）** |
|  | **第一个实验** | **第二个实验** | **第三个实验** |  |
| **检查结果** |  |  |  |
| **检查名次** |  |  |  |
| **检查老师** |  |  |  |

**报告人 ：**

**实验指导教师：**

**报告批阅教师：**

**计算机科学与技术学院**

**2017 年5月15日**

一、实验名称

同步时序逻辑电路的设计。

二、实验目的

要求同学用传统电路的设计方法，通过3个同步时序逻辑电路实验，并利用工具软件，例如，“logisim”软件的仿真来检查电路设计，然后在“数字逻辑实验箱”上操作、记录实验结果，最后验证设计是否达到要求。

通过以上设计、仿真、验证3个训练过程使同学们掌握传统同步时序逻辑电路的设计、仿真、调试的方法以及设计方法对实验结果记录的影响。

三、实验所用组件

1. 上升沿双D触发器组件2片，型号为74LS74；

2. 下降沿双JK触发器组件2片，型号为74LS73；

3. 二输入四与非门组件 2片，型号为74LS00；

4. 二输入四或非门组件 1片，型号为74LS02；

5. 三输入三与非门组件 1片，型号为74LS10；

6. 二输入四异或门组件 1件，型号为74LS86；

7. 六门反向器组件 2片，型号为74LS04。

四、实验内容（在DICE-SEM数字逻辑实验箱上完成）

1、可重叠 “1001”序列检测器的设计（Mealy型）（必选）

序列检测器

X

CP

Z

图2-1 “1001”序列检测器

2、可重叠“1001”序列检测器的设计（Moore型）（必选）

利用所给组件按Moore型同步时序逻辑电路的设计方法设计一个可重叠“1001”序列检测器，其框图如图2-2所示。

序列检测器

X

CP

Z

图2-2 “1001”序列检测器

3、初值为2的同步模4可逆计数器的实现（可选）

利用所给组件，设计一个初值为2的同步模4可逆计数器，其框图如图2-3所示。图中，X为控制变量，当X＝0时进行加1计数，X=1时进行减1计数，RD 、SD分别为计数器的直接“置数”端（可用来设置初值），CP为计数脉冲， y2、y1为计数状态；Z为进位或借位输出信号。

## Z

可逆计数器

X

CP

y2

y1

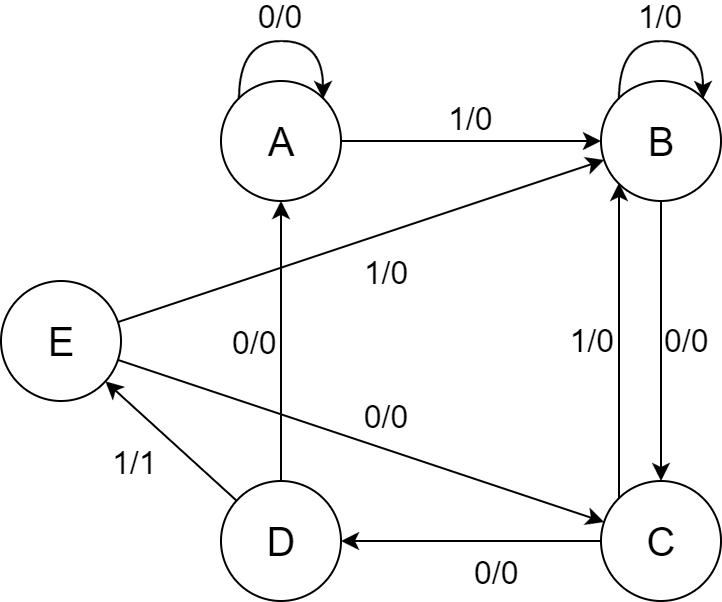
RD SD

图2-3 初值为2的模4可逆计数器

五、实验方案设计

1、可重叠“1001”序列检测器的设计（Mealy型）的设计方案

**（A）做出原始状态图和状态表**



|  |  |  |
| --- | --- | --- |
| 现态 | 次态/输出 | |
|  |  |
| A | A/0 | B/0 |
| B | C/0 | B/0 |
| C | D/0 | B/0 |
| D | A/0 | E/1 |
| E | C/0 | B/0 |

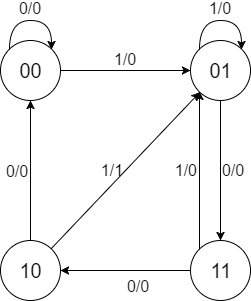
**（B）最小化状态表以及二进制状态表**

|  |  |
| --- | --- |
| **B** | AC |
| **C** | AD | CD |
| **D** | × | × | × |  |
| **E** | AC | √ | CD | × |
|  | **A** | **B** | **C** | **D** |

分别使用00，01，11，10来表示A、B、C、D四种状态：

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | 现态 | | 次态 | | 激励函数 | | 输出 |
|  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 |

简化后的状态图为:



**（C）激励函数和输出函数（如果存在无用状态要进行讨论）**

:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | 00 | 01 | 11 | 10 |
| 0  1 | |  |  |  |  |
| 1 | 1 |  |  |

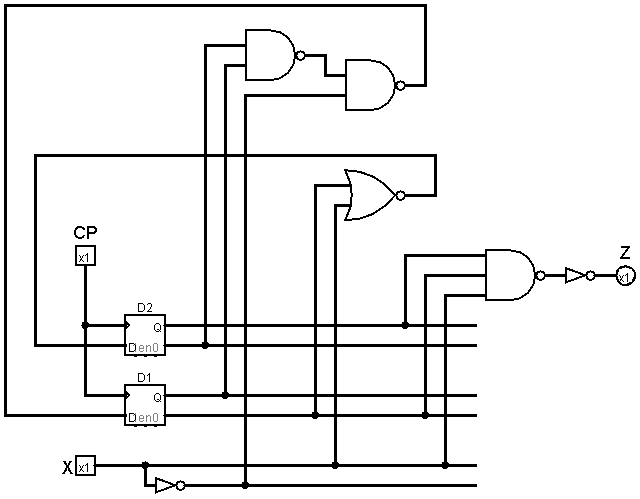
:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | 00 | 01 | 11 | 10 |
| 0  1 | |  |  | 1 | 1 |
| 1 |  | 1 | 1 |

直接由真值表可以看出：

结合上三式可得(由于缺乏与门，使用与非门与非门的结合代替)：

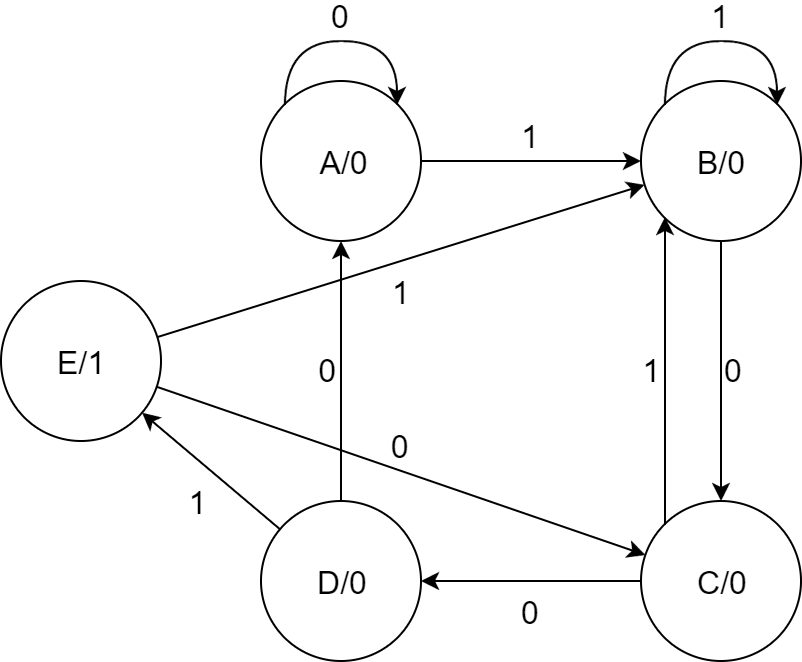
**（D）给出“logisim”软件绘制的电路图（经过仿真验证基本正确）**

****

**图2-4 可重叠“1001”序列检测器（Mealy型）**

2、可重叠“1001”序列检测器的设计（Moore型）的设计方案

**（A）做出原始状态图和状态表**



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 现态 | 次态 | | 输出 | |
|  |  |  |  |
| A | A | B | 0 | 0 |
| B | C | B | 0 | 0 |
| C | D | B | 0 | 0 |
| D | A | E | 0 | 0 |
| E | C | B | 0 | 1 |

**（B）最小化状态表以及二进制状态表**

|  |  |
| --- | --- |
| **B** | AC |
| **C** | AD | CD |
| **D** | × | × | × |  |
| **E** | × | × | × | × |
|  | **A** | **B** | **C** | **D** |

于是最简状态与原始状态相同

分别使用000，001，011，010，110来表示A、B、C、D、E四种状态并使用

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | 现态 | | | 次态 | | | 激励函数 | | | 输出 |
|  |  |  |  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | d | d | d | d | d | d | d |
| 0 | 1 | 0 | 1 | d | d | d | d | d | d | d |
| 0 | 1 | 0 | 0 | d | d | d | d | d | d | d |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | d | d | d | d | d | d | d |
| 1 | 1 | 0 | 1 | d | d | d | d | d | d | d |
| 1 | 1 | 0 | 0 | d | d | d | d | d | d | d |

**（C）激励函数和输出函数（如果存在无用状态要进行讨论）**

:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | 00 | 01 | 11 | 10 |
| 00 | | 0 | d | d | 0 |
| 01 | | 0 | d | d | 0 |
| 11 | | 0 | 0 | 0 | 0 |
| 10 | | 0 | d | d | 1 |

:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | 00 | 01 | 11 | 10 |
| 00 | | 0 | d | d | 0 |
| 01 | | 1 | d | d | 0 |
| 11 | | 1 | 1 | 0 | 0 |
| 10 | | 0 | d | d | 1 |

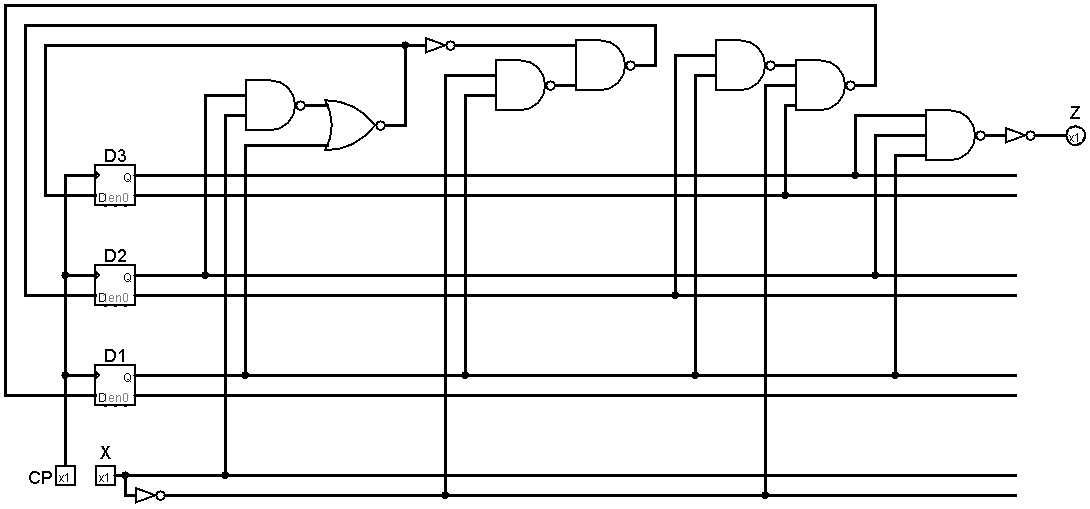
:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | 00 | 01 | 11 | 10 |
| 00 | | 0 | d | d | 1 |
| 01 | | 1 | d | d | 1 |
| 11 | | 0 | 1 | 1 | 1 |
| 10 | | 0 | d | d | 1 |

直接由真值表可以看出：

综合上四式可得：

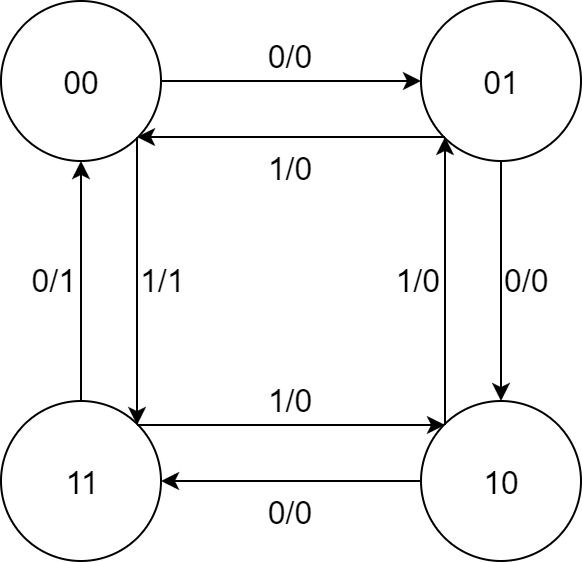
**（D）给出“logisim”软件绘制的电路图（经过仿真验证基本正确）**



**图2-5 可重叠“1001”序列检测器（Moore型）**

3、初值为2的同步模4可逆计数器的设计方案

**（A）做出原始状态图和状态表**



|  |  |  |  |
| --- | --- | --- | --- |
| 现态 | | 次态/输出 | |
|  |  |
| 0 | 0 | 01/0 | 11/1 |
| 0 | 1 | 10/0 | 00/0 |
| 1 | 0 | 11/0 | 01/0 |
| 0 | 1 | 00/1 | 10/0 |

**（B）最小化状态表以及二进制状态表**

由于原始状态图和状态表已经为最简，且依照题意已经为二进制表示，因此无需再对其进行化简以及二进制化。

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | 现态 | | 次态 | | 激励函数 | | 输出 |
|  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |

**（C）激励函数和输出函数**

:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | 00 | 01 | 11 | 10 |
| 0  1 | |  | 1 |  | 1 |
| 1 |  | 1 |  |

:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | 00 | 01 | 11 | 10 |
| 0  1 | | 1 | 1 | 1 | 1 |
|  |  |  |  |

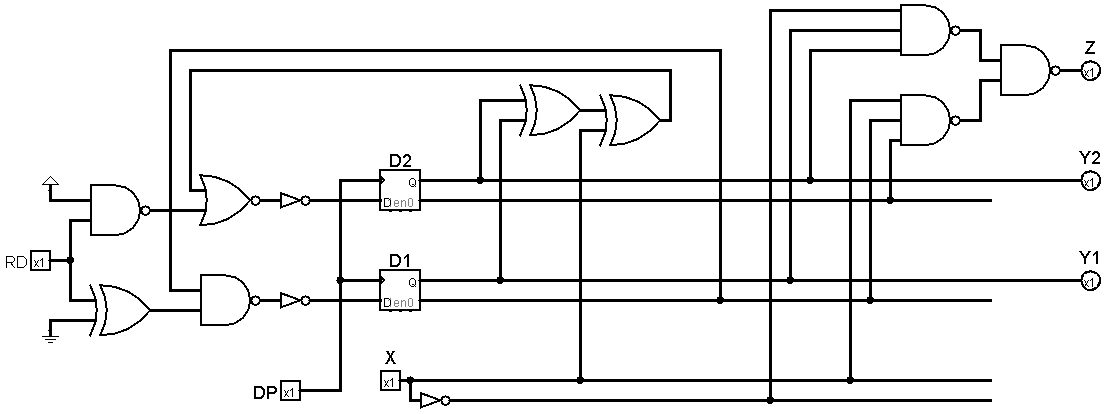
:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | 00 | 01 | 11 | 10 |
| 0  1 | |  |  |  | 1 |
|  | 1 |  |  |

综合上四式可得：

**（D）给出“logisim”软件绘制的电路图（经过仿真验证基本正确）**

在C的基础上加上RD重置部分可得：

****

**图2-6 同步模4可逆计数器**

六、实验结果记录

1. **根据可重叠“1001”序列检测器的设计（Mealy型）的实验结果完成下列波形，参见图2-7所示。**

**状态**

**Y2**

**Y1**

**Y0**

**输出**

**CP 1 2 3 4 5 6 7 8 9**

****

**X**

**图2-7可重叠“1001”序列检测器的波形（Mealy型）**

**该记录结果与你预习时在“logisim”的仿真一致吗？**

1. **根据可重叠“1001”序列检测器的设计（Moore型）的结果完成下列波形，参见图2-8所示。**

**状态**

**Y2**

**Y1**

**Y0**

**输出**

**CP 1 2 3 4 5 6 7 8 9**

****

**X**

**图2-8可重叠“1001”序列检测器的波形（Moore型）**

**该记录结果与你预习时在“logisim”的仿真一致吗？**

1. **初值为2的同步模4可逆计数器的结果记录，参见表2-1所示。**

**表2-1 初值为2的同步模4可逆计数器**

|  |  |  |
| --- | --- | --- |
| **现态** | **次态/输出（X＝0加1）** | **次态/输出（X=1减1）** |
| **Y2Y1** | **Y2n+1Y1 n+1/Z** | **Y2n+1Y1 n+1/Z** |
| 00 |  |  |
| 01 |  |  |
| 10 |  |  |
| 11 |  |  |

**该记录结果与你预习时在“logisim”的仿真一致吗？**

七、实验结果分析

八、思考题

**1．同步时序电路与组合电路有何区别？**

首先，组合电路没有时序问题,不需要时钟信号；而时序电路必须有时钟信号才能工作。

时序电路具有记忆功能。时序电路的输出不仅取决于当时的输入值，而且还与电路过去的状态有关。

而组合逻辑电路在逻辑功能上的特点是任意时刻的输出仅仅取决于该时刻的输入，与电路原来的状态无关

**2．在本次实验1、2的记录过程中，可以看到Mealy、Moore型电路设计方法对其的影响，请给出你认为哪些种类的电路更适合Mealy型、Moore型电路设计方法。**

根据Mealy型电路和Moore型电路的特点，当输出只与当前状态有关时，应该使用Moore型，当输出与输入有关时，应该使用Mealy型的设计方法。此外，如果两种设计方法均可行，则应该使用较为简单的，使用元器件（主要是寄存器）较少的一种设计方法。对于实验1、2的比较，显然使用Mealy型状态较少，较为简便，因此对于1001序列检测器而言应该使用Mealy型的设计方案。

**3．实验3你认为应该采用Mealy型还是Moore型设计，为什么？**

我认为实验3应该使用Mealy型的设计方法，因为使用Mealy型的电路可以有效的将电路的状态数减至最小。对于电路的构建（激励函数的构建等）较为方便。

九、心得体会、意见与建议

通过这次实验，我对于同步时序逻辑电路有了更为深刻，更为直观的认识，从任务一和任务二的对比中，我更是直接的感受到了Mealy和Moore型逻辑电路的异同，印证了我

同时，在进行实验时我发现将两个人组成一小组的形式很好，增强了大家的互动性。无论是在课后还是课上，小组成员都可以交流自己的想法与简洁，互相发现问题，解决问题，在遇到不懂的地方共同努力，齐心协力，共同进步。