

**数字逻辑实验报告（1）**

**团队成员：**

|  |  |  |  |
| --- | --- | --- | --- |
| **姓名** | **班级** | **学号** | **贡献百分比** |
| **胡思勖** | **计卓1501** | **U201514898** | **50%** |
| **邓一夫** | **计卓1501** | **U201514629** | **50%** |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **实验部分：实验完成结果、时间**  **（亮点、完成、基本完成、未完成）** | | | | **总分**  **（实验部分70% +报告30%）** |
|  | **第一个实验** | **第二个实验** | **第三个实验** |  |
| **检查结果** |  |  |  |
| **检查名次** |  |  |  |
| **检查老师** |  |  |  |

**报告人 ： 胡思勖**

**实验指导教师： 管涛**

**报告批阅教师：**

**计算机科学与技术学院**

**2017年4月10日**

一、实验名称

组合逻辑电路的设计。

二、实验目的

要求同学用传统电路的设计方法，通过3个组合逻辑电路实验，并利用工具软件，例如，“logisim”软件的仿真来检查电路设计，然后在“数字逻辑实验箱”上操作、记录实验结果，最后验证设计是否达到要求。

通过以上设计、仿真、验证3个训练过程使同学们掌握传统组合电路的设计、仿真、调试的方法。

三、实验所用组件

l． 二输入四“与非”门组件 2片，型号为74LS00；

2. 单输入6非门组件1片，型号为74LS04；

3． 二输入四与门组件1片，型号为74LS08；

4. 三输入三与非门组件1片，型号为74LS10；

5． 二输入四“异或”门组件 1片，型号为74LS86；

6. 六总线驱动器，三态输出（非反相数据输出）组件1片，型号为74LS244。

四、实验内容（在DICE-SEM数字逻辑实验箱上完成）

1、一位全加/全减法器的实现（必选）

设计一个全加全减法器，电路有四个输入M、A、B、和Cin，两个输出S和Co。要求如下：

（1）M=0时，电路实现加法运算。输入端A、B、和Cin分别为被加数、加数和来自低位的进位，输出S和Co为本位和和向高位的进位；

（2）M=1时，电路实现减法运算。输入端A、B、和Cin分别为被减数、减数和来自低位的借位，输出S和Co为本位差和向高位的借位。

2、舍入与奇偶检测电路的设计（必选）

设计一个舍入与奇偶检测电路，该电路输入为8421码，输出为F1和F2。要求如下：

F1为四舍五入的输出信号，F2为奇偶检测输出信号。当电路检测到输入的代码大于或等于(5)10时，输出F1=1，否则F1=0；当输入代码中的1的个数为奇数时，输出F2=1，否则F2=0。

3、四路选择器的实现（可选）

设计一个四路选择器（含有三态输出），电路有7个输入端：A1，A0，，D0，D1，D2，D3，一个输出端Y。要求如下：

为使能控制端，A1，A0为数据选择控制端，D0，D1，D2，D3为数据输入端。

当时，电路不工作，输出为高阻状态；

当时，电路工作，输出Y由A1，A0决定，即：

当A1A0=00时，Y= D0；

当A1A0=01时，Y= D1；

当A1A0=10时，Y= D2；

当A1A0=11时，Y= D3。

五、实验方案设计

1、一位全加/全减法器的设计方案

**（A）建立给定问题的逻辑描述**

本实验要求实现以M为控制加减的全加全减器，其真值表如下：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A | B | Cin | M | S | Cout |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 |

**（B）求出逻辑函数的最简表达式**

对于全加器（M=0）：

对于全减器（M=1）：

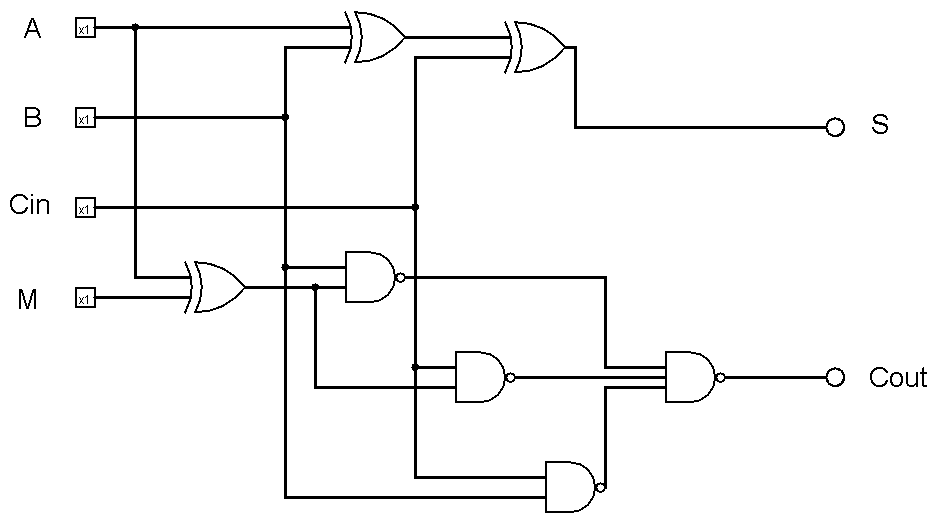
整合两式可以得到：

可以看出，加法器和减法器可以共用一个S输出，而与M无关，而对于Cout则需要M的参与。

**（C）选择实验给定的逻辑门进行逻辑函数的变换**

**根据B中的式子，总共需要3个两输入异或门，3个两输入与非门与1个三输入与非门，所给的元器件完全足够，因此不需要进行逻辑变换，可以直接根据式子构建逻辑电路。**

**（D）给出“logisim”软件绘制的电路图（经过仿真验证基本正确）**

****

**图1-1 一位全加/全减法器**

**2、舍入与奇偶检测电路的设计方案**

**（A）建立给定问题的逻辑描述**

需要实现一个同时检测8421码四舍五入和输入中1的个数的电路，其中F1为四舍五入的结果，F2为输入中的1的个数的奇偶，其真值表如下

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A | B | C | D | F1 | F2 |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | d | 0 |
| 1 | 0 | 1 | 1 | d | 1 |
| 1 | 1 | 0 | 0 | d | 0 |
| 1 | 1 | 0 | 1 | d | 1 |
| 1 | 1 | 1 | 0 | d | 1 |
| 1 | 1 | 1 | 1 | d | 0 |

**（B）求出逻辑函数的最简表达式**

**对于F1 ：**

经过观察可得，当A+B=1时仅有{B=1，C=0，D=0}这一种情况输出为0，排除之即可。当A+B=0时输出恒为0。因此：

**对于F2 ：**

由于与奇偶有关，因此直接使用异或：

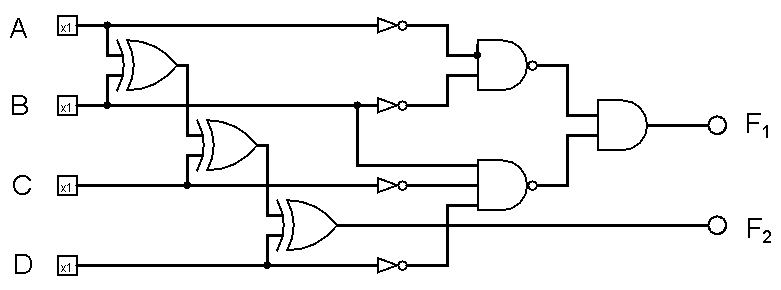
**最终可以得出：**

**（C）选择实验给定的逻辑门进行逻辑函数的变换**

由于没有提供或门，因此需要将或门变为非门与与非门表示，经过变换后的式子如下：

经过这样的变换后，需要四个非门，一个两输入与非门，一个三输入与非门，一个两输入与门和三个异或门实现电路，所提供的实验材料足够进行。

**（D）给出“logisim”软件绘制的电路图（经过仿真验证基本正确）**

****

**图1-2 舍入与奇偶检测电路**

3、四路选择器（含有三态输出）的设计方案

**（A）建立给定问题的逻辑描述**

通过A0和A1进行选择，并通过OE来控制总体是否输出，其真值表如下

|  |  |  |  |
| --- | --- | --- | --- |
| A1 | A0 | OE | Y |
| 0 | 0 | 0 | D0 |
| 0 | 1 | 0 | D1 |
| 1 | 0 | 0 | D2 |
| 1 | 1 | 0 | D3 |
| 0 | 0 | 1 | d |
| 0 | 1 | 1 | d |
| 1 | 0 | 1 | d |
| 1 | 1 | 1 | d |

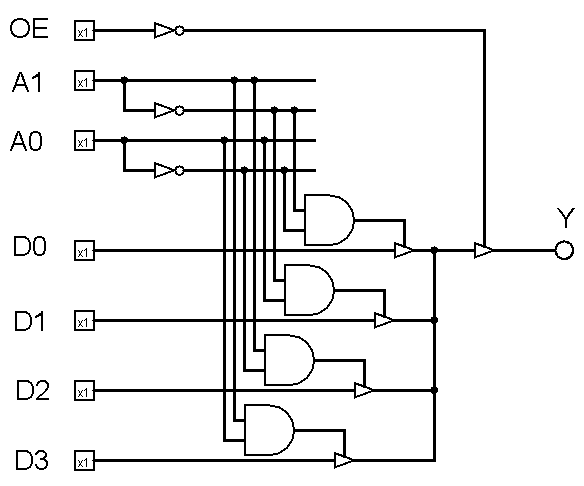
**（B）求出逻辑函数的最简表达式**

通过A0A1进行选择，因此可以轻易化为最简与或表达式与相与的形式：

**（C）选择实验给定的逻辑门进行逻辑函数的变换**

虽然实验器材没有给出足够的与门，但是与之间的相与和与整个与或表达式之间的相与可以通过总线驱动器进行，因此不需要对表达式进行化简。

**（D）给出“logisim”软件绘制的电路图（经过仿真验证基本正确）**

****

**图1-3四路选择器（含三态）**

六、实验结果记录

1. **一位全加/全减法器的结果记录，参见表1-1所示。**

**表1-1 一位全加/全减法器**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | **输出** | | | |
| **A** | **B** | **Cin** | **加法（M=0）** | | **减法（M=1）** | |
| **S** | **Co** | **S** | **Co** |
| 0 | 0 | 0 |  |  |  |  |
| 0 | 0 | 1 |  |  |  |  |
| 0 | 1 | 0 |  |  |  |  |
| 0 | 1 | 1 |  |  |  |  |
| 1 | 0 | 0 |  |  |  |  |
| 1 | 0 | 1 |  |  |  |  |
| 1 | 1 | 0 |  |  |  |  |
| 1 | 1 | 1 |  |  |  |  |

1. **舍入与奇偶检测电路的结果记录，参见表1-2所示。**

**表1-2 舍入与奇偶检测电路**

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **B8** | **B4** | **B2** | **B1** | **F2** | **F1** |  | **B8** | **B4** | **B2** | **B1** | **F2** | **F1** |
| 0 | 0 | 0 | 0 |  |  | 1 | 0 | 0 | 0 |  |  |
| 0 | 0 | 0 | 1 |  |  | 1 | 0 | 0 | 1 |  |  |
| 0 | 0 | 1 | 0 |  |  | 1 | 0 | 1 | 0 |  |  |
| 0 | 0 | 1 | 1 |  |  | 1 | 0 | 1 | 1 |  |  |
| 0 | 1 | 0 | 0 |  |  | 1 | 1 | 0 | 0 |  |  |
| 0 | 1 | 0 | 1 |  |  | 1 | 1 | 0 | 1 |  |  |
| 0 | 1 | 1 | 0 |  |  | 1 | 1 | 1 | 0 |  |  |
| 0 | 1 | 1 | 1 |  |  | 1 | 1 | 1 | 1 |  |  |

1. **四路选择器的结果记录，参见表1-3所示。**

**表1-3 四路选择器**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **使能** | **选择输入** | | **数据输入** | | | | **输出** |
| OE | A1 | A0 | D0 | D1 | D2 | D3 | Y |
| **1** | **d** | **d** | **d** | **d** | **d** | **d** |  |
| 0 | 0 | 0 | 0 | d | d | d |  |
| 0 | 0 | 0 | 1 | d | d | d |  |
| 0 | 0 | 1 | d | 0 | d | d |  |
| 0 | 0 | 1 | d | 1 | d | d |  |
| 0 | 1 | 0 | d | d | 0 | d |  |
| 0 | 1 | 0 | d | d | 1 | d |  |
| 0 | 1 | 1 | d | d | d | 0 |  |
| 0 | 1 | 1 | d | d | d | 1 |  |

七、实验结果分析

八、思考题

1．化简包含无关条件的逻辑函数时应注意什么？

2．谈谈在实验过程中使用“logisim”的感受。

3．你所设计的电路是否达到最简？为什么？

九、心得体会、意见与建议