

## 7

## PODSTAWOWE UKŁADY LOGICZNE

## 7.1. ZARYS ANALIZY I SYNTEZY UKŁADÓW LOGICZNYCH

Działanie *układów logicznych* (cyfrowych) można sprowadzić do kilku podstawowych funkcji logicznych (przełączających) opartych na *algebrze Boole'a*. Funkcje te są realizowane przez układy logiczne zwane bramkami lub funktorami. W tym rozdziale przedstawiono podstawowe układy logiczne binarne, realizowane najczęściej w postaci układów scalonych o małej i średniej skali integracji. Rozważania obejmują tylko *układy kombinacyjne*, tj. takie, których stany na wyjściach zależą tylko od stanów logicznych na wejściach, nie zależą natomiast od stanów poprzednich. Właściwości układu kombinacyjnego można opisać przy pomocy tzw. *tablicy wartości*, w której każdej kombinacji stanów wejściowych są przyporządkowane odpowiednie stany wyjściowe, bądź też można zapisać analitycznie za pomocą logicznych funkcji Boole'a.

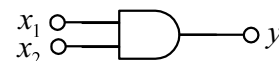
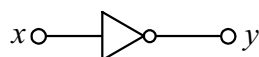
Dowolnie złożoną funkcję logiczną można zrealizować w oparciu o trzy podstawowe funkcje boolowskie:

$$\left. \begin{array}{ll} \text{negacje (NOT):} & y = \bar{x} \\ \text{sume (OR):} & y = x_1 + x_2 \\ \text{iloczyn (AND):} & y = x_1 x_2 \end{array} \right\} \quad (7.1)$$

W tablicy 7.1 podano wartości tych funkcji.

Tablica 7.1. Tablice wartości podstawowych funkcji boolowskich

NOT			OR					AND				
$x$	0	1	$x_1 x_2$	00	01	10	11	$x_1 x_2$	00	01	10	11
$y$	1	0	$y$	0	1	1	1	$y$	0	0	0	1



Jeżeli znamy tablicę wartości funkcji logicznej, to możemy ją zapisać analitycznie za pomocą funkcji boolowskich w postaci jednej z dwóch *form kanonicznych*.

Tworzenie obu form kanonicznych wyjaśnimy na prostym przykładzie funkcji opisanej tablicą wartości 7.2.

Tablica 7.2.

$x_1$	0	0	0	0	1	1	1	1
$x_2$	0	0	1	1	0	0	1	1
$x_3$	0	1	0	1	0	1	0	1
$y$	0	1	1	1	0	0	0	1

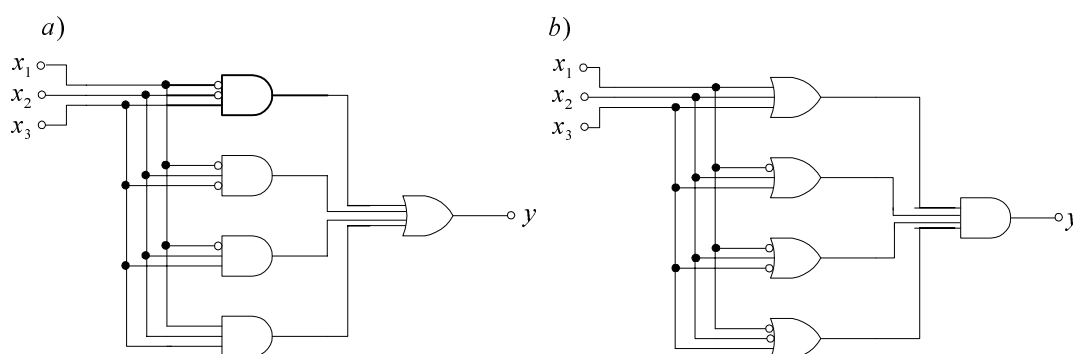
Pierwsza postać kanoniczna jest sumą tzw. *pełnych iloczynów* (ang. *minterm*), przy czym iloczyny te tworzy się z kombinacji zmiennych wejściowych, dla których funkcja wyjściowa ma wartość jeden. W iloczynie każda zmienna jest w postaci prostej, gdy w tabeli ma wartość jeden, lub w postaci zanegowanej, gdy ma wartość zero. Zatem

$$y = \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_1 x_2 \bar{x}_3 + \bar{x}_1 x_2 x_3 + x_1 x_2 x_3 \quad (7.2)$$

Druga postać kanoniczna jest iloczynem tzw. *pełnych sum* (ang. *maxterm*), przy czym sumy te tworzy się z kombinacji zmiennych wejściowych, dla których funkcja wyjściowa ma wartość zero. W pełnej sumie każda zmienna jest w postaci prostej, gdy w tabeli ma wartość zero, lub w postaci zanegowanej, gdy ma wartość jeden:

$$y = (x_1 + x_2 + x_3)(\bar{x}_1 + x_2 + x_3)(\bar{x}_1 + x_2 + \bar{x}_3)(\bar{x}_1 + \bar{x}_2 + x_3) \quad (7.3)$$

W oparciu o postać kanoniczną można zrealizować układ kombinacyjny, w którym każdy sygnał z wejścia do wyjścia przechodzi przez dwie bramki. Realizację układową obu postaci kanonicznych (równ. 7.2 i 7.3) rozważanej funkcji logicznej przedstawiono na rys.7.1. Kółko przy odpowiednim wejściu oznacza negację zmiennej.



Rys.7.1. Realizacja funkcji logicznych: a) w postaci kanonicznej (7.2), b) w postaci kanonicznej (7.3)

Postać kanoniczna nie jest najprostszą postacią zapisu funkcji kombinacyjnej opisanej tablicą wartości. Można dokonać jej uproszczeń, wykorzystując w tym celu podstawowe prawa algebry Boole'a:

$$\text{Prawo rozdzielczości:} \quad \left. \begin{aligned} x_1(x_2 + x_3) &= x_1 x_2 + x_1 x_3 \\ x_1 + x_2 x_3 &= (x_1 + x_2)(x_1 + x_3) \end{aligned} \right\} \quad (7.4)$$

$$\text{Prawo pochłaniania:} \quad \left. \begin{aligned} x_1(x_1 + x_2) &= x_1 \\ x_1 + x_1 x_2 &= x_1 \end{aligned} \right\} \quad (7.5)$$

$$\text{Prawo tautologii:} \quad \left. \begin{aligned} x x &= x \\ x + x &= x \end{aligned} \right\} \quad (7.6)$$

$$\text{Własności negacji:} \quad \left. \begin{aligned} x \bar{x} &= 0 \\ x + \bar{x} &= 1 \end{aligned} \right\} \quad (7.7)$$

$$\text{Podwójna negacja:} \quad (\bar{\bar{x}}) = x \quad (7.8)$$

$$\text{Prawa de Morgana:} \quad \left. \begin{aligned} \overline{x_1 x_2} &= \bar{x}_1 + \bar{x}_2 \\ \overline{x_1 + x_2} &= \bar{x}_1 \bar{x}_2 \end{aligned} \right\} \quad (7.9)$$

$$\text{Działania z 0 i 1:} \quad \left. \begin{aligned} x \cdot 1 &= x \\ x + 0 &= x \\ x \cdot 0 &= 0 \\ x + 1 &= 1 \\ \bar{0} &= 1 \\ \bar{1} &= 0 \end{aligned} \right\} \quad (7.10)$$

Porównując pary wzorów (7.4 - 7.10) można zauważyć *zasadę dualności*, polegającą na tym, że jeśli w którejś tożsamości zamienimy iloczyn na sumę, a 0 na 1, to otrzymamy również tożsamość.

Procedura upraszczania postaci kanonicznej, polegająca na upraszczaniu wyrażenia przy wykorzystaniu praw algebry Boole'a, jest dość uciążliwa i dlatego w praktyce stosuje się metody zalgorytmizowane. Jedną z takich metod jest wykorzystywanie tablicy Karnaugh, która jest tablicą wartości logicznych funkcji zapisaną w szczególny dwuwymiarowy sposób. Wartości zmiennych wejściowych wpisuje się tu nie w kolejnych kolumnach, lecz wzdłuż kolumn i wierszy tak, aby dwie sąsiednie kolumny lub wiersze różniły się wartością jednego bitu. W kratki tablicy Karnaugh wpisuje się wartości zmiennej wyjściowej  $y$ , odpowiadające wartościom zmiennych

wejściowych znajdujących się na brzegach. Na rys.7.2. przedstawiono tablicę Karnaugh'a dla funkcji opisanej tablicą wartości 7.2, którą rozważono wcześniej przy wyznaczaniu form kanonicznych.

$x_1 \backslash x_2$	00	01	11	10
$x_3$				
0	0	1	0	0
1	1	1	1	0

Rys.7.2. Tablica Karnaugh'a funkcji opisanej tablicą wartości 7.2.

Uproszczenie funkcji logicznej uzyskuje się, łącząc leżące obok siebie jedynki (odpowiadające pełnym iloczynom) lub zera (odpowiadające pełnym sumom) w prostokąty lub kwadraty o 2, 4, 8, 16... kratkach. Jeżeli w prostokącie lub kwadracie są same jedynki, to iloczyn dla całej grupy można otrzymać bezpośrednio, uwzględniając tylko te zmienne wejściowe, które dla wszystkich kratek grupy mają stałą wartość. Na rys.7.2 jedynki można połączyć w trzy pary, jak oznaczono liniami przerywanymi (pozycja 011 jest uwzględniona trzykrotnie). Poszukiwana uproszczona funkcja ma trzy składniki, z których każdy jest utworzony przez iloczyn zmiennych nie zmieniających się w obrębie danej pary. Jeżeli zmienna jest zerem, występuje jako negacja. Zatem

$$y = \overline{x_1} x_2 + \overline{x_1} x_3 + x_2 x_3 \quad (7.11)$$

Podobnie można dokonać grupowania zer w tablicy Karnaugh'a. Uzyskuje się również trzy pary, zaznaczone liniami punktowymi na rys.7.2, przy czym zero ostatniej kolumny tworzy parę z zerem w pierwszej kolumnie i w tym samym wierszu.

Funkcja uproszczona ma w tym przypadku postać iloczynu trzech czynników, z których każdy jest sumą zmiennych nie zmieniających się w poszczególnych parach. Te zmienne, które są jedynkami, należy zanegować. Zatem

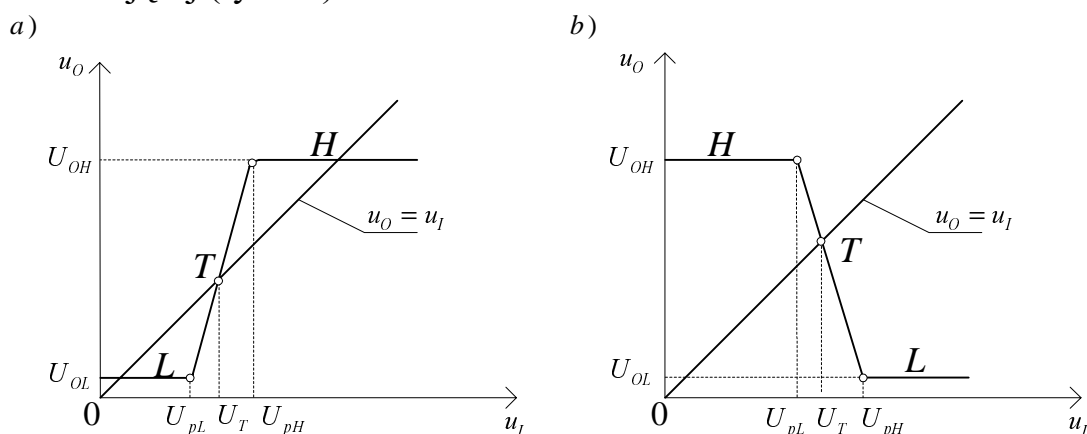
$$y = (\overline{x_1} + x_2)(\overline{x_1} + x_3)(x_2 + x_3) \quad (7.12)$$

Należy zwrócić uwagę, że funkcje (7.11 i 7.12) są znacznie prostsze, niż odpowiadające im postaci kanoniczne (7.2, 7.3) (bowiem stanowią ich uproszczenie). W praktyce tablice Karnaugh'a wykorzystuje się do minimalizacji funkcji logicznych, gdy liczba zmiennych wejściowych nie przekracza 6.

## 7.2. WŁAŚCIWOŚCI I PARAMETRY UKŁADÓW LOGICZNYCH

### 7.2.1. Odporność na zakłócenia

Sygnały logiczne 0, 1 są reprezentowane przez określone poziomy napięcie: *niski* L (ang. *low*) oraz *poziom wysoki* (ang. *high*). Przypisanie wartości dwójkowych (binarnych), tj. 0 i 1 tym poziomom, jest zupełnie dowolne. W praktyce, zamiast dwóch poziomów określa się dwa pola tolerancji wewnątrz których powinien znajdować się poziom sygnału odwzorowującego cyfrę 0 i 1. Przy stosowaniu *logiki dodatniej* (ang. *positive logic*) poziomowi niższemu przypisywana jest cyfra 0, a wyższemu - cyfra 1, natomiast w *logice ujemnej* (ang. *negative logic*) przyporządkowanie poziomów jest odwrotne. W dalszym opisie układów przyjęto konwencję logiki dodatniej. Do najważniejszych parametrów bramki cyfrowej należy jej charakterystyka przejściowa, nazywana też charakterystyką przełączania, tj. zależność napięcia wyjściowego  $u_o$  od napięcia wejściowego  $u_i$ . Wyróżniamy dwa rodzaje charakterystyk przejściowych: bramki nieodwracającej i bramki odwracającej (rys.7.3).



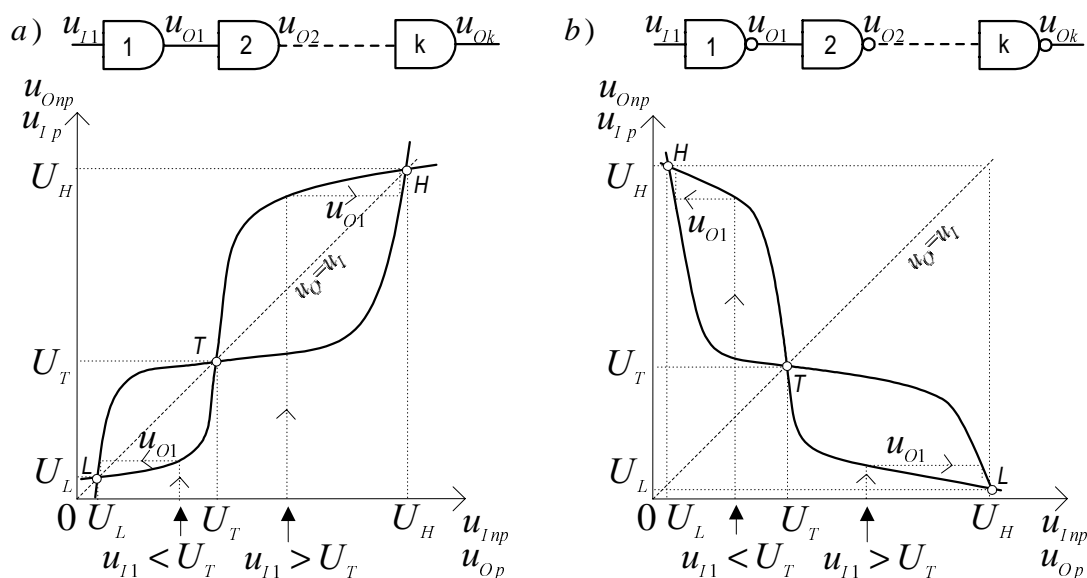
Rys.7.3. Statyczne charakterystyki przejściowe: a) bramki nieodwracającej, b) bramki odwracającej

Bramki o charakterystyce nieodwracającej mają zawsze takie same stany wejścia i wyjścia, natomiast bramki o charakterystyce odwracającej różne. Między obszarami H i L występuje obszar przejściowy T, w którym nachylenie charakterystyki przejściowej wyraża moduł wzmocnienia napięciowego układu. Idealne charakterystyki przejściowe powinny cechować się nieskończenie wielką stromością w obszarze przejściowym.

Jak zaznaczono na rys.7.3, wartość napięcia  $U_{pL}$  określa maksymalną - dla poziomu niskiego - dopuszczalną wartość napięcia wejściowego, która nie spowoduje zmian napięcia wyjściowego.

Podobnie wartość napięcia  $U_{pH}$  określa minimalną - dla poziomu wysokiego - dopuszczalną wartość napięcia wejściowego, która nie spowoduje zmiany napięcia wyjściowego.

Współpracę układów logicznych najpełniej można rozpatrzeć w otwartej kaskadzie identycznych bramek, w której wyjście każdej bramki jest połączone z wejściem bramki następnej (rys.7.4).



Rys.7.4. Otwarta kaskada bramek logicznych: a) nieodwracających, b) odwracających

Na tych samych wykresach zamieszczono charakterystyki stopni o numerach nieparzystych (np) i parzystych (p). Charakterystyki układów połączonych kaskadowo przecinają się w trzech punktach, zatem spełniają tzw. *warunki odpowiedniości (kompatybilności)* układowej. Sterowanie kaskady nominalnymi napięciami  $U_H$  oraz  $U_L$  na wejściach powoduje pojawienie się nominalnych wartości napięć na wszystkich wyjściach, przy czym w łańcuchu bramek odwracających dokonuje się cykliczna inwersja sygnałów.

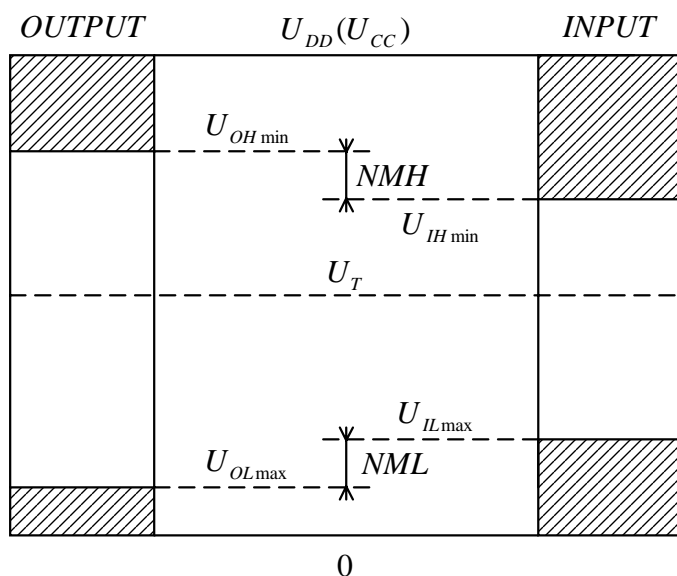
Jeżeli kaskada będzie sterowana sygnałem różniącym się od napięcia  $U_H$  oraz  $U_L$ , np. o pewną niezbyt dużą wartość wynikającą z nałożenia się sygnału zakłócającego, to po kilku stopniach kaskady nastąpi odtworzenie poziomów nominalnych napięć  $U_L$  oraz  $U_H$ . Tę właściwość *odtworzenia (regeneracji)* poziomów nominalnych sygnałów nazywa się *stabilnością sygnału* w długiej kaskadzie i jest ona tym efektywniejsza, im charakterystyka przejściowa jest bardziej prostokątna. Sygnał zakłócający nie może jednak przesunąć punktu pracy poza napięcie progowe  $U_T$  (ang. *threshold voltage*) wynikające ze środkowego przecięcia charakterystyk - w przeciwnym bowiem razie

nastąpi fałszywe zregenerowanie sygnału i przejście do przeciwnego punktu przecięcia charakterystyk.

Różnice napięć  $U_T - U_L$  oraz  $U_H - U_T$  wyznaczają teoretyczne zakresy zakłóceń, nazywane *marginesami zakłóceń*, przy których następuje jeszcze prawidłowe odtworzenie wartości zakłóconego sygnału w długiej kaskadzie bramek.

Marginesy zakłóceń są różne dla stanu niskiego i stanu wysokiego i oznaczane są odpowiednio NML (ang. *noise margin low*) oraz NMH (ang. *noise margin high*).

Marginesy zakłóceń układów rzeczywistych wyznacza się przy uwzględnieniu najbardziej niekorzystnie skrajnych położań charakterystyk wejściowych i wyjściowych. Charakterystyki przejściowe bramki zawierają się w pewnych obszarach, ulegają one bowiem zmianie pod wpływem zmian temperatury, napięcia zasilania, starzenia elementów, obciążenia i in., i dlatego marginesy zakłóceń zmniejszają się. Statyczne marginesy zakłóceń w stanie niskim i wysokim można bardzo prosto określić w oparciu o bardzo poglądowy rys.7.5, przedstawiający obszary zmian napięć wyjściowych i dopuszczalne zakresy napięć wejściowych bramki.



Rys.7.5. Określenie marginesów zakłóceń

$$\left. \begin{aligned} NML &= U_{IL\max} - U_{OL\max} \\ NMH &= U_{OH\min} - U_{IH\min} \end{aligned} \right\} \quad (7.13)$$

gdzie:

$U_{IL\max}$  - maksymalne dopuszczalne napięcie wejściowe w stanie  $L$

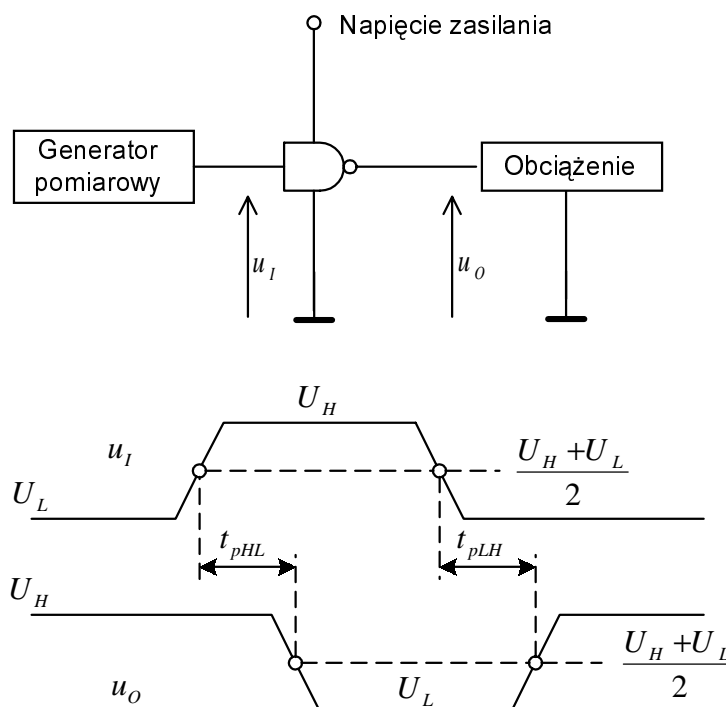
$U_{IH\min}$  - minimalne dopuszczalne napięcie wejściowe w stanie  $H$

$U_{OL\max}$  - maksymalne graniczne napięcie wyjściowe w stanie  $L$ ,

$U_{OH\min}$  - minimalne graniczne napięcie wyjściowe w stanie  $H$ .

## 7.2.2. Szybkość działania

Podstawową miarą szybkości działania bramek jest *czas propagacji*  $t_p$ , określany również jako czas opóźnienia. Czas ten zgodnie z rys.7.6, definiuje się jako odstęp czasowy między zboczem impulsu wejściowego i wywołanym przezeń zboczem impulsu wyjściowego, przy umownie określonym poziomie napięcia na tych zboczach.



Rys.7.6. Pomiary czasów propagacji: a) układ pomiarowy; b) definiowanie czasów propagacji

Definiuje się dwa zasadnicze czasy propagacji: przy przejściu napięcia wyjściowego  $u_o$  ze stanu niskiego do stanu wysokiego ( $t_{pHL}$ ) oraz przy przejściu ze stanu wysokiego do stanu niskiego ( $t_{pLH}$ ). Wartości  $t_{pHL}$  i  $t_{pLH}$  na ogół różnią się i dlatego w praktyce stosuje się średnią wartość czasu propagacji

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} \quad (7.14)$$

Oprócz czasów propagacji określa się również maksymalne częstotliwości przełączania. Orientacyjnie można przyjąć

$$f_{p\max} \approx \frac{1}{(2 \div 3)t_p} \quad (7.15)$$



### 7.2.3. Moc strat

Aby zrealizować układ scalony systemu złożonego z bardzo dużej liczby bramek, moc strat pojedynczej bramki powinna być możliwie jak najmniejsza. Jednak zmniejszanie mocy zasilania pojedynczej bramki prowadzi zwykle do wydłużenia jej czasów propagacji. Wartość mocy strat zależy również w sposób istotny od rodzaju obciążenia bramki. Przy obciążeniu pojemnościowym następuje wydłużenie czasów propagacji, co prowadzi do znaczącego wzrostu mocy strat bramki przy wzroście częstotliwości.

Moc strat  $P$  układu określa się jako  $P = U_{CC} I_{CC}$  (lub  $P = U_{DD} I_{DD}$ ), przy czym  $U_{CC}$  (lub  $U_{DD}$ ) jest napięciem zasilającym, a  $I_{CC}$  (lub  $I_{DD}$ ) jest prądem pobieranym ze źródła zasilania.

Moc tę można wyrazić jako średnią mocy przy dwóch stanach logicznych na wyjściu, gdy czasy propagacji bramki są pomijalnie małe w porównaniu z okresem przełączeń.

$$P_0 = \frac{P_L t_{wOL} + P_H t_{wOH}}{T} \quad (7.16)$$

gdzie:  $P_L = U_{CC} I_{CCL}$  - moc strat przy niskim stanie logicznym na wyjściu

$P_H = U_{CC} I_{CCH}$  - moc strat przy wysokim stanie logicznym na wyjściu

$T = t_{wOL} + t_{wOH}$  - okres przełączeń

$t_{wOL}$ ,  $t_{wOH}$  - czasy trwania stanów logicznych na wyjściu odpowiednio niskiego i wysokiego.

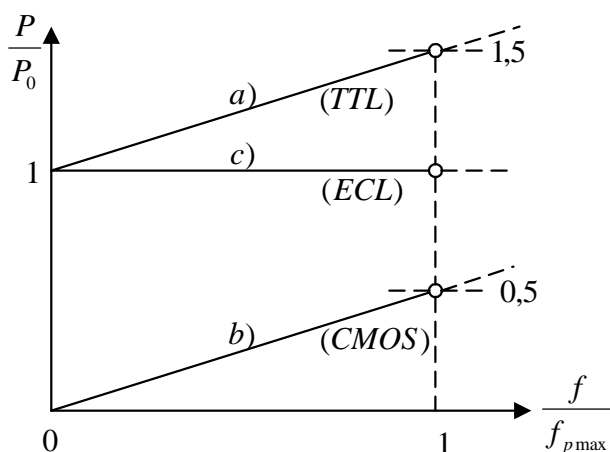
Niektóre układy scalone (np. TTL) podczas przełączeń pobierają znacznie większy prąd zasilania niż w stanie ustalonym. W ogólnym przypadku, przyjmując  $I_{CC}(t)$  jako przebieg prądu zasilania w czasie, średnia moc zasilania wyraża się zależnością:

$$P = \frac{U_{CC}}{T} \int_0^T I_{CC}(t) dt = U_{CC} I_{CCsr} \quad (7.17)$$

Przybliżone wykresy zależności średnich mocy strat bramek od częstotliwości przełączania, dla trzech rodzin układów scalonych, przedstawiono na rys.7.7.

Dla wstępnej oceny układów cyfrowych czasami jest stosowany *współczynnik dobroci*  $D$ , będący iloczynem czasu propagacji i mocy strat

$$D = t_p P \quad (7.18)$$



Rys.7.7. Wykresy zależności mocy zasilania bramek od częstotliwości przełączania ( $f_{p\max}$  - maksymalna częstotliwość przełączania)

#### 7.2.4. Zgodność łączeniowa i obciążalność

Możliwość bezpośredniego kaskadowego łączenia bramek w warunkach ich prawidłowej współpracy nazywa się *odpowiednością łączeniową* lub *kompatybilnością układową*.

Układy cyfrowe A i B są zgodne łączeniowo, jeżeli zarówno bezpośrednie połączenie wyjścia układu A z wejściem układu B, jak i bezpośrednie połączenie wyjścia układu B z wejściem układu A zapewnia elektrycznie poprawną współpracę obu łączonych układów. Jak pokazano na rys.7.4, charakterystyki przejściowe dwóch połączonych kaskadowo bramek zgodnych łączeniowo przecinają się w trzech punktach. Ponieważ wejście i wyjście bramek można interpretować jako źródła typu *emisyjnego* lub *absorbacyjnego*, to dla spełnienia warunku kompatybilności układowej, jeśli wejście w jakimś stanie (*H* lub *L*) ma charakter źródła absorbacyjnego, to wyjście powinno mieć charakter źródła emisyjnego i odwrotnie. W przeciwnym razie powstanie konflikt uniemożliwiający przepływ prądu między wyjściem a wejściem.

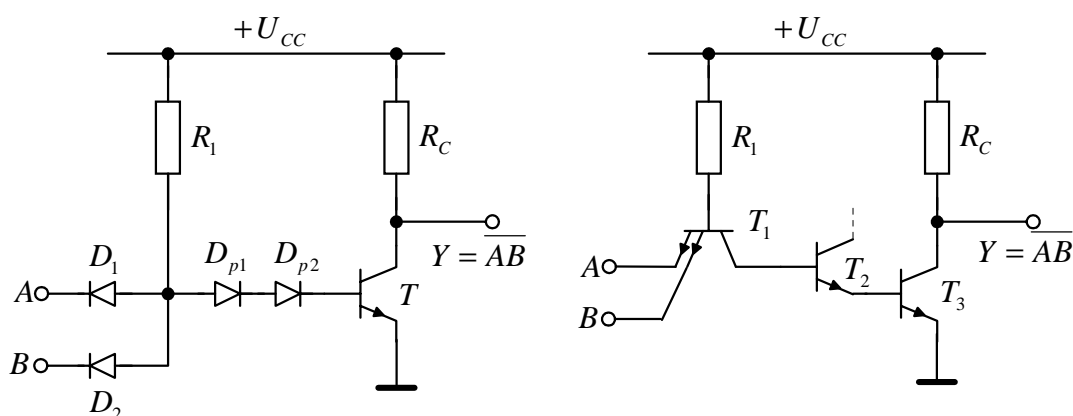
Cyfrowe układy scalone są projektowane głównie do współpracy z układami tej samej serii. Do ilościowego określenia możliwości takiej współpracy definiuje się pojęcie *obciążalności wyjściowej* układu (ang. *fan - out*). Obciążalność  $N_{\max}$  jest to dopuszczalna wartość prądu na wyjściu układu wyrażona w standardowych jednostkach obciążenia, odpowiadających wartości prądu absorbowanego (bądź emitowanego) przez wejście układu logicznego z tej samej serii. Przy wzajemnym łączeniu układów scalonych z różnych serii, lecz w obrębie jednej klasy, należy uwzględnić odpowiednie poprawki, zwiększające lub zmniejszające wartość  $N_{\max}$ . Przy łączeniu układów scalonych z różnych klas, często występuje konieczność stosowania dodatkowych

elementów lub odpowiednich układów pośredniczących (tzw. translatorów).

### 7.3. UKŁADY TTL

#### 7.3.1. Budowa i zasada działania standardowej bramki NAND

Układy TTL (ang. *transistor - transistor logic*), wprowadzone na światowy rynek przez firmę *Texas Instruments* na początku lat sześćdziesiątych, wciąż jeszcze stanowią bardzo rozpowszechnioną rodzinę logicznych układów bipolarnych o małej i średniej skali integracji. Wytwarzany jest bardzo szeroki asortyment układów TTL w wielu odmianach, różniących się szybkością działania, mocą strat i kosztem. Zasadniczym układem jest bramka NAND, wywodząca się z bramki NAND należącej do wcześniejszej techniki DTL (ang. *diode - transistor logic*). W celu porównania, uproszczone schematy obu bramek przedstawiono na rys.7.8.

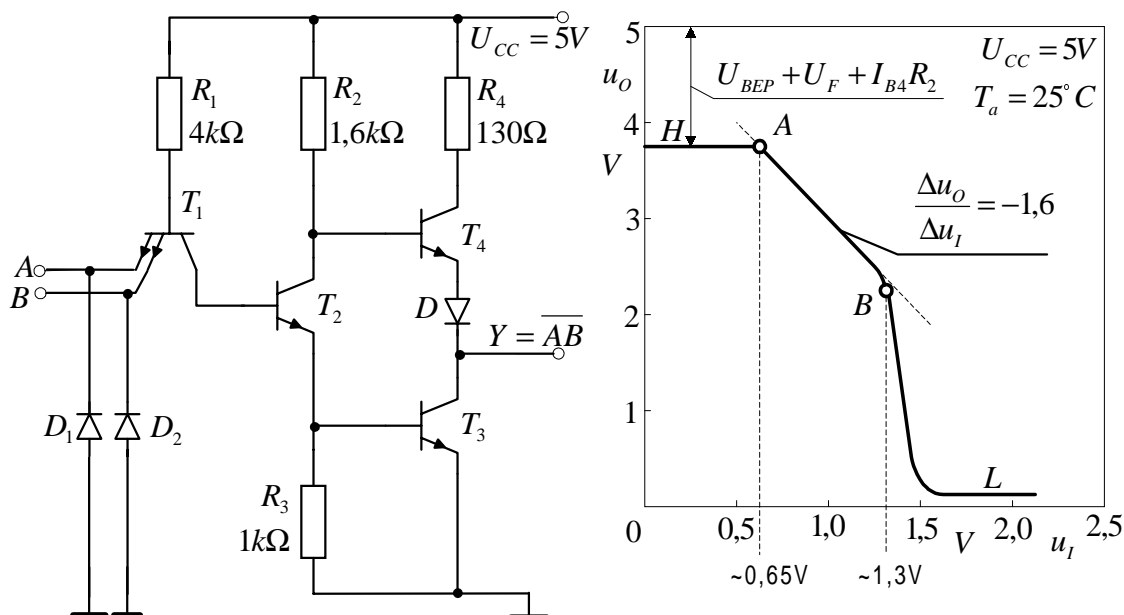


Rys.7.8. Dwuwejściowa bramka NAND: a) w technice DTL, b) pierwowzór bramki TTL

W obu bramkach można wyróżnić wejściowy układ AND i następujący po nim inwerter. Różnica polega na tym, że wejściowy układ AND w technice DTL zrealizowany w postaci zespołu diod jest zastąpiony wieloemiterowym tranzystorem \$T\_1\$. Trzykrotny próg przewodzenia tranzystora \$T\$ w bramce DTL, dzięki zastosowaniu diod \$D\_{p1}\$, \$D\_{p2}\$, jest równoważny trzykrotnemu progowi przewodzenia tranzystora \$T\_3\$ w prototypowej bramce TTL, wynikającemu z szeregowego połączenia złącz baza - emiter tranzystorów \$T\_2\$ i \$T\_3\$ oraz złącza baza - kolektor tranzystora \$T\_1\$ (polaryzowanego w kierunku przewodzenia, gdy tranzystor \$T\_1\$ pracuje inwersyjnie).

W rzeczywistych bramkach TTL w miejsce zwykłego inwertera zastosowano specjalny układ zwiększający wydajność prądową wyjścia i zapewniający małą rezystancję wyjściową bramki zarówno w stanie niskim, jak i w stanie wysokim.

Schemat ideowy standardowej (dwuwejściowej) bramki NAND TTL oraz jej charakterystykę przejściową przedstawiono na rys.7.9.



Rys.7.9. Dwuwejściowa bramka NAND TTL (a) i jej charakterystyka przejściowa (b)

Jeżeli na co najmniej jednym z wejść układu jest niski poziom napięcia, to prąd ze źródła zasilania płynie przez rezystor  $R_1$  i złącze emiterowe (jedno lub obydwa, gdy na obu wejściach jest niski poziom napięcia) tranzystora  $T_1$ . Na bazie tranzystora  $T_2$  panuje wtedy niewielkie napięcie dodatnie. Jest ono jednak zbyt małe, aby mogłoysterować tranzystor  $T_2$  tak, że pozostaje on w stanie zatkania. Tym samym również tranzystor  $T_3$  pozostaje w stanie zatkania, a wysoki poziom napięcia na kolektorze tranzystora  $T_2$  zostaje powtórzony na wyjściu za pośrednictwem tranzystora  $T_4$ , pracującego jako wtórnik emiterowy. Napięcie wyjściowe w stanie wysokim wynosi

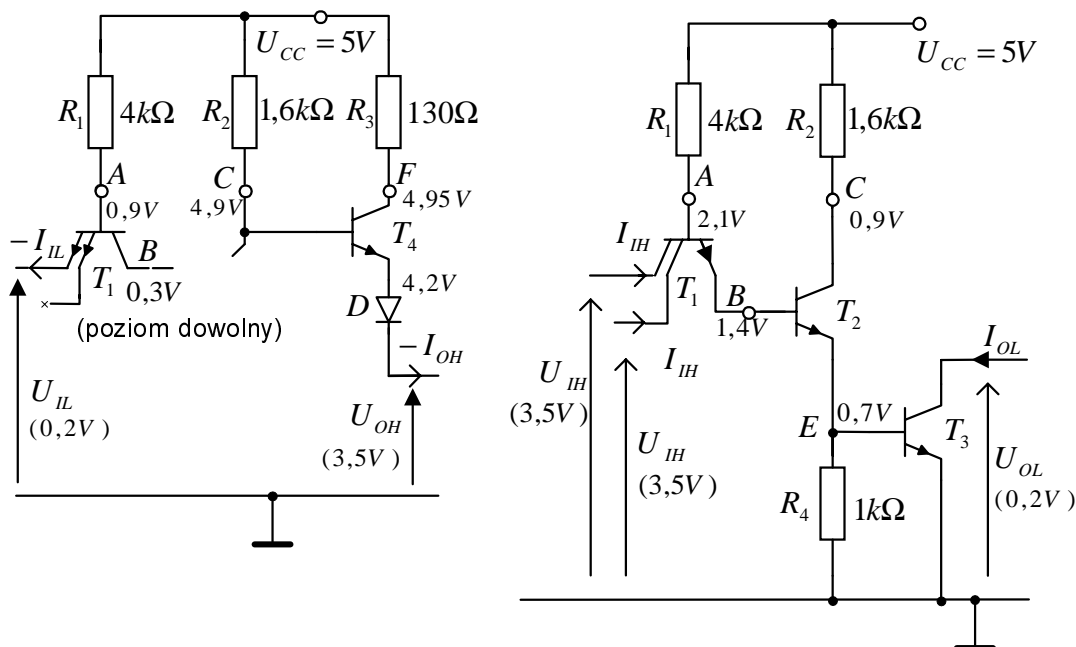
$$U_{OH} = U_{CC} - U_{BE3} - U_D - \frac{I_{OH} R_2}{\beta_3 + 1} \quad (7.19)$$

gdzie:  $I_{OH}$  - zgodnie ze stosowaną konwencją jest ujemnym prądem obciążenia wypływającym z wyjścia bramki w stanie wysokim

$U_D$  - napięcie przewodzenia diody  $D$ ,

$\beta_3$  - współczynnik wzmocnienia prądowego tranzystora  $T_3$ .

Poglądowy rozkład potencjałów w węzłach bramki w stanie wyłączenia (tzn. przy wysokim poziomie napięcia na wyjściu) przedstawiono na rys.7.10a.



Rys.7.10. Rozkład potencjałów w węzłach bramki NAND TTL: a) w stanie wyłączenia, b) w stanie załączenia

Stan logicznego zera na wyjściu (nazywany stanem załączenia bramki) układ osiąga jedynie wówczas, gdy jednocześnie na obydwu wejściach bramki jest wysoki poziom napięcia. W tym przypadku tranzystor  $T_1$  pracuje inwersyjnie, ponieważ jego złącza baza - emiter są spolaryzowane zaporowo, zaś złącze baza - kolektor jest spolaryzowane w kierunku przewodzenia. Potencjał punktu A ustala się na poziomie  $U_A = 3U_{BEP} \approx 2,1V$ . Do bazy tranzystora  $T_2$  wpływa prąd  $I_{B2} = I_{B1} + 2I_{IH}$ . Prąd ten nasycza tranzystor  $T_2$ . Część prądu emitera tranzystora  $T_2$  wpływa do bazy tranzystora  $T_3$  nasycając go. Tranzystor  $T_4$  jest zatkany, w czym pomaga obecność diody  $D$  w obwodzie emiterowym tego tranzystora. Napięcie bazy tranzystora  $T_4$  jest równe sumie spadków napięć  $U_{CES}$  tranzystora  $T_2$  i  $U_{BEP}$  tranzystora  $T_3$ , natomiast napięcie emitera jest równe sumie napięcia  $U_{CES}$  tranzystora  $T_3$  i spadku napięcia na diodzie  $D$  spolaryzowanej niewielkim napięciem w kierunku przewodzenia. Tak więc napięcie baza - emiter tranzystora  $T_4$  jest prawie równe zero i tranzystor ten jest odcięty. Stopień wyjściowy bramki nazywany jest *wtórnikami White'a*, a w literaturze anglosaskiej *totem - pole*. Rozkład potencjałów w węzłach

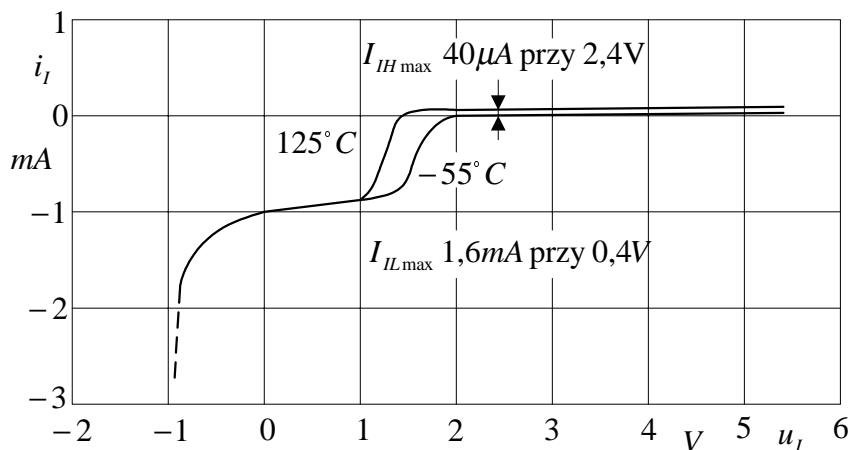
bramki w stanie załączenia przedstawiono poglądowo na rys.7.10b. W stanie załączenia bramki tranzystor  $T_3$  może przewodzić dodatni prąd obciążenia ( $I_{OL}$ ), wpływający do wyjścia, o natężeniu do 16 mA bez obawy przekroczenia napięcia wyjściowego  $U_{OLmax} \approx 0,4$  V. Na rys.7.9b przedstawiono charakterystykę przejściową bramki, którą można przeanalizować przy założeniu, że jest ona sterowana przez jedno wejście, przy wysokim poziomie napięcia na pozostałym wejściu. Punkt A na charakterystyce przejściowej odpowiada napięciu wejściowemu ok. 0,65 V, napięcie na bazie tranzystora  $T_1$  wynosi wtedy ok. 1,3 V, co zapoczątkowuje przewodzenie tranzystora  $T_2$ . Nachylenie charakterystyki przejściowej pomiędzy punktami A i B wynika z liniowej pracy tranzystora  $T_2$ , który działa wtedy jako wzmacniacz OE z ujemnym sprzężeniem zwrotnym prądowym, o wzmacnieniu napięciowym równym w przybliżeniu  $-R_2/R_3 = -1,6$ . Punkt B na charakterystyce wyznacza wartość napięcia wejściowego, przy którym zaczyna płynąć prąd bazy tranzystora  $T_3$ . Duża stromość opadania charakterystyki jest wynikiem sterowania tranzystora  $T_3$  w kierunku zwiększania jego prądu kolektora i równoczesnego sterowania w przeciwfazie tranzystora  $T_4$  z kolektora tranzystora  $T_2$  w kierunku zmniejszania jego prądu kolektora. Usprawnieniu zatykania tranzystora  $T_4$  sprzyja dioda  $D$  w obwodzie emitera.

W stanie wysokim napięcie wyjściowe przy małym poborze prądu obciążenia jest równe w przybliżeniu ok. 3,7 V, natomiast w stanie niskim, napięcie wyjściowe przy małym prądzie absorbowanym wynosi ok. 0,2 V.

Pod wpływem emisji dużego prądu wyjściowego w stanie wysokim tranzystor  $T_4$  nasycza się, ponieważ w obwodzie kolektora włączona jest rezystancja  $R_4$ , zastosowana w celu ograniczenia maksymalnego prądu i mocy wydzielanej w tym tranzystorze.

Wraz ze wzrostem prądu emisji  $-I_{OH}$  z wyjścia bramki w stanie wysokim zmniejsza się napięcie wyjściowe  $U_{OH}$ . Podobnie przy absorpcji dużego prądu  $I_{OL}$  zwiększa się napięcie wyjściowe  $U_{OL}$  w stanie niskim, gdyż względne przesterowanie tranzystora  $T_3$  staje się mniejsze. Charakterystykę wejściową rozważanej bramki  $i_I = f(u_I)$  przedstawiono na rys.7.11.

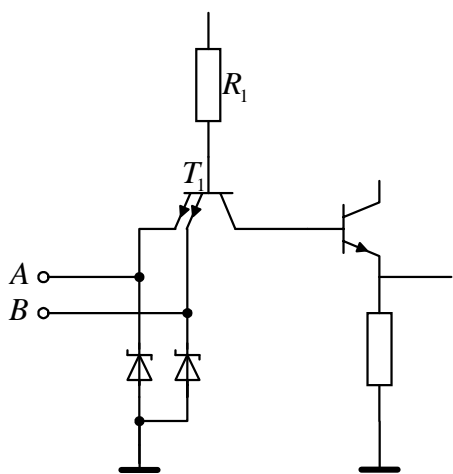
Gdy napięcie wejściowe  $u_I$  jest większe niż ok. 1,6 V, to tranzystor  $T_1$  pracuje inwersyjnie, kiedy to jego współczynnik wzmacnienia prądowego dla inwersyjnego przewodzenia jest mniejszy niż 0,02.



Rys.7.11. Charakterystyka wejściowa bramki NAND TTL

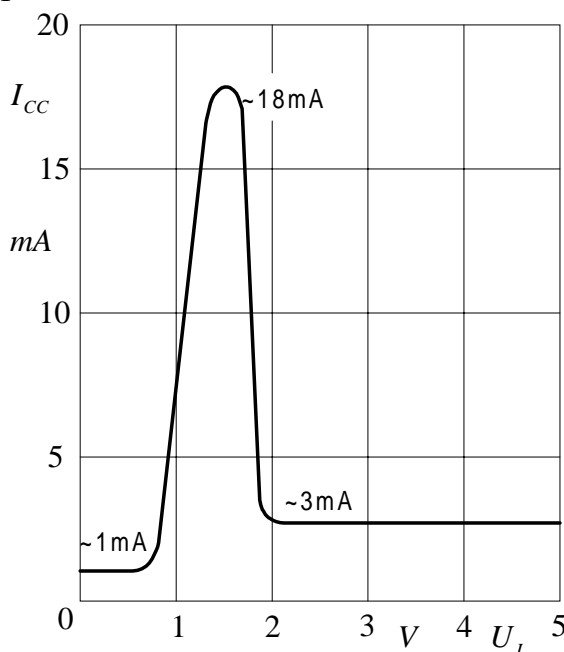
Dlatego typowa wartość prądu wejściowego ( $I_I = \beta_I I_{B1}$ ) nie przekracza ok.  $20 \mu A$ . Gdy napięcie wejściowe maleje, poczynając od wartości  $1,6 V$ , następuje wzrost prądu wypływającego z emitera tranzystora  $T_1$ . Wartość płynącego prądu jest ograniczona przez rezystor  $R_1$ . w obszarze ujemnych napięć charakterystyka wejściowa zakrzywia się, co jest spowodowane uaktywnieniem się pasożytniczego złącza kolektor - podłoże (diody podłożowej). Gdy  $u_I < 0$  zaczyna przewodzić dioda podłożowa i prąd wejściowy  $i_I$  płynie od podłoża przez kolektor, bazę do emitera tranzystora  $T_1$ . We współcześnie produkowanych układach TTL, gwałtowny wzrost prądu wejściowego dla  $u_I < 0$  wynika z przewodzenia diod Schottky'ego zabezpieczających wejście bramki (rys.7.12).

Diody te ograniczają ujemne napięcia o charakterze oscylacji, jakie mogą wystąpić na wejściach pod wpływem szybkiego przełączania, szczególnie przy długich przewodach połączeniowych.



Rys.7.12. Diody Schottky'ego zabezpieczające wejścia bramki.

Na rys.7.13 przedstawiono zależność prądu zasilania bramki od napięcia wejściowego. Gdy napięcie na wejściu osiągnie wartość 1,4 – 1,5 V, wówczas napięcie wyjściowe zmniejsza się do ok. 2 V. Potencjał bazy tranzystora  $T_2$  wynosi wówczas około 1,4 V, a zatem przewodzą tranzystory  $T_2$  i  $T_3$ , przy przewodzącym jeszcze tranzystorze  $T_4$ . Gdy obydwa tranzystory w stopniu wyjściowym bramki przewodzą, wówczas bramka pobiera bardzo duży prąd - około 20 mA. W stanie 0 na wyjściu prąd ten ma wartość około 3 mA, natomiast w stanie 1 - około 1 mA.



Rys.7.13. Charakterystyka prądu zasilającego bramkę TTL

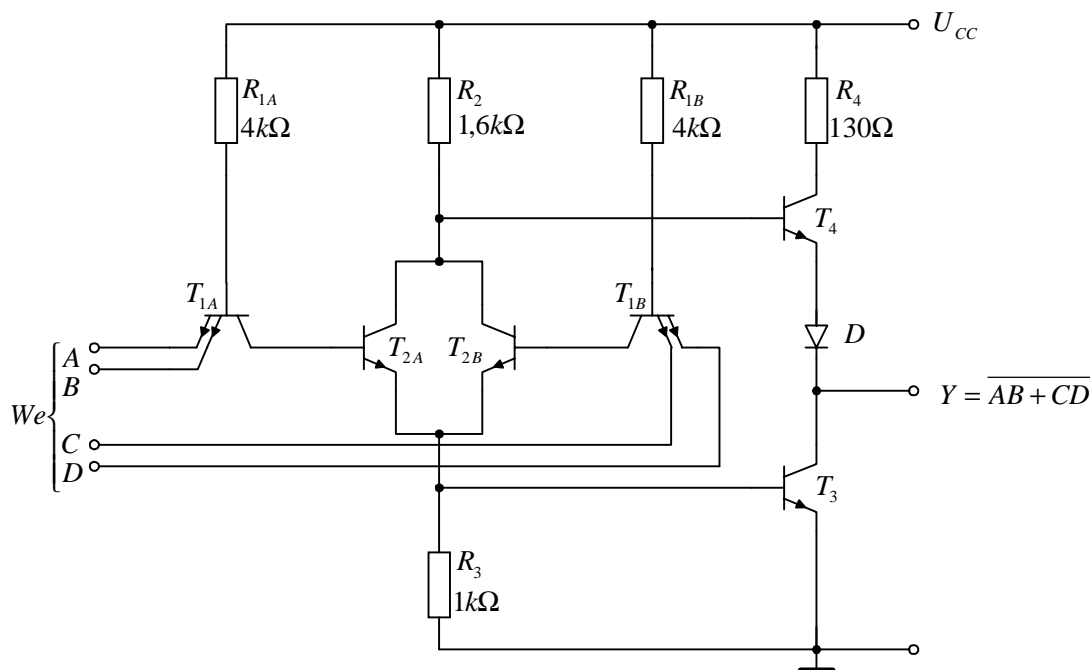
### 7.3.2. Inne rodzaje bramek z serii standardowej

Układy TTL oparte są na bramkach NAND, które same tworzą zestaw funkcjonalnie pełny, tj. dysponując jedynie bramkami NAND można zrealizować dowolną sieć logiczną. W długim okresie rozwoju układów TTL opracowano wiele bramek realizujących inne funkcje logiczne, ułatwiających projektowanie sieci logicznych i niejednokrotnie umożliwiających uzyskanie lepszych rozwiązań w postaci układów oszczędniejszych, szybszych itp.

Spośród bardzo wielu specjalnych bramek TTL na rys.7.14 przedstawiono schemat bramki TTL typu AND - OR - NOT, realizujący funkcję  $Y = \overline{A} B + C D$ .

Podwójny układ bramek AND w postaci dwuemiterych tranzystorów  $T_{1A}, T_{1B}$  steruje pracą równolegle połączonych tranzystorów  $T_{2A}, T_{2B}$  - zapewniających realizację sumy logicznej.



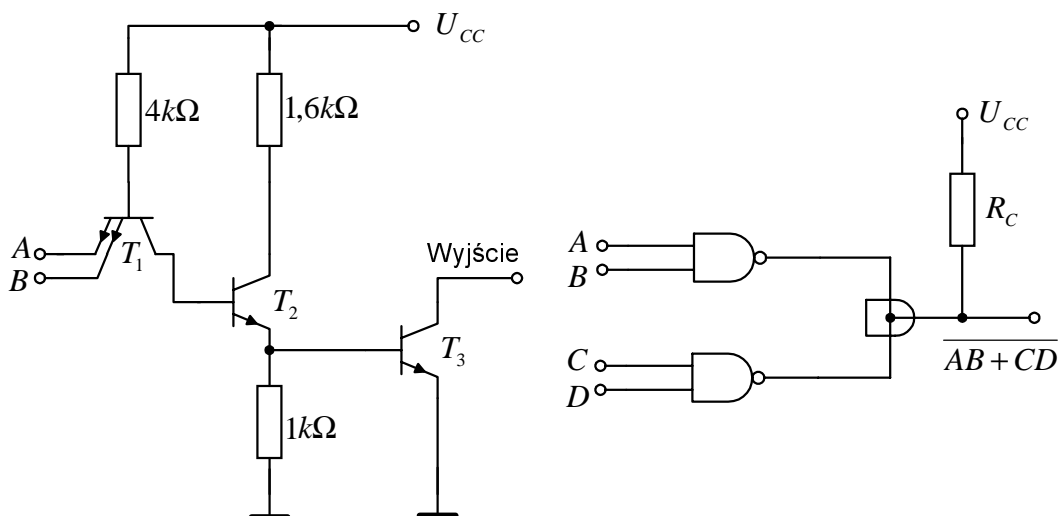


Rys.7.14. Schemat bramki TTL typu AND - OR - NOT

Stopień wyjściowy jest zbudowany tak samo, jak w omówionej wcześniej bramce NAND. Równoległe łączenie tranzystorów  $T_{2A}, T_{2B}$  i ewentualnie dalszych  $T_{2C}, T_{2D}, \dots$ , wraz z odpowiadającymi im tranzystorami  $T_{1C}, T_{1D}$ , jest sposobem zwiększenia ilości wejść bramki NOR w technice TTL. W praktyce liczba ta jest ograniczona maksymalnie do czterech, co jest spowodowane tym, że przy równoległym łączeniu tranzystorów  $T_{2A}, T_{2B}, \dots$  sumują się prądy zerowe tych tranzystorów płynące przez rezystor  $R_3$  i przy większej liczbie wejść spadek napięcia na  $R_3$  mógłby być wystarczająco duży dla spolaryzowania tranzystora  $R_3$  w kierunku przewodzenia w stanie, gdy na wyjściu powinien być wysoki poziom napięcia. Ponadto, ze zwiększeniem ilości równoległe łączonych tranzystorów  $T_{2A}, T_{2B}$  wydłuża się czas propagacji ze względu na zwiększenie pojemności w bazie tranzystora  $T_4$  oraz ze względu na wprowadzenie tranzystora  $T_3$  w stan głębokiego nasycenia wówczas, gdy wszystkie tranzystory  $T_{2A}, T_{2B}, \dots$  są w stanie nasycenia (dodają się prądy baz wszystkich tranzystorów).

Niekiedy występuje problem logicznego połączenia wyjść bramek w celu utworzenia tzw. *sumy galwanicznej* (ang. *wired OR*). W tym celu wykorzystuje się bramki z wyjściami typu *otwarty kolektor* (ang. *open collector*). Jak zaznaczono na rys.7.15, wyjścia bramek z otwartym

kolektorem można łączyć równolegle i podłączyć je przez wspólny rezystor  $R_C$  do szyny zasilającej  $+U_{CC}$ .



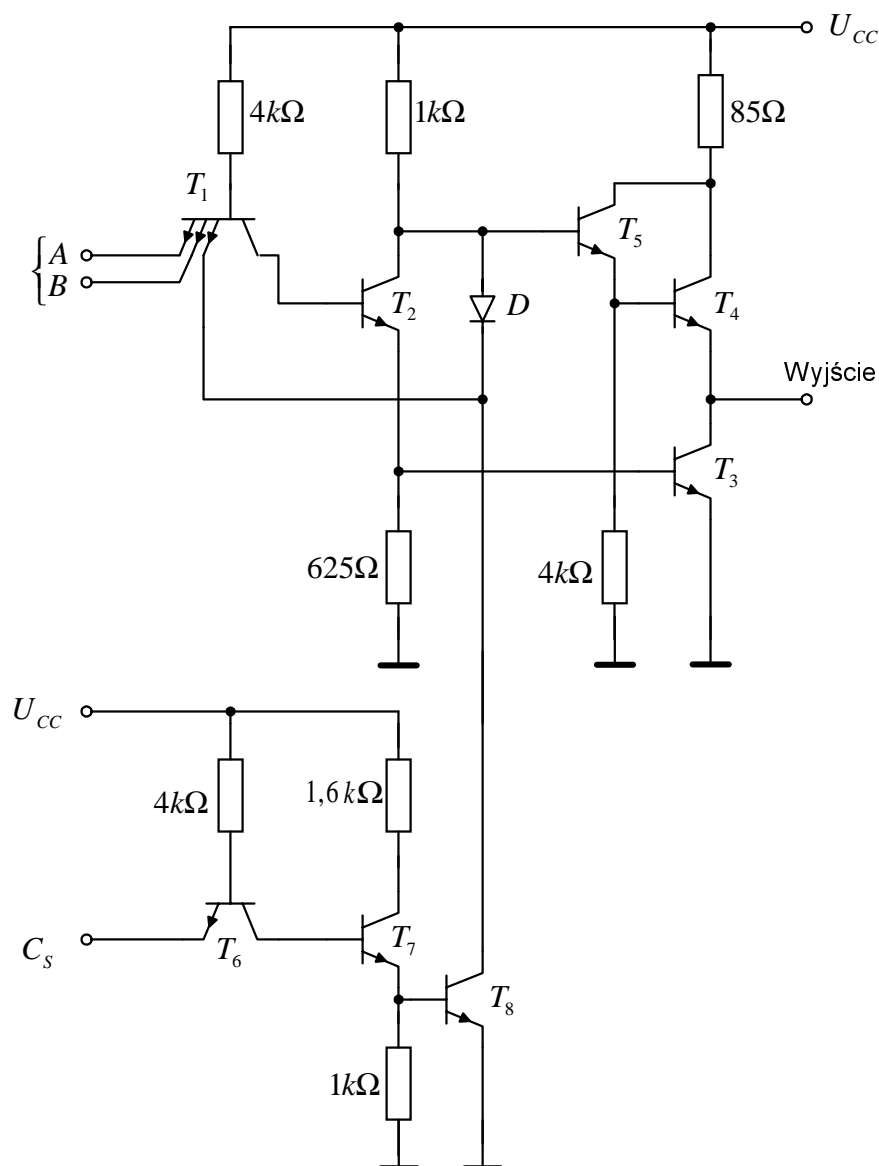
Rys.7.15. Bramka z otwartym kolektorem: a) schemat; b) symbol połączenia

Potencjał wyjścia przyjmuje stan H tylko wówczas, gdy wyjścia wszystkich bramek są w stanie H, co w logice dodatniej odpowiada funkcji AND (potocznie nazywany iloczynem montażowym). Bramka z otwartym kolektorem może służyć do sterowania różnych innych urządzeń, np. przekaźników, wskaźników optoelektronicznych, a także spełniać funkcję tzw. bramki mocy.

Wadą układów z otwartym kolektorem jest wolniejsze narastanie napięcia wyjściowego, niż w przypadku bramek z wyjściem totem - pole, ponieważ przełączane pojemności mogą się naładować tylko przez rezystancję  $R_C$ .

Istnieje jeszcze jeden bardzo ważny przykład zastosowania, w którym równoległe połączenie wyjść bramek prowadzi do znacznego uproszczenia układu: jest to przypadek, gdy stan wyjścia jednej z wielu bramek ma decydować o stanie linii sygnałowej w tzw. *magistrali*. Zadanie to można rozwiązać przy użyciu bramek *trójstanowych*, które poza dwoma normalnymi stanami pracy włączenia i wyłączenia można za pomocą dodatkowego sygnału sterującego  $C_s$  przełączyć w trzeci tzw. stan *wysokiej impedancji*. Schemat bramki trójstanowej przedstawiono na rys.7.16.

Jeżeli  $C_s = 1$ , to wtedy tranzystor  $T_8$  jest w stanie zatkania i bramka pełni funkcję NAND. Jeżeli natomiast sygnał sterujący  $C_s$  (ang. *chip select*) ma wartość logiczną 0, to tranzystor  $T_8$  zostaje prowadzony w stan nasycenia, co wywołuje poziom L na trzecim wejściu emiterowym tranzystora  $T_1$ , odcięcie tranzystora  $T_2$ , zwarcie do masy



Rys.7.16. Schemat bramki trójstanowej

bazy tranzystora  $T_5$  przez diodę  $D$ , a tym samym oba tranzystory  $T_3$  i  $T_4$  stopnia końcowego nie mogą przewodzić.

### 7.3.3. Odmiany układowe bramek TTL

W początkowym okresie rozwojowym układów TTL były one wytwarzane w trzech wersjach - jako standardowa wersja SN54 / 74, jako seria małej mocy SN54L / 74L (L - TTL, ang. *low - power TTL*) oraz jako seria szybka SN54H / 74H (H - TTL, ang. *high - speed TTL*). Seria 54 była przeznaczona do pracy w zakresie temperatur od  $-54$  do  $+125^\circ\text{C}$ , a seria 74 w zakresie od  $0$  do  $+70^\circ\text{C}$ . Seria L stanowiła modyfikację serii standardowej, polegającą na zastosowaniu rezystancji

o większych wartościach, dzięki czemu dziesięciokrotnie zredukowano moc strat bramki, ale tylko przy prawie trzykrotnym wydłużeniu jej czasu propagacji. Modyfikacja serii H polegała na zmniejszeniu wartości rezystancji i zastosowaniu układu Darlingtona w miejsce tranzystora  $T_4$  i diody  $D$  w stopniu końcowym, dzięki czemu czas propagacji bramki uległ skróceniu, ale przy wzroście mocy strat bramki. Oba rodzaje bramek (L-TTL i H-TTL) mają znaczenie tylko historyczne, gdyż zostały zastąpione doskonalszymi rozwiązaniami z tranzystorami i diodami Schottky'ego, które charakteryzują się mniejszymi mocami strat i krótszymi czasami propagacji. Najpierw seria H-TTL została zastąpiona serią SN54S / 74S (ang. *Schottky - TTL*), a następnie bramki małej mocy zastąpiono serią SN54LS / 74LS (ang. *low - power Schottky TTL*).

Tabela 7.3. Podstawowe parametry typowych bramek TTL

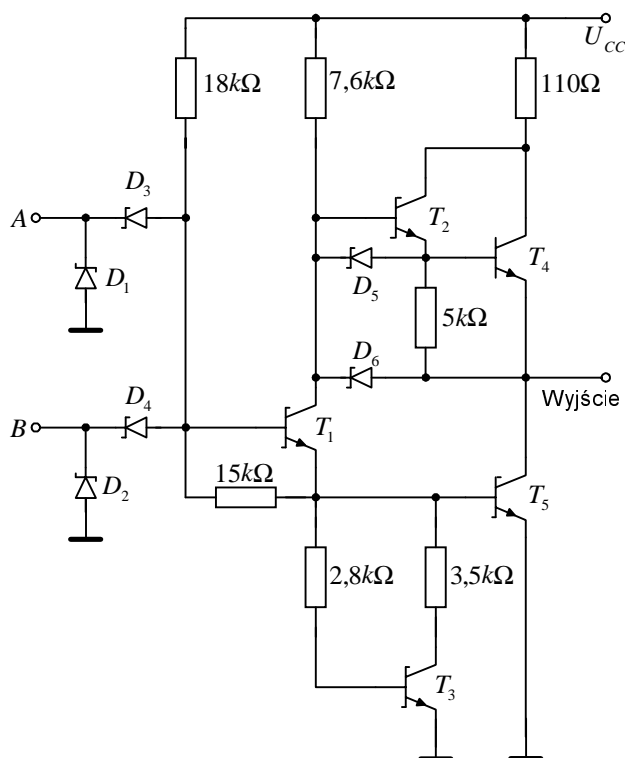
Parametr *)	Typ bramki					
	stand.	H-TTL	L-TTL	S-TTL	LS-TTL	F-TTL
Nap. zasilania $U_{CC}$ [V]	5	5	5	5	5	4
Moc zasil. $P_0$ [mW]	10	22	1	19	2	5
Czas propagacji $t_p$ [ns]	10	6	33	3	5	2.8
$P_0 t_p$ [pJ]	100	132	33	57	10	14
Obciążalność $N$	10	10	10	10	20	30

\*) Wartości parametrów bramek produkowanych przez różne firmy mogą się różnić, najczęściej dotyczy to czasu propagacji.

Zastosowanie diod Schottky'ego przy równoczesnym udoskonaleniu procesów technologicznych, polegające m.in. na znacznym zmniejszeniu wymiarów tranzystorów oraz stosowaniu izolacji tlenkowej między elementami, doprowadziło do opracowania bardzo szybkich bramek serii AS TTL (ang. *advanced Schottky TTL*) i F TTL (ang. *fast TTL*). Podstawowe parametry typowych bramek TTL zestawiono w tabeli 7.3.

Na rys.7.17 przedstawiono schemat bramki LS TTL opracowanej na początku lat siedemdziesiątych. W porównaniu do bramki standardowej, w miejsce wieloemiterowego tranzystora wejściowego zastosowano diodowe układy AND (na diodach Schottky'ego  $D_1 - D_4$ ), bowiem wieloemiterowy tranzystor o szerokiej bazie był głównym elementem ograniczającym szybkość przełączania bramki.

W układzie tym zastosowano tranzystory Schottky'ego, z wyjątkiem tranzystora  $T_4$ , który pracując jako wtórnik emiterowy normalnie nie wchodzi w stan nasycenia.



Rys.7.17. Schemat  
bramki LS - TTL

Diody  $D_1, D_2$  bocznikujące wejście są przeznaczone do tłumienia ujemnych wartości oscylacji napięć wejściowych. W obwodach wejściowych tranzystorów  $T_2, T_4$  zastosowano dodatkowe diody  $D_5, D_6$  w celu przyspieszenia procesów wyłączania tych tranzystorów, gdy napięcie na wyjściu podąża ze stanu H do stanu L.

W bramkach TTL z diodami Schottky'ego (LS - TTL, F - TTL, AS - TTL, ALS - TTL) rozbudowano struktury układowe bramek, głównie pod kątem zwiększenia efektywności sterowania tranzystorów, w celu skrócenia czasów przełączania bramki. Istotnym czynnikiem wpływającym na szybkość przełączania tych bramek był postęp technologiczny związany ze zmniejszeniem geometrii tranzystorów oraz zastosowanie izolacji dielektrycznej i związaną z tym mniejszą wartością pojemności obciążających elementy przy przełączaniu, niż to ma miejsce w przypadku starszych rodzin z izolacją złączową.

Najszybszymi i najbardziej złożonymi układami w klasie TTL są układy z serii AS, których typowe parametry  $t_p = 1,7 \text{ ns}$ ,  $P_s = 8 \text{ mW}$  oraz margines zakłóceń  $NM = 1 \text{ V}$  są lepsze, niż w konkurencyjnych układach ECL 10 K.

Ulepszona technologia TTL umożliwia realizację układów LSI (ang. *large scale integration*), przy czym wewnętrzne struktury bramkowe są dużo prostsze od rozważanych struktur realizowanych w małej skali integracji. Wynika to stąd, że wewnątrz układu scalonego nie ma potrzeby stosowania takich obciążeń jak na wyjściu układu, ani też

nie są potrzebne takie marginesy zakłóceń, jak na wejściach. Doprowadził to do obniżenia mocy strat i skrócenia czasu propagacji, np. w wewnętrznych bramkach układów LSI serii FAST uzyskano czas propagacji ok. 1 ns i moc strat ok. 1 mW.

## 7.4. UKŁADY ECL

### 7.4.1. Budowa i zasada działania

Układy ECL ze sprzężeniem emiterowym (ang. *emitter - coupled logic*) stanowią rodzinę układów logicznych bipolarnych o największej szybkości działania i dużej mocy wyjściowej, chociaż charakteryzują się również największym poborem mocy. Typowe czasy propagacji układów ECL wynoszą 0,2 – 2 ns, a ich maksymalna częstotliwość pracy zawiera się w zakresie 125 MHz – 5,5 GHz. Tak małe czasy propagacji uzyskano głównie dzięki wykorzystaniu jako podstawowego układu klucza różnicowego z *przełączaniem prądu*, pracującego bez nasycania się tranzystorów, oraz zastosowaniu nowoczesnych technologii z boczną izolacją tlenkową. Przykładowo, w układach serii 100 K pojemności rozproszone są mniejsze niż 0,2 pF, a częstotliwości  $f_T$  tranzystorów są większe niż 5 GHz.

Układy ECL wywodzą się od układu różnicowego z przełączaniem prądu, przedstawionego na rys.7.18 i opisanego również w rozdz. 5.

Dość często stosowanym rozwiązaniem jest wykorzystanie szyny napięcia  $U_{CC}$  jako masy i zasilanie układu napięciem -  $U_{EE}$  od strony emiterów. Taki sposób zasilania eliminuje z obwodu wyjściowego impedancję źródła zasilającego, wraz z impedancją linii doprowadzających to zasilanie, na których mogą odkładać się impulsowe sygnały zakłócające, wynikające z przełączeń z dużą szybkością innych układów zasilanych równolegle z tego samego źródła.

Eliminacja źródeł zakłóceń z obwodów wyjściowych zapewnia większą odporność na zakłócenia, co ma bardzo istotne znaczenie wobec niekorzystnej właściwości układów ECL jaką jest stosunkowo mała wartość amplitudy logicznej ( $A_L = U_{OH} - U_{OL}$ ). Przykładowo  $A_L$  wynosi ok. 0,9 V dla układów ECL serii 10 K i ok. 0,75 V dla serii 100 K. Rezystancje kolektorowe przełącznika prądowego mają małe wartości, przez co bezpośrednie połączenia wyjść i wejść bramek ECL

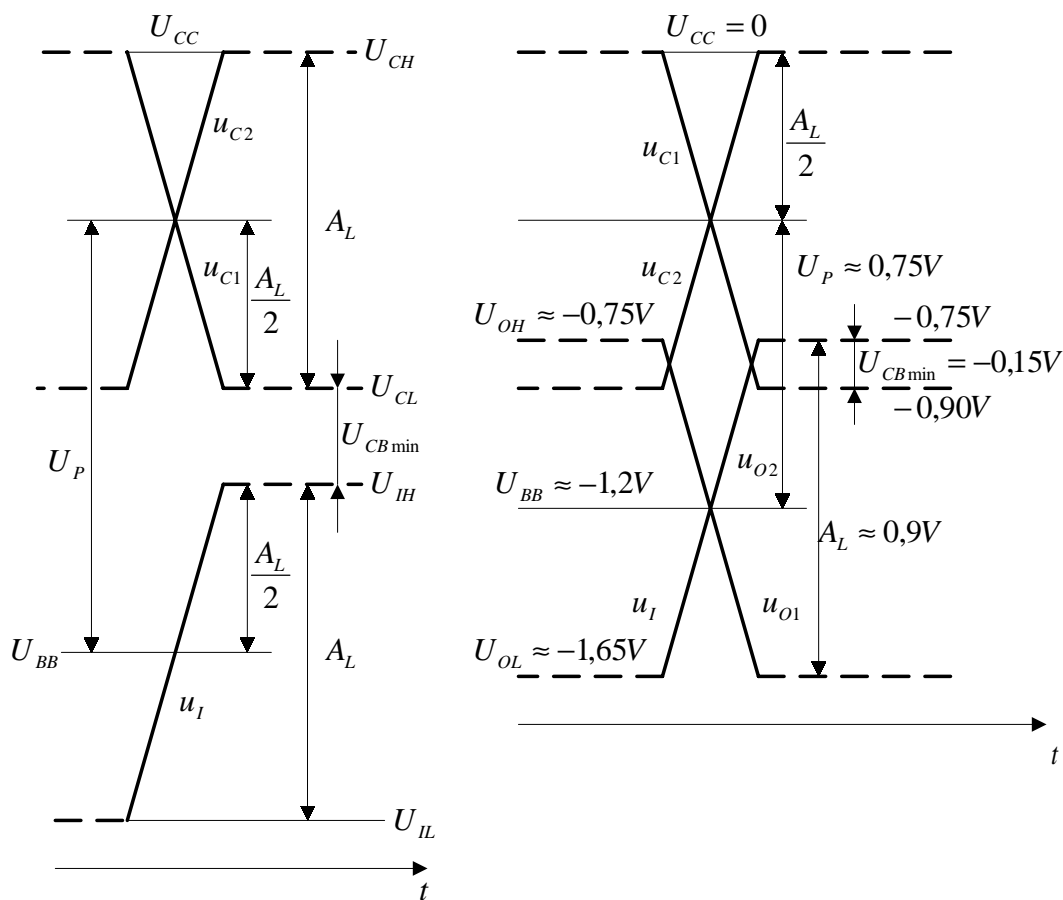


Zaznaczone na rys.7.19 napięcie  $U_{CB\min}$  jest założoną najmniejszą wartością napięcia  $U_{CB}$  tranzystorów przełącznika prądowego. Zgodnie z oznaczeniami na rys.7.19a wynosi ono

$$U_{CB\min} = U_{CL} - U_{IH} \quad (7.20)$$

Jeżeli amplituda logiczna sygnału na wejściu i wyjściu układu jest taka sama, to w układzie na rys.7.18a przebieg napięcia na kolektorze  $u_C$  jest przesunięty względem napięcia wejściowego  $u_I$  o pewną wartość  $U_P$

$$U_P = A_L + U_{CB\min} = (U_{CH} - U_{CL}) + (U_{CL} - U_{IH}) = U_{CH} - U_{IH} \quad (7.21)$$



Rys.7.19. Wzajemne usytuowanie przebiegu wejściowego  $u_I$  względem przebiegów wyjściowych: a) w układzie z rys.7.18a; b) w układzie z rys.7.18b.

Aby tranzystory przełącznika prądowego pracowały w obszarze aktywnym, napięcie  $U_{CB\min}$  powinno być dodatnie, co zapewnia zaporową polaryzację złączy kolektor - baza. Praktycznie warunek ten można nieco osłabić i przyjąć, że napięcie to może przyjmować niewielkie wartości ujemne, np.  $U_{CB\min} \approx -0,15V$  (dodatnia polaryzacja



złącza kolektorowego napięciem  $U_{CB} \approx 0,15 \text{ V}$ , poniżej progu przewodzenia).

Przyjmując, że napięcie  $U_P = U_{BEP} \approx 0,75 \text{ V}$ , możemy wyznaczyć typową amplitudę logiczną układów ECL

$$A_L \approx U_P - U_{CB\min} \approx 0,75 + 0,15 = 0,9 \text{ V} \quad (7.22)$$

Jak pokazano na rys.7.19b, zastosowanie wtórników emiterowych powoduje, że napięcia wyjściowe  $u_O$  są przesunięte względem napięć kolektorowych  $u_C$  o wartość  $U_P \approx 0,75 \text{ V}$ .

Zatem napięcie odniesienia  $U_{BB}$ , równe średniej wartości napięć wejściowych i wyjściowych w stanie niskim i wysokim, można określić następująco

$$U_{BB} = U_{CC} - \frac{A_L}{2} - U_P \quad (7.23)$$

Dla typowej wartości  $U_{CC} = 0$  oraz uprzednio przyjętych założeń:  $U_{CB\min} \approx -0,15 \text{ V}$ ,  $U_P \approx 0,75 \text{ V}$ ,  $A_L \approx 0,9 \text{ V}$ , otrzymuje się  $U_{BB} \approx -1,2 \text{ V}$ . Napięcia wyjściowe w obu stanach wynoszą

$$U_{OH} \approx U_{BB} + \frac{A_L}{2} = -0,75 \text{ V}, \quad U_{OL} \approx U_{BB} - \frac{A_L}{2} = -1,65 \text{ V}.$$

#### 7.4.2. Przykłady realizacji bramek ECL

Układy ECL są produkowane przez wiele firm, zarówno w formie uniwersalnych układów scalonych ECL, jak również jako specjalizowane układy ECL do określonych zastosowań (również w formie układów o bardzo wielkiej skali integracji VLSI).

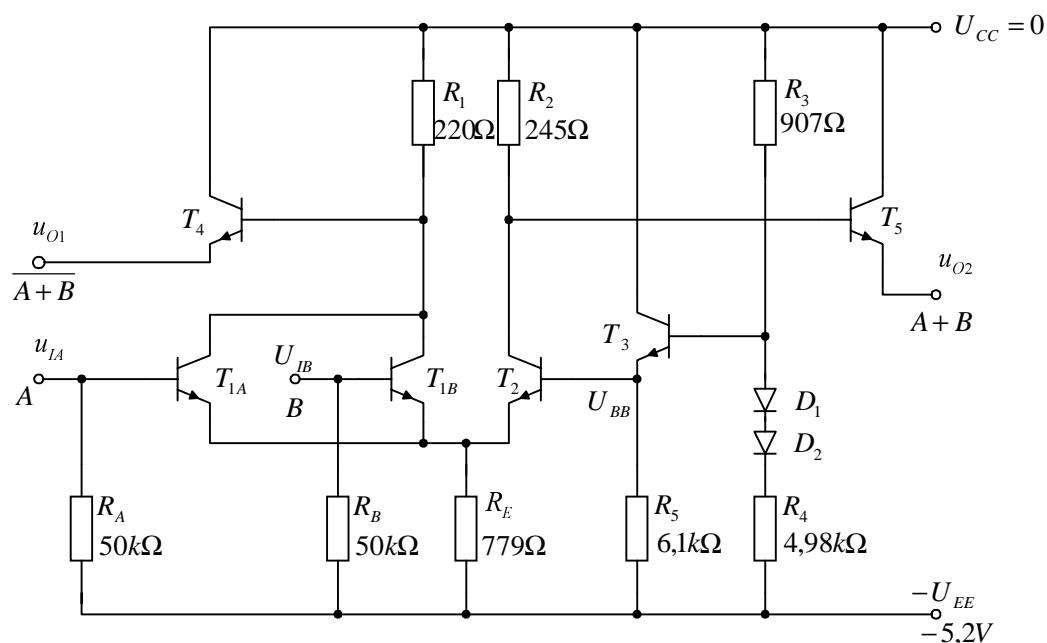
Do bardzo popularnych układów ECL należą układy serii 10 K i serii 100 K, których typowe wartości parametrów zestawiono w tabeli 7.4.

Tabela 7.4. Podstawowe parametry typowych bramek ECL

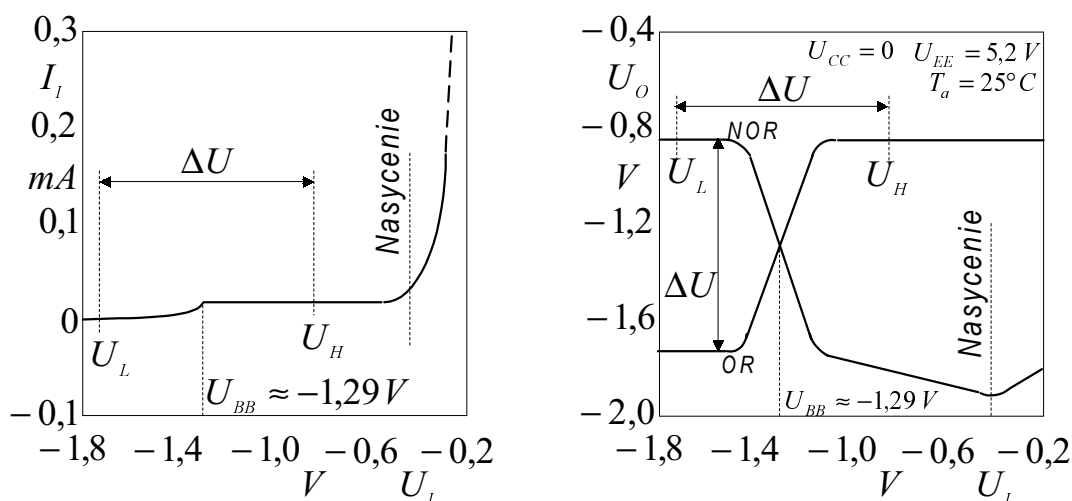
Parametr	Typ bramki	
	10 K	100 K
Napięcie zasilania $U_{EE}$ [V]	5,2	4,5
Moc zasilania $P_0$ [mW]	26	36
Czas propagacji $t_p$ [ns]	2	0,75
$P_0 t_p$ [pJ]	52	27
Amplituda logiczna $A_L$ [V]	0,9	0,75
Obciążalność $N$	30	30

Na rys.7.20 przedstawiono schemat ideowy typowej dwuwęściowej bramki ECL serii 10 K.

Bramka jest zasilana od strony emiterów napięciem  $-U_{EE} = -5,2\text{ V}$ , przy  $U_{CC} = 0$ . Zastosowanie nierównych rezystancji kolektorowych  $R_1 \neq R_2$  wiąże się z różnymi warunkami sterowania tranzystorów  $T_{1A}$ ,  $T_{1B}$  i tranzystora  $T_2$  i ma na celu wyrównanie poziomów napięć wyjściowych. Tranzystor  $T_3$ , polaryzowany z dzielnika  $R_3$  i  $R_4$  z diodami  $D_1, D_2$ , wytwarza napięcie odniesienia  $U_{BB} \approx -1,29\text{ V}$ . Temperaturowe zmiany napięcia  $U_{BB}$  są zbliżone do temperaturowych zmian średniego poziomu napięcia wyjściowego  $(U_{OH} + U_{OL})/2$ . Typowe charakterystyki bramki przedstawiono na rys.7.21.



Rys.7.20. Schemat bramki ECL serii 10 K



Rys.7.21. Typowe charakterystyki bramki serii 10 K: a) wejściowa, b) przejściowa

Bramki serii 100 K charakteryzują się krótszymi czasami propagacji oraz nieco większymi marginesami zakłóceń, co wynika z bardzo starannej kompensacji napięciowej i temperaturowej tych układów.

## 7.5. UKŁADY I<sup>2</sup>L

Bipolarne układy logiki iniekccyjnej tj. układy ze wstrzykiwaniem nośników ładunku, (ang. *integrated injection logic*) zostały opracowane na początku lat siedemdziesiątych i są stosowane wyłącznie w systemach o dużym i bardzo dużym stopniu scalenia (VLSI). Są nazywane również układami MTL (ang. *merged transistor logic*), czyli układami ze złączonymi tranzystorami, co podkreśla szczególną konstrukcję układu, zawierającego dwa podukłady złożone z tranzystorów pnp i npn strukturalnie połączone. Charakterystycznymi cechami układów I<sup>2</sup>L są: bardzo mała powierzchnia zajmowana przez pojedynczą bramkę, co umożliwia osiągnięcie dużej gęstości upakowania w strukturze scalonej oraz bardzo mały iloczyn mocy strat i czasu propagacji. Iloczyn  $P_s t_p$  jest rzędu 0,1 pJ, co wynika głównie z bardzo małej mocy strat (napięcie zasilania układów I<sup>2</sup>L wynosi ok. 1V). Czas propagacji - zależnie od konstrukcji - jest w granicach 10 - 50 ns, czyli nie są to układy zbyt szybkie. Technologia wykonania układów iniekcyjnych jest prostsza, a co najwyżej taka sama, jak przy wytwarzaniu konwencjonalnych układów bipolarnych.

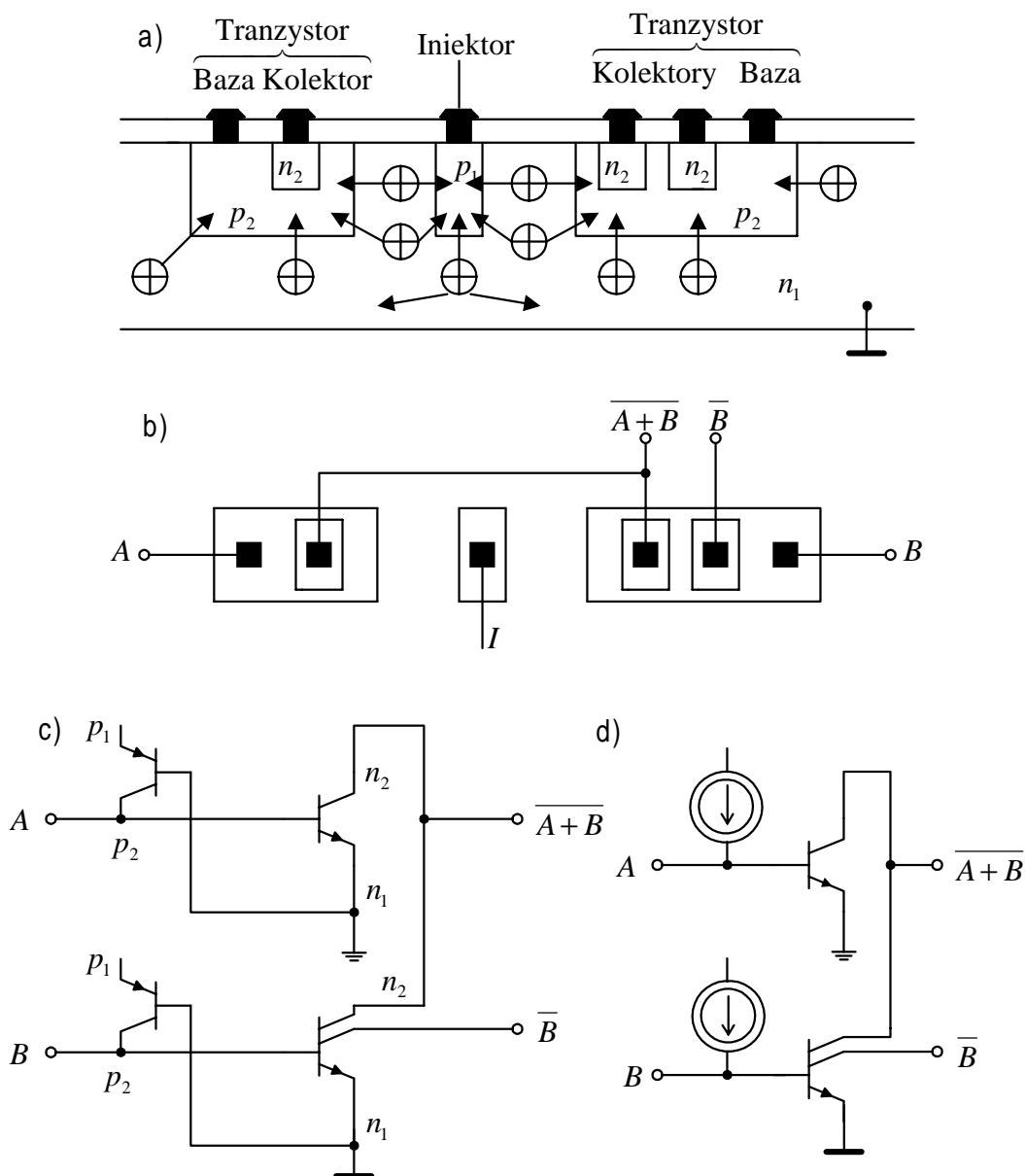
Struktura podstawowej bramki I<sup>2</sup>L wywodzi się z wcześniejszej podstawowej bramki DCTL (ang. *direct coupled transistor logic*). Na rys.7.22 przedstawiono budowę i schemat ideowy układu I<sup>2</sup>L.

Dziury oznaczone  $\oplus$  są wstrzykiwane z małego obszaru emitera  $p_1$  nazywanego *iniektorem* tranzystora pnp, utworzonego przez obszary  $p_1 n_1$  i  $p_2$  (rys.7.22a). Dziury te w najbliższym otoczeniu złącza emiter - baza (oznaczonego  $p_1, n_1$ ) stanowią nośniki prądu dwóch innych tranzystorów bipolarnych npn, przy czym każdy z tych dwu tranzystorów składa się z obszarów  $n_2 p_2$  i  $n_1$  (rys.7.22a). Jak widać tranzystory pnp i npn są strukturalnie połączone. Jak wynika z rys.7.22b każda bramka I<sup>2</sup>L ma kształt prostokąta (co bardzo ułatwia projektowanie złożonych systemów) i zajmuje bardzo małą powierzchnię (brak w strukturze rezystorów, zajmujących dużą powierzchnię).

Strukturom I<sup>2</sup>L na rys.7.22a, b odpowiada schemat elektryczny przedstawiony na rys.7.22c, przy czym pojedynczy iniektor w

rozważanym przykładzie został rozszczepiony na dwie linie  $p_1$ , dochodzące do dwóch tranzystorów npn.

Każda bramka  $I^2L$  w swej istocie jest inwerterem składającym się z jednego tranzystora npn, a tranzystor pnp reprezentuje źródło prądowe zasilające bazę tranzystorów npn. Źródło prądowe można zrealizować w postaci tranzystora wielokolektorowego, z emiterym (iniektorem) paskowym. Dzięki temu iniektor może równocześnie zasilć wielką liczbę bramek, rozmieszczonych symetrycznie po obu jego stronach.

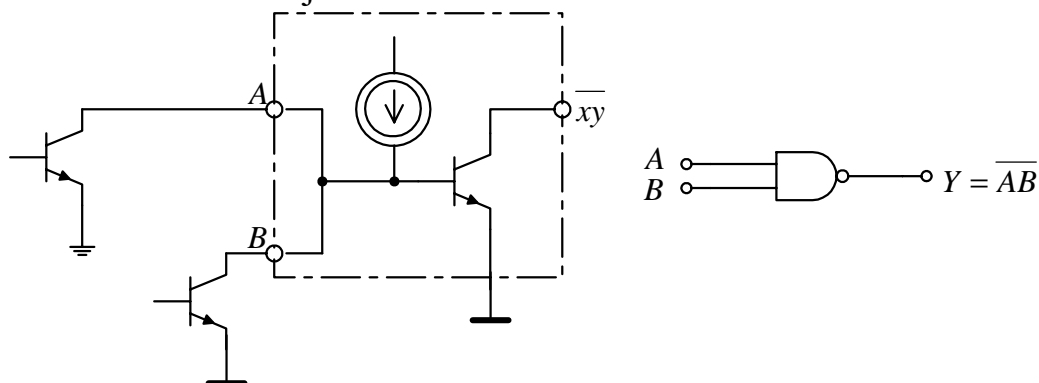


Rys.7.22. Układ  $I^2L$  a) przekrój poprzeczny struktury; b) widok z góry; c) schemat elektryczny; d) uproszczona postać schematu (c)

Operacje logiczne NOR realizuje się łącząc więcej niż jedną bramkę  $I^2L$  w układ Wired - AND (rys.7.22c), przy czym każda bramka

może mieć więcej niż jedno wyjście kolektorowe realizujące funkcje danej bramki, jak np. wyjście  $\overline{B}$  na rys.7.22c.

Projektowanie struktury logicznej układu I<sup>2</sup>L jest łatwiejsze, jeżeli oparte jest na funktorach NAND. Schemat elektryczny funktora NAND w technice I<sup>2</sup>L, przedstawiony na rys.7.23, wynika z realizacji funkcji Wired - AND na wejściu inwertera.



Rys.7.23. Funktor NAND w technice I<sup>2</sup>L: a) schemat elektryczny, b) symbol graficzny

Obecnie stosuje się różne odmiany techniki I<sup>2</sup>L, znacznie różniące się od klasycznej konstrukcji przedstawionej na rys.7.22, o znaczeniu raczej historycznym. Udoskonalenia w nowych rozwiązaniach I<sup>2</sup>L polegają głównie na zastosowaniu diod Schottky'ego.

## 7.6. UKŁADY LOGICZNE UNIPOLARNE

### 7.6.1. Ulepszenia technologiczne układów MOS

Zależnie od typu przewodnictwa kanału, unipolarne układy logiczne dzieli się na podklasy: PMOS i NMOS oraz układy CMOS (ang. *complementary MOS*) z komplementarnymi tranzystorami obu typów.

Układy MOS realizowane są głównie w postaci układów wielkiej i bardzo wielkiej skali integracji. Pierwszymi opracowanymi i upowszechnionymi układami unipolarnymi w końcu lat sześćdziesiątych były bramki PMOS, a dopiero później zaczęto produkować układy NMOS, które zapewniają większą szybkość działania, większą gęstość upakowania w układzie scalonym i kompatybilność współpracy z układami TTL. Mniejsza szybkość przełączania bramek PMOS wiąże się głównie z mniejszą ruchliwością nośników dziurowych w porównaniu do ruchliwości elektronów w krzemie. Szybkość przełączania unipolarnych układów logicznych zależy od pojemności

obciążenia, która przy obciążeniu kilkoma bramkami tego samego typu jest pewną krotnością pojemności wejściowej tranzystora sterującego (w przypadku układów PMOS lub NMOS), lub obu tranzystorów (w układach CMOS). Można w przybliżeniu przyjąć, że czas przełączania jest proporcjonalny do stałej czasowej

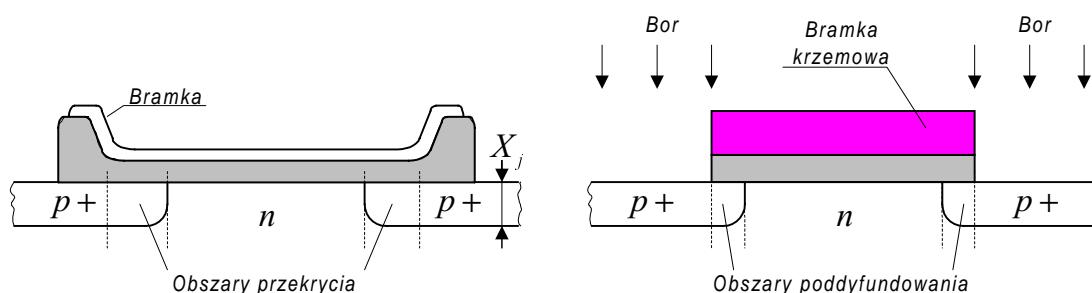
$$\tau = N \frac{L^2}{\mu(U_{DD} - U_T)} \quad (7.24)$$

gdzie: N - liczba bramek obciążających

L - długość kanału tranzystora sterującego

$\mu$  - ruchliwość nośników prądu w kanale.

Ponieważ w liczniku wyrażenia (7.24) występuje kwadrat długości kanału, zatem jest oczywistym, że radykalne działania technologiczne, mające na celu zwiększenie szybkości działania elementów MOS, wiążą się głównie ze skracaniem kanału. Dużym postępem technologicznym w tym zakresie było wprowadzenie bramki krzemowej w miejsce bramki aluminiowej (rys.7.24).



Rys.7.24. Tranzystor MOS z bramką: a) aluminiową; b) z polikrystalicznego krzemu

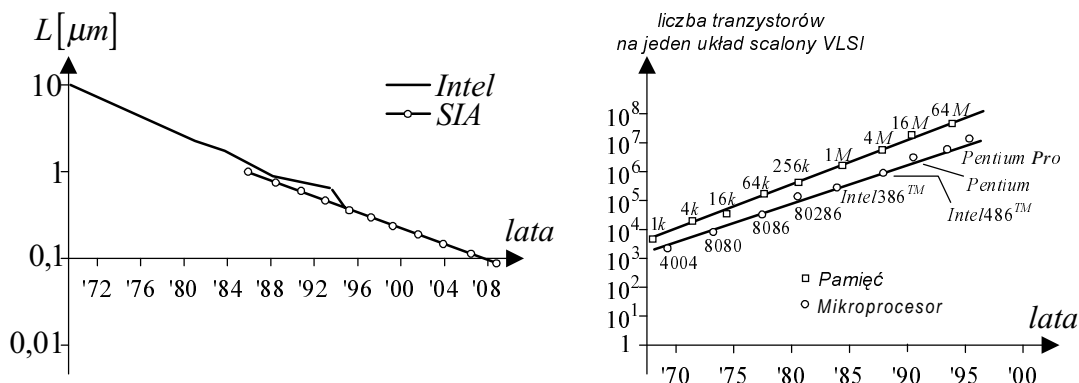
W tranzystorze z samocentrującą bramką wykonaną z polikrystalicznego krzemu, bramka jest maską wyznaczającą obszary dyfuzyjne  $p^+$ , co prowadzi tylko do nieznacznego przekrycia (wynikającego z poddyfundowania obszarów  $p^+$ ) bramki, obszarów dyfuzyjnych źródła i drenu. Wynikające stąd pojemności przekrycia, z których szczególnie szkodliwa jest pojemność bramka - dren wywołująca efekt Millera, są znacznie mniejsze niż w tranzystorze z bramką aluminiową, co pozwala na znaczne skrócenie czasów przełączania. Ponadto tranzystor może mieć krótki kanał, wykonany z dużą dokładnością. Wraz ze skracaniem długości kanału tranzystora opracowano zespół reguł projektowania układów MOS, nazywany *regułami skalowania*, przy pomocy których następuje odpowiednie skorygowanie (przeskalowanie) innych parametrów tranzystora. Uprozczone reguły skalowania zamieszczono w tabeli 7.5, przy czym

współczynnik skalowania  $S$  wyraża względne zmiany danej wielkości, jakie należy poczynić lub też są skutkiem skalowania.

Tabela 7.5. Uprozczone reguły skalowania

Parametr	Oznaczenie	Współczynnik skalowania
Długość kanału	$L$	$1/s$
Szerokość kanału	$W$	$1/s$
Grubość warstwy tlenku	$t_{ox}$	$1/s$
Gęstość domieszkowania podłoża	$n_B$	$s$
Głębokość dyfuzji obszarów drenu i źródła	$X_j$	$1/s$
Napięcie zasilania	$U_{DD}$	$1/s$
Prąd zasilania	$I_{DD}$	$1/s$
Pojemność obciążenia $\approx (W L)/t_{ox}$	$C$	$1/s$
Czas propagacji $\approx (U_{DD} I_{DD}) / C$	$t_p$	$1/s$
Moc zasilania (moc strat)	$P_S$	$1/s^2$
Iloczyn $P_S t_p$	-	$1/s^2$
Gęstość upakowania	-	$1/s^2$

Podstawową regułą skalowania jest zmniejszenie wymiarów liniowych proporcjonalnie ze skróceniem długości kanału, co pozwala zachować proporcje geometrii maski oraz w przybliżeniu te same charakterystyki tranzystora. Wraz ze zmniejszeniem długości kanału należy zmniejszyć napięcia zasilania, aby zachować stałe natężenie pola elektrycznego w kanale i nie dopuścić do przebicia warstwy tlenku. Zwiększenie domieszkowania podłoża ma na celu zredukowanie wpływu zjawiska skracania kanału na charakterystyki tranzystora. Aby jednak nie dopuścić do zwiększenia napięcia progowego, przy zwiększonym domieszkowaniu podłoża, zmniejsza się grubość warstwy tlenku. Zmniejszenie głębokości dyfuzji obszarów drenu i źródła zapewnia zachowanie proporcji pomiędzy czynną częścią kanału a obszarami poddyfundowania (rys.7.24).

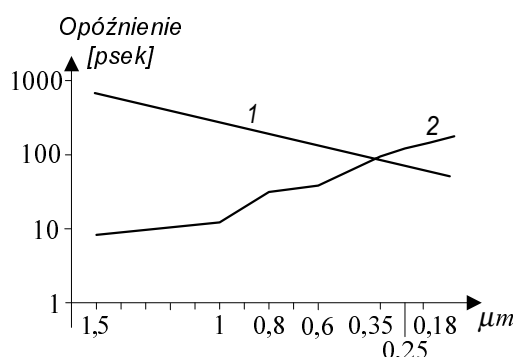


Rys.7.25. Długości kanału (a) i liczba tranzystorów (b) w typowych układach scalonych VLSI w kolejnych latach

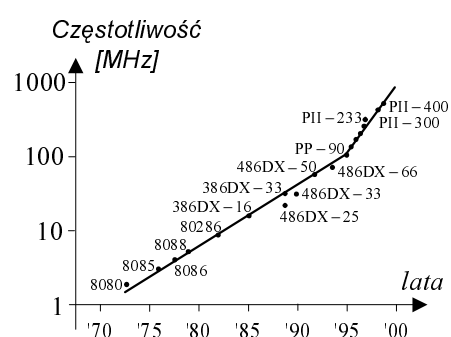
Na rys.7.25a pokazano stosowane długości kanałów tranzystorów w produkowanych systemach VLSI w kolejnych latach, wraz z prognozą na następne lata, a na rys.7.25b orientacyjną liczbę tranzystorów w najbardziej typowych systemach VLSI.

Wraz ze zmniejszeniem długości kanału maleje opóźnienie wnoszone przez pojedynczy tranzystor tak, że przy bardzo krótkich kanałach, jak pokazano na rys.7.26, większe opóźnienia wnoszą odcinki połączeń metalowych, mających przy dużych prędkościach przełączania właściwościiskoimpedancyjnych linii o stałych rozłożonych.

Zmniejszanie czasu propagacji pozwoliło na ciągłe zwiększanie częstotliwości zegara systemów cyfrowych realizowanych w postaci układów scalonych VLSI, co zilustrowano na rys.7.27.

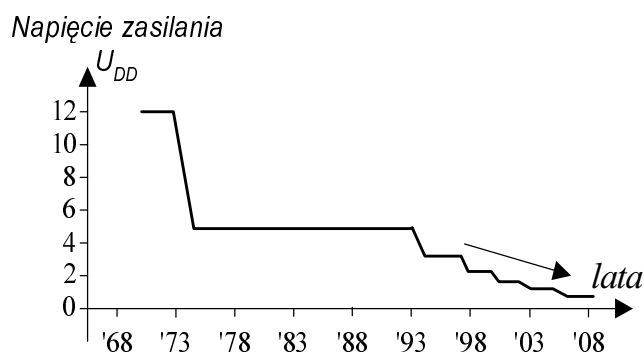


Rys.7.26. Opóźnienia wnoszone przez:  
1) pojedynczy tranzystor MOS  
2) odcinek połączenia metalowego w układzie scalonym VLSI



Rys.7.27. Częstotliwość zegara w typowych układach scalonych VLSI w kolejnych latach

W celu zapewnienia dużej gęstości upakowania w układzie VLSI, przy dużej częstotliwości pracy, należało zmniejszyć moc strat pojedynczej bramki, co wiązało się z koniecznością stosowania coraz to niższych napięć zasilających (rys.7.28).

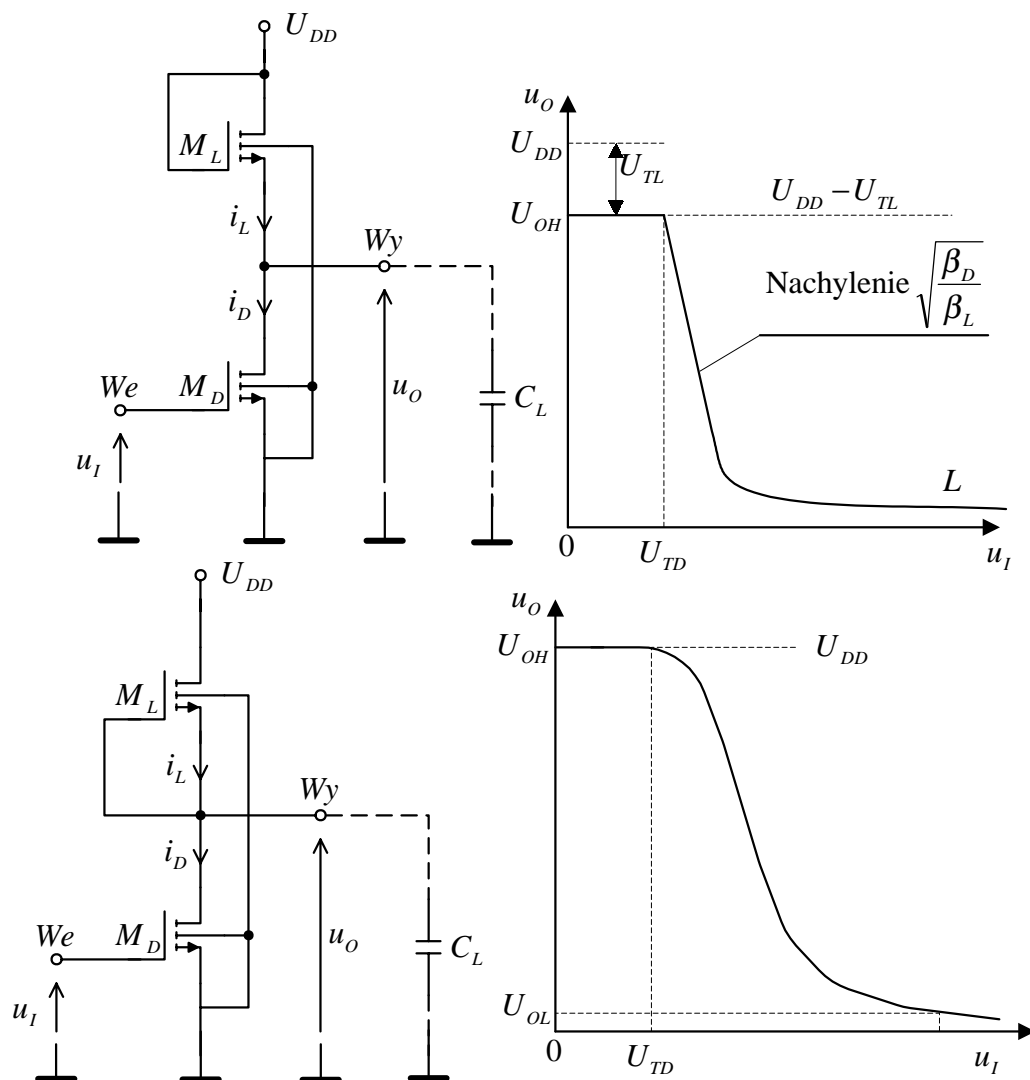


Rys.7.28 Stosowane napięcia zasilające układów scalonych VLSI w kolejnych latach



## 7.6.2. Bramki NMOS

Szczegółową analizę charakterystyk przejściowych inwerterów NMOS z różnymi obciążeniami aktywnymi przeprowadzono w rozdz.5.3.2. Na rys.7.29 zostały tylko powtórzone schematy ideowe i

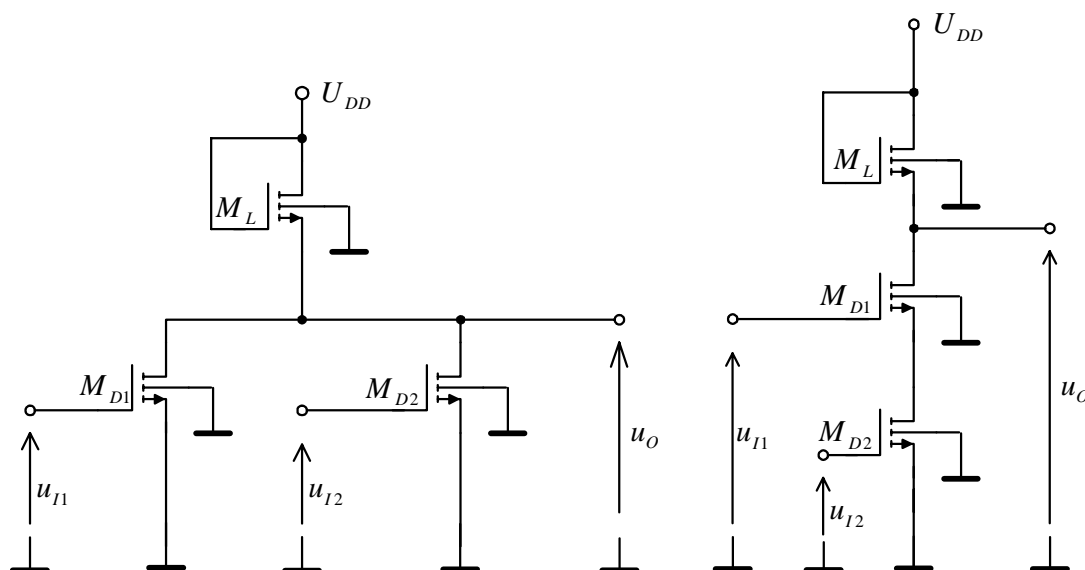


Rys.7.29. Schematy ideowe i charakterystyki inwerterów NMOS z obciążeniem dynamicznym: z tranzystorem wzmacniającym nMOS (a,b) oraz z tranzystorem zubożającym nMOS (c, d)

charakterystyki przejściowe inwerterów z dwoma obciążeniami aktywnymi: z tranzystorem wzmacniającym typu n (rys.7.29a) oraz z tranzystorem zubożającym typu n (rys.7.29c).

Układy z obciążeniem aktywnym z tranzystorem zubożającym nazywa się NDMOS (ang. *depleted*).

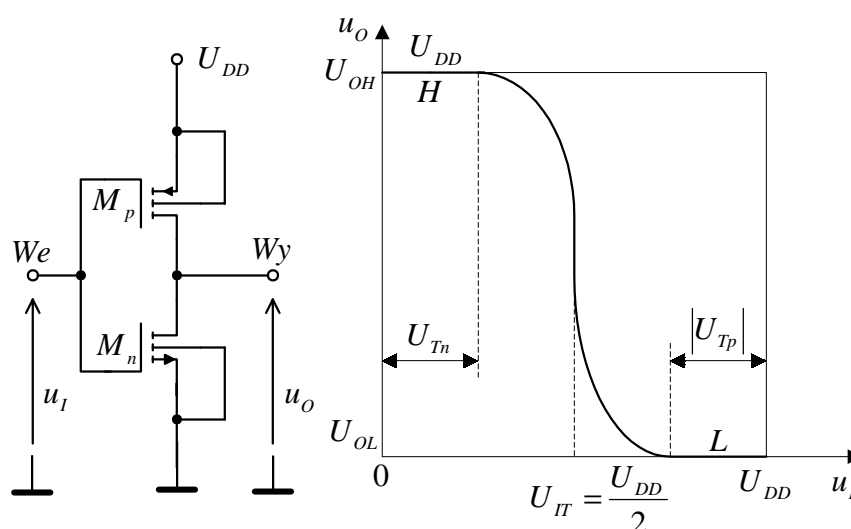
Łącząc równolegle lub szeregowo dwa lub więcej tranzystorów sterujących  $M_D$ , otrzymujemy bramki NOR lub NAND, pokazane na rys.7.30.



Rys.7.30. Bramki NMOS typu: a) NOR, b) NAND

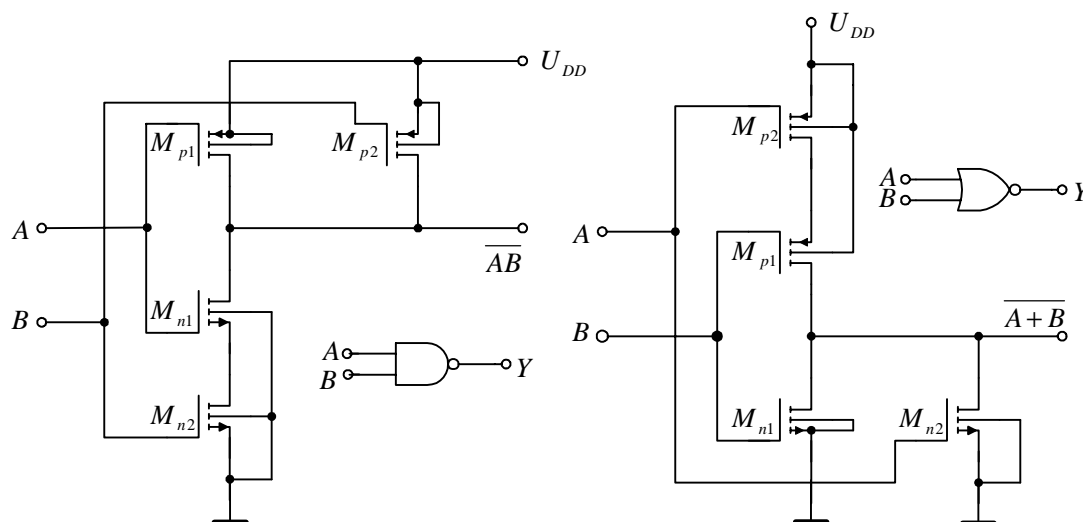
### 7.6.3. Bramki CMOS

Obszerna analiza charakterystyki przejściowej oraz procesów przełączania inwertera CMOS została przeprowadzona w rozdz. 5.3.3. Na rys.7.31 został powtórzony schemat ideowy inwertera CMOS i jego charakterystyka przejściowa.



Rys.7.31. Inwerter CMOS: a) schemat ideowy, b) charakterystyka przejściowa

Na rys.7.32 przedstawiono schematy ideowe bramek NAND i NOR w technice CMOS, pracujące na tej samej zasadzie co opisany wcześniej inwerter.

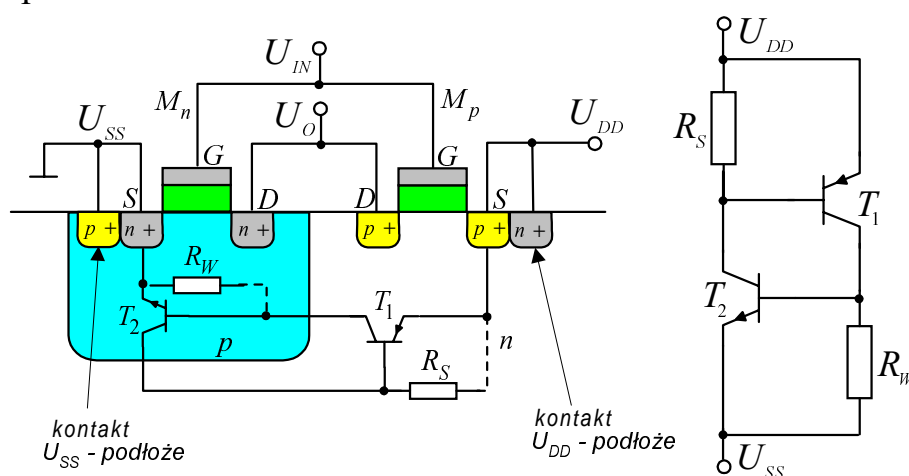


Rys.7.32. Bramki CMOS typu: a) NAND, b) NOR

Bramka NAND powstaje przez szeregowe połączenie tranzystorów nMOS i równoległe połączenie odpowiadających im tranzystorów pMOS. Po zamianie połączenia szeregowego na równoległe powstaje bramka NOR.

Elektrody bramek tranzystorów MOS są bardzo wrażliwe na ładunki statyczne. W celu uniknięcia uszkodzeń wejścia układów scalonych MOS są zabezpieczane odpowiednimi układami diodowymi.

Pewnym problemem technologicznym układów CMOS (szczególnie w początkowym etapie ich rozwoju) jest możliwość wystąpienia zjawiska noszącego nazwę *zatrzaśnięcia się* (ang. *latch-up*). Jak pokazano na rys.7.33, wskutek izolacji złączowej obu tranzystorów  $M_1, M_2$ , między zaciskami napięcia zasilania powstaje pasożytniczy tyrystor, który może ulec włączeniu. Zwierając zasilanie, może spowodować uszkodzenie układu.

Rys.7.33. Pasożytniczy tyrystor powstający wskutek izolacji złączowej tranzystorów  $M_p$  i  $M_n$

Jak wynika z modelu tranzystorowego pasożytniczego tyrystora, wytworzenie dodatkowych kontaktów  $n^+$  – podłoże  $n$  oraz  $p^+$  – podłoże  $p$  powoduje zmniejszenie wypadkowych rezystancji pomiędzy emiterami a bazami tranzystorów pasożytniczych, co w istotny sposób wpływa na ograniczenie możliwości wystąpienia zjawiska *latch - up*.

W technologii CMOS produkuje się bardzo szeroką gamę układów cyfrowych, od układów małej i średniej skali integracji do VLSI.

Przykładowo, układy CMOS małej i średniej skali integracji rodzin HC (*high - speed CMOS*), AHC (*advanced HC*) i AC (*advanced CMOS*) mają pełną zgodność końcówkową, oznaczeniową i funkcjonalną z układami TTL.