

5

PRZEŁĄCZANIE ELEMENTÓW PÓŁPRZEWODNIKOWYCH I UKŁADY PRZEŁĄCZNIKOWE

5.1. WPROWADZENIE

Podstawą realizacji *układów impulsowych* oraz niezwykle ważnych we współczesnej elektronice *układów cyfrowych* jest wykorzystanie wielkosygnałowej pracy elementów aktywnych, przełączanych między stanami odcięcia i przewodzenia, odpowiadających stanom *zera logicznego i jedynki logicznej*. Przejścia między tymi stanami powinny zachodzić w możliwie jak najkrótszym czasie, a ponadto układ powinien cechować się możliwie dokładnym odtworzeniem poziomów napięć odpowiadających stanom zera i jedynki logicznej.

Właściwości dynamiczne przełącznika opisuje się przebiegiem i czasem trwania poszczególnych faz procesów przełączania. Zależnie od użytych elementów stosuje się charakterystyczne dla nich wzorcowe układy przełączające oraz typowe sygnały sterujące.

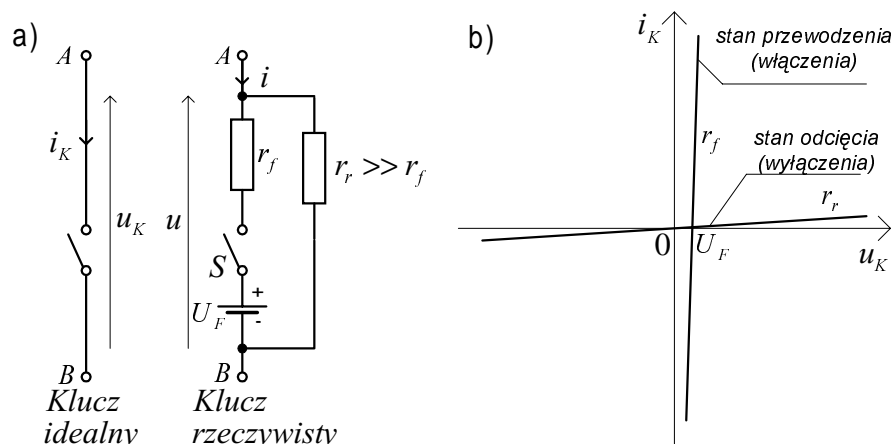
Ogólna tendencja realizacji coraz szybszych układów impulsowych i cyfrowych wynika z konieczności przetwarzania coraz to większej ilości informacji w jednostce czasu. Współczesne technologie monolityczne i techniki realizacji układów przełącznikowych pozwalają uzyskać czasy przełączania powszechnie stosowanych elementów półprzewodnikowych w zakresie od nanosekund do kilkudziesięciu pikosekund.

Stany załączenia i wyłączenia układu przełącznikowego (klucza) można scharakteryzować przy pomocy parametrów odniesionych do idealnego klucza o zerowej rezystancji w stanie włączenia i nieskończonej rezystancji w stanie wyłączenia (rys.5.1).

Rzeczywisty układ przełącznikowy posiada niezerową rezystancję r_f w stanie przewodzenia (włączenia) oraz skończoną wartość rezystancji r_r w stanie odcięcia (wyłączenia). Zatem charakterystyki prądowo - napięciowe rzeczywistego układu przełącznikowego są na ogół liniami nachylonymi, a ponadto, jak w przypadku elementów bipolarnych, przesuniętymi względem początku układu współrzędnych.

Nasze rozważania skoncentrujemy głównie na określeniu statycznych i dynamicznych właściwości podstawowych układów

przełącznikowych w oparciu o które realizowane są układy impulsowe i cyfrowe.



Rys.5.1. Model zastępczy układu przełącznikowego dla stanów przewodzenia i odcięcia (a) oraz charakterystyka prądowo - napięciowa dla tych stanów (b)

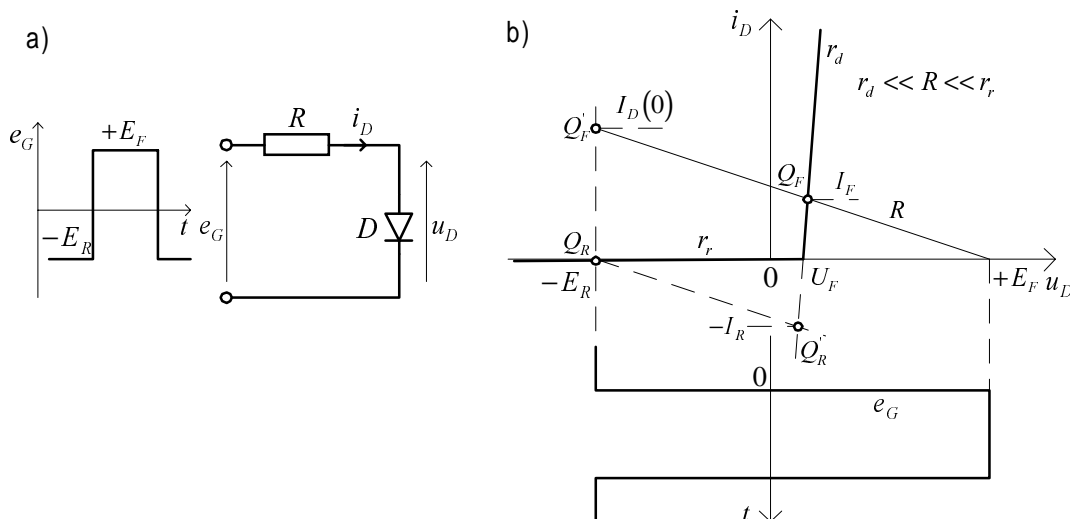
Pewnym uzupełnieniem będzie przedstawienie wybranych układów przełączników sterowanych, nazywanych kluczami analogowymi, umożliwiającymi przesyłanie sygnałów w torze tylko w określonym przedziale czasowym, wyznaczonym czasem trwania impulsu sterującego. Przy załączeniu klucza analogowego napięcie z jego wejścia powinno być przeniesione na jego wyjście z możliwie dużą dokładnością, zaś przy wyłączeniu klucza, napięcie wyjściowe powinno być niezależne od napięcia wejściowego.

5.2. PRZEŁĄCZANIE ELEMENTÓW PÓŁPRZEWODNIKOWYCH

5.2.1. Przełączanie diody

Proces przełączania diody półprzewodnikowej rozpatrzmy w typowym układzie przełączania (rys.5.2a), w którym dioda D jest połączona przez rezystor R ze źródłem sygnału impulsowego e_G zapewniającym zarówno polaryzację w kierunku przewodzenia jak i w kierunku zaporowym. Zwykle rezystancja R obwodu zewnętrznego jest dużo większa niż rezystancja r_d diody w kierunku przewodzenia ($R \gg r_d$) tak, że w stanie przewodzenia spełnione są warunki sterowania prądowego, natomiast dużo mniejsza niż rezystancja r_r diody

dla polaryzacji zaporowej ($R \ll r_r$) tak, że w stanie zaporowym spełnione są warunki sterowania napięciowego diody.



Rys.5.2. Typowy układ przełączania diody: a) schemat układu, b) wyznaczenie punktów pracy na charakterystyce diody

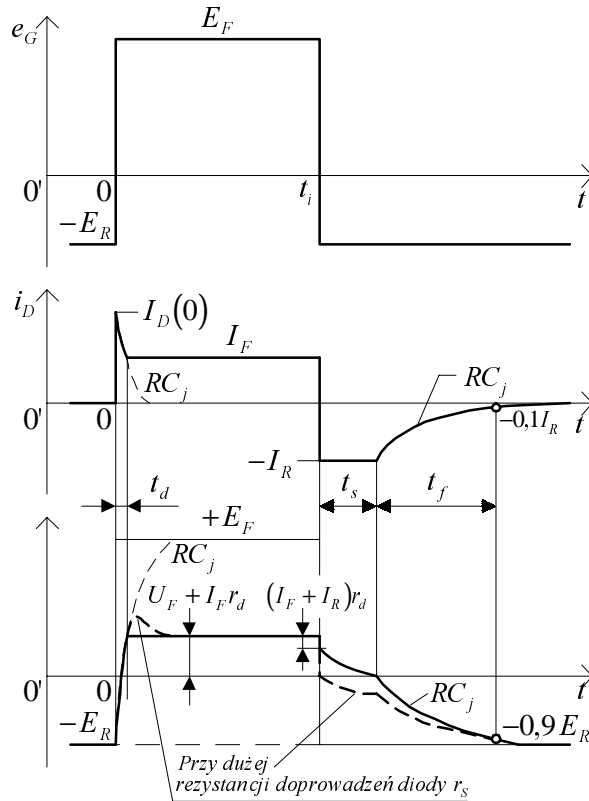
Na rys.5.2b przedstawiono graficzne wyznaczenie punktów pracy diody w stanie zaporowym Q_R i w stanie przewodzenia Q_F , które wynikają z oddziaływania napięć $-E_R$ i E_F [4]. Pomijając bardzo mały prąd nasycenia złącza przy polaryzacji zaporowej, napięcie na diodzie w stanie wyłączenia wynosi $-E_R$. W stanie przewodzenia, przy typowych warunkach przełączania: $E_F \gg U_F$ i $R \gg r_d$, napięcie na przewodzącej diodzie jest bliskie U_F , a prąd diody w punkcie pracy Q_F określony jest zależnością

$$I_F = \frac{E_F - U_D(Q_F)}{R + r_d} \approx \frac{E_F - U_F}{R} \quad (5.1)$$

Procesy przełączania diody od stanu odcięcia do stanu przewodzenia i odwrotnie mogą być scharakteryzowane odpowiednimi czasami trwania poszczególnych faz tych procesów, wynikających bezpośrednio z konieczności zgromadzenia lub odprowadzenia ładunku elektrycznego w bazie diody i w jej pojemności złączeniowej.

Idealizowane przebiegi czasowe prądu i napięcia, występujące w procesach przełączania diody sygnałem prostokątnym, przedstawiono na rys.5.3. Gdy napięcie źródła sygnału jest ujemne, dioda jest odcięta i pojemność złączowa diody C_j jest naładowana do napięcia $-E_R$. Skokowa zmiana napięcia e_G od $-E_R$ do $+E_F$ rozpoczyna proces ładowania pojemności złączowej, przy czym w pierwszej chwili prąd ładowania wynosi

$$I_D(0) = \frac{E_F + E_R}{R} \quad (5.2)$$



Rys.5.3. Idealizowane przebiegi czasowe prądu i napięcia w procesach przełączania diody

Napięcie na diodzie narasta ze stałą czasową RC_j , dążąc do asymptotycznej wartości E_F .

$$u_D = [U_D(0) - U_D(\infty)] \exp\left(\frac{-t}{RC_j}\right) + U_D(\infty) \quad (5.3)$$

przy czym $U_D(0) = -E_R$; $U_D(\infty) = +E_F$.

Gdy napięcie na diodzie osiągnie wartość U_F , równą ok. 0,7 V, dioda wchodzi w stan przewodzenia, ograniczając dalsze narastanie napięcia. Zatem z warunku

$$U_D(t_d) = U_F \quad (5.4)$$

możemy wyznaczyć *czas opóźnienia włączenia* diody t_d , wynikający z ładowania pojemności złączowej.

Podstawiając warunek (5.4) do równ. (5.3), otrzymujemy

$$t_d = RC_j \ln \frac{U_D(\infty) - U_D(0)}{U_D(\infty) - U_D(t_d)} = RC_j \ln \frac{E_F + E_R}{E_F - U_F} \quad (5.5)$$

W szczególnym przypadku, gdy $E_F = E_R \gg U_F$, wyrażenie (5.5) upraszcza się do postaci

$$t_d \approx R C_j \ln 2 = 0,69 R C_j \quad (5.6)$$

Przy wyprowadzaniu zależności (5.5, 5.6) nie uwzględniono zachodzącej zmiany pojemności złączonej $C_j(u_D)$ wraz ze zmieniającym się napięciem na tej pojemności, ponieważ analityczne rozwiązanie tego problemu nieliniowego nie jest łatwe. Praktycznie w miejsce pojemności C_j należy wprowadzić pewną uśrednioną pojemność

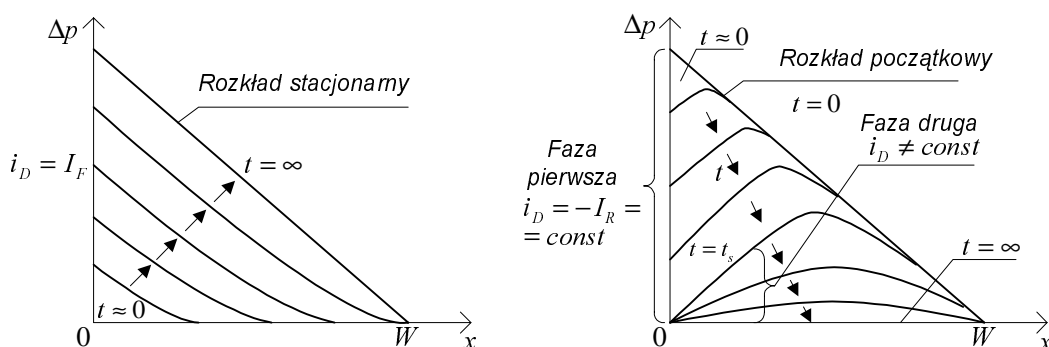
$$C_{sr} = k_C C_j (-E_R) + C_o \quad (5.7)$$

przy czym C_o jest pojemnością montażu złącza, a k_C jest współczynnikiem uśredniającym, równym ok. 1,5 dla złączy liniowych i ok. 2,0 dla złączy skokowych [4].

Począwszy od chwili t_d , przez diodę płynie prąd o wartości chwilowej określonej zależnością (5.1). Chociaż osiągnięcie napięcia U_F jest zewnętrzną oznaką zakończenia procesu włączania diody, to jednak w bazie diody trwa nadal proces ustalania się ładunku nośników nadmiarowych, który dla diody o krótkiej bazie określony jest iloczynem prądu przewodzenia I_F i stałej czasowej $\alpha_0 t_t \approx t_t$ (t_t jest czasem przelotu nośników prądu)

$$Q = I_F t_t \quad (5.8)$$

(Dla diody o długiej bazie zamiast czasu przelotu t_t należy stosować czas życia nośników τ). Proces gromadzenia ładunku nadmiarowych nośników mniejszościowych w diodzie o krótkiej bazie przedstawiono szkicowo na rys.5.4a. Stała wartość prądu I_F oznacza, że również gradient koncentracji nośników w bazie diody jest stały.



Rys.5.4. Chwilowe rozkłady nadmiarowych nośników ładunku (dziurowych Δp w bazie diody typu n : a) przy włączaniu, b) przy wyłączaniu

W początkowej fazie gromadzenia nadmiarowych nośników ładunku w bazie diody można zaobserwować mało znaczący chwilowy

wzrost napięcia na diodzie, szczególnie dla diod o dużej rezystancji obszarów doprowadzeń lub dużej indukcyjności doprowadzeń diody.

Znacznie dłuższe i bardziej złożone są procesy przy wyłączaniu diody, rozpoczynające się z chwilą skokowej zmiany sygnału z wartości E_F do wartości $-E_R$.

Ponieważ w bazie diody nagromadzony jest ładunek nadmiarowych nośników mniejszościowych, to bezpośrednio po skoku napięcia wyłączającego następuje zmiana prądu diody z I_F na $-I_R$, a na diodzie utrzymuje się jeszcze przez pewien czas napięcie dodatnie. Ponieważ zmiany napięcia u_D są niewielkie, dlatego prąd I_R jest praktycznie stały i wynosi

$$I_R \approx \frac{E_R + U_F}{R} \quad (5.8)$$

Niewielki, ujemny skok napięcia na zaciskach diody jest wynikiem zmiany kierunku spadku napięcia na rezystancji szeregowej r_s diody: $\Delta U = r_s (I_F + I_R)$.

Ze względu na zmianę kierunku prądu płynącego przez diodę, zmienia się również kierunek gradientu koncentracji nośników mniejszościowych w bazie przy złączu, co szkicowo przedstawiono na rys.5.4b. Dioda przechodzi ze stanu przewodzenia w stan odcięcia dopiero wtedy, gdy cały ładunek nadmiarowych nośników mniejszościowych w bazie zostanie z niej usunięty. W pierwszej fazie wyłączania, nazywanej również *fazą magazynowania*, utrzymuje się stały gradient koncentracji nośników mniejszościowych przy złączu (a tym samym płynie stały prąd diody $-I_R$).

Stosując *quasi - stacjonarny* model diody, składający się z idealnej diody i pojemności dyfuzyjnej, proces usuwania ładunku w pierwszej fazie wyłączania może być opisany równaniem różniczkowym w postaci

$$-I_R = i_D + \frac{dq_D}{dt} = i_D + t_i \frac{di_D}{dt} \quad (5.10)$$

Rozwiązując równanie różniczkowe (5.10), przy warunku początkowym $i_D = I_F$, otrzymujemy

$$i_D = (I_F + I_R) \exp(-t/t_i) - I_R \quad (5.11)$$

Czas trwania tej fazy t_s (ang. *storage time*) wyznaczymy z warunku $i_D(t_s) = 0$. Podstawiając ten warunek do równania (5.11), otrzymujemy

$$t_s = t_t \ln \left(1 + \frac{I_F}{I_R} \right) \quad (5.12)$$

Druga faza wyłączania rozpoczyna się z chwilą, gdy napięcie na złączu osiąga wartość zerową i rozpoczyna się ładowaniem uśrednionej pojemności złączowej (równ. 5.9) do napięcia $-E_R$. Czas ładowania, będący jednocześnie czasem t_f opadania prądu diody (ang. *falling time*), wynosi

$$t_f = 2,2 R C_{sr} \quad (5.13)$$

Całkowity czas wyłączania diody wynosi

$$t_{OFF} = t_s + t_f \quad (5.14)$$

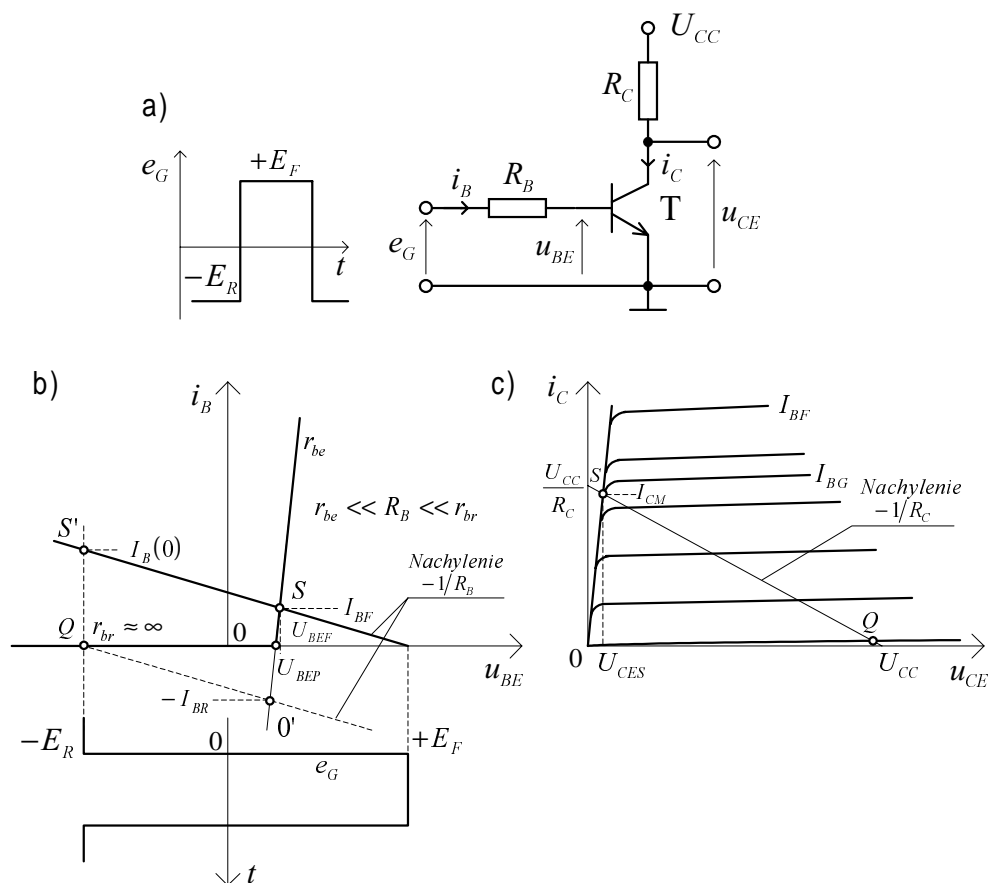
Przeprowadzona analiza czasów trwania poszczególnych faz procesu przełączania diody, pomimo że dotyczy przypadku najprostszego sygnału przełączającego o kształcie idealnego przebiegu prostokątnego, jest niezbyt dokładna z uwagi na wykorzystanie uproszczonych modeli i nieuwzględnienie wielu zjawisk występujących w tych procesach. Pomimo tego pozwala ona na ogólne zrozumienie zjawisk zachodzących w tych procesach i oszacowanie wpływu bezwładności diody w różnych układach stosujących diody.

Analiza układów zawierających diody może być oczywiście przeprowadzona znacznie dokładniej metodami numerycznymi, z zastosowaniem typowych modeli diod z elementami nieliniowymi.

5.2.2. Przełączanie tranzystora bipolarnego

Jednym z najważniejszych układów przełącznikowych jest klucz tranzystorowy nasycony. W układzie tym tranzystor pracuje w konfiguracji OE i jest sterowany od stanu odcięcia do stanu nasycenia. Typowy układ przełączania tranzystora bipolarnego oraz graficzne wyznaczenie punktów pracy na charakterystykach bazowych i kolektorowych, odpowiadających stanom odcięcia i nasycenia przedstawiono na rys.5.5 [4].

Sterowanie obwodu wejściowego tranzystora jest bardzo podobne do sterowania przy przełączaniu diody.



Rys.5.5. Przełączanie tranzystora bipolarnego: a) typowy układ przełączania; graficzne wyznaczenie punktów pracy na charakterystykach: b) bazowych, c) kolektorowych

Prąd bazy I_{BF} w stanie włączenia tranzystora wynosi

$$I_{BF} = \frac{E_F - U_{BEP}}{R_B} \quad (5.15)$$

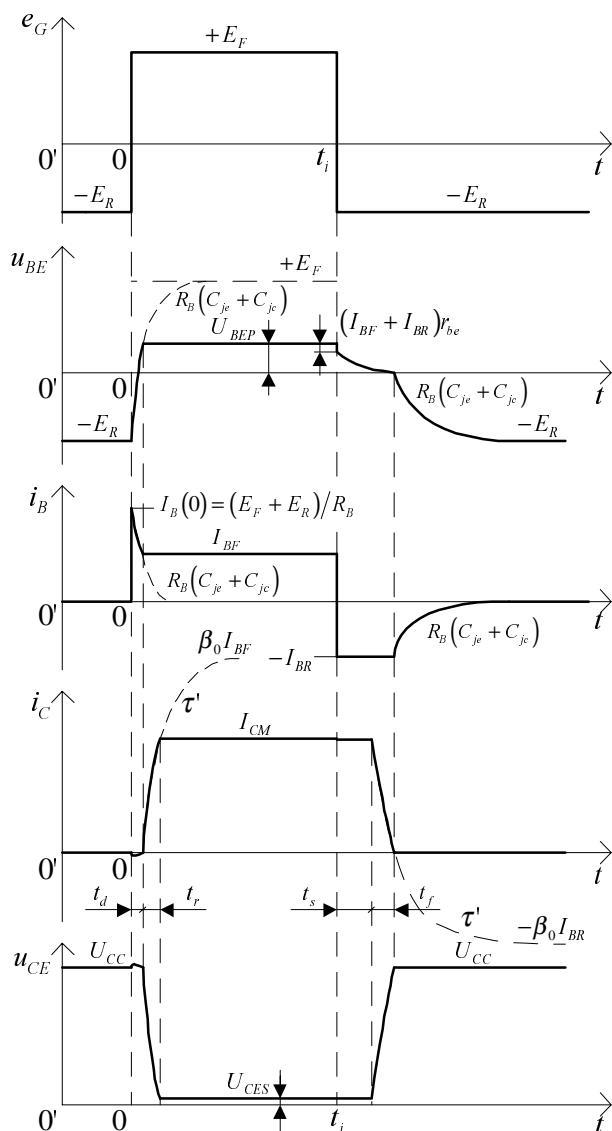
przy czym napięcie baza-emiter jest równe w przybliżeniu: $U_{BEP} \approx 0,65 - 0,7 \text{ V}$.

Prąd bazy jest wystarczająco duży, aby tranzystor wprowadzić w stan nasycenia, kiedy to prąd kolektora ograniczony jest przez rezystancję w obwodzie kolektora

$$I_{CM} = \frac{U_{CC} - U_{CES}}{R_C} \quad (5.16)$$

Napięcie kolektor - emiter tranzystora w stanie nasycenia jest małe i wynosi w przybliżeniu $U_{CES} \approx (0,1 - 0,2) \text{ V}$, ponieważ jest ono różnicą napięć na obu złączach tranzystora spolaryzowanych w kierunku przewodzenia: $U_{CES} = U_{BEP} - U_{BCP}$. Napięcie nasycenia U_{CES} jest tym mniejsze, im większy jest prąd bazy tranzystora ponad wartość

graniczną $I_{BG} = I_{CM}/\beta_0$, przy której tranzystor znajduje się na granicy stanu nasycenia. Idealizowane przebiegi czasowe napięć i prądów przy prądowym przełączaniu tranzystora (tzn. gdy spełniony jest warunek, że rezystancja wejściowa tranzystora przy polaryzacji w kierunku przewodzenia jest mała w porównaniu do R_B , czyli $r_{be} \ll R_B$) przedstawiono na rys.5.6.



Rys.5.6. Idealizowane przebiegi czasowe prądów i napięć przy przełączaniu tranzystora bipolarnego

Do analizy procesu przełączania możemy wykorzystać model tranzystora Ebersa - Molla przy polaryzacji normalnej tranzystora. Analizę procesu przełączania rozpoczniemy od momentu, gdy napięcie źródła sygnału e_G zmienia się od wartości $-E_R$ do $+E_F$. Podobnie jak w przypadku przełączania diody, tranzystor pozostaje w stanie odcięcia aż do chwili, gdy pojemności złączone C_{je} i C_{jc} zostaną naładowane tak, że napięcie na złączu baza-emiter osiągnie wartość U_{BEP} . Początkowa wartość prądu ładowania tych pojemności wynosi

$(E_R + E_F) / R_B$, a proces narastania napięcia na bazie tranzystora, wiążący się z ładowaniem pojemności złączowych, jest taki sam jak w przypadku przełączania diody. Osiągnięcie napięcia U_{BEP} na bazie tranzystora następuje po czasie opóźnienia włączenia tranzystora t_d (ang. *delay time*)

$$t_d = R_B (C_{je} + C_{jc}) \ln \frac{E_F + E_R}{E_F - U_{BEP}} \quad (5.17)$$

W równaniu (5.17), jak również w dalszych rozważaniach procesów przełączania tranzystora bipolarnego, należy uwzględnić uśrednione pojemności złączowe C_{je} i C_{jc} , wyznaczone tak, jak w przypadku uśrednionej pojemności złączowej diody (równ. 5.7).

Po czasie t_d tranzystor osiąga stan aktywnego przewodzenia normalnego, przy czym prąd bazy osiąga wartość I_{BF} (równ. 5.15).

Narastanie prądu kolektora wyznaczmy na podstawie równań ładunkowych, przy czym zostanie pominięty ładunek w pojemności złączowej baza-emiter ($q_{je} \ll q_{jc}$ ponieważ $u_{BE} \ll u_{CB}$).

$$i_B = \frac{q_B}{\tau} + \frac{dq_B}{dt} + \frac{dq_{jc}}{dt} \quad (5.18)$$

$$i_C = \frac{q_C}{t_t} \quad (5.19)$$

Miedzy czasem życia nośników τ i czasem przelotu nośników t_t zachodzą następujące relacje

$$\tau = \beta_0 t_t = \frac{1}{\omega_\beta} ; \quad t_t = \frac{1}{\omega_T} \quad (5.20)$$

przy czym $\omega_T = \alpha_0 \omega_\alpha = \beta_0 \omega_\beta = 2 \pi f_T$ jest polem wzmocnienia tranzystora.

Podstawiając zależności (5.19 i 5.20) do równania (5.18), otrzymujemy

$$i_B = \frac{i_C}{\beta_0} + t_t \frac{di_C}{dt} + \frac{dq_{jc}}{dt} \quad (5.21)$$

Przybliżoną wartość ostatniego składnika równ. (5.21) wyznaczmy na podstawie definicji pojemności C_{jc} i schematu ideowego układu z rys.5.5a

$$\begin{aligned}\frac{dq_{jc}}{dt} &= -C_{jc} \frac{du_{CB}}{dt} \approx -C_{jc} \frac{du_{CE}}{dt} = \\ &= -C_{jc} \frac{d(U_{CC} - i_C R_C)}{dt} = C_{jc} R_C \frac{di_C}{dt}\end{aligned}\quad (5.22)$$

Podstawiając zależność (5.22) do równania (5.21), otrzymujemy

$$i_B = I_{BF} = \frac{i_C}{\beta_0} + (t_t + C_{jc} R_C) \frac{di_C}{dt} \quad (5.23)$$

ponieważ w stanie aktywnym prąd bazy jest stały i równy I_{BF} (równ. 5.15).

Rozwiązaniem równania różniczkowego (5.23), przy $i_C(0) = 0$, jest funkcja

$$i_C(t) = \beta_0 I_{BF} \left[1 - \exp \frac{-t}{\beta_0 (t_t + R_C C_{jc})} \right] \quad (5.24)$$

Prąd kolektora narasta ze stałą czasową

$$\tau' = \beta_0 t_t + \beta_0 R_C C_{jc} = \tau (1 + R_C \omega_T C_{jc}) \quad (5.24a)$$

która jest większa od τ o współczynnik wynikający z efektu Millera.

Prąd kolektora, opisany równ. (5.24), dąży do asymptotycznej wartości $\beta_0 I_{BF}$. Jeżeli zachodzi nasycenie tranzystora, tzn. gdy $\beta_0 I_{BF} > I_{CM} = \beta_0 I_{BG}$ (równ. (5.16)), to *czas narastania prądu kolektora* t_r (ang. *rise time*) od 0 do I_{CM} jest równy

$$t_r = \beta_0 (t_t + R_C C_{jc}) \ln \frac{\beta_0 I_{BF}}{\beta_0 I_{BF} - I_{CM}} = \beta_0 (t_t + R_C C_{jc}) \ln \frac{k_F}{k_F - 1} \quad (5.25)$$

przy czym wielkość

$$k_F = \frac{\beta_N I_{BF}}{I_{CM}} > 1 \quad (5.25a)$$

jest nazywana *współczynnikiem przesterowania*, albo *współczynnikiem głębokości nasycenia*.

Przesterowanie tranzystora skraca czas narastania prądu kolektora.

Przy $\beta_0 I_{BF} \gg I_{CM}$ ($k_F \gg 1$) narastanie prądu kolektora do poziomu I_{CM} jest w przybliżeniu liniowe i w tym przypadku zależność (5.25) upraszcza się do postaci

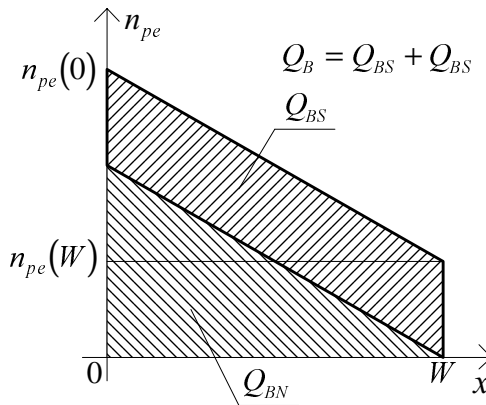
$$t_r \approx \beta_0 (t_t + R_C C_{jc}) \frac{I_{CM}}{\beta_0 I_{BF}} = \frac{1 + \omega_T R_C C_{jc}}{\omega_\beta} \frac{1}{k_F} \quad (5.26)$$

Nasycenie tranzystora kończy zewnętrzne stany nieustalone, jednak po czasie włączania

$$t_{ON} = t_d + t_r \quad (5.27)$$

trwa jeszcze proces gromadzenia nadmiarowego ładunku nośników mniejszościowych w bazie.

W stanie nasycenia oba złącza tranzystora są spolaryzowane w kierunku przewodzenia, zatem koncentracje brzegowe nośników mniejszościowych w bazie przy obu złączach są różne od zera. Ładunek Q_B nagromadzony w bazie można rozważać jako superpozycję ładunku granicznego Q_{BN} , odpowiadającego rozkładowi granicznemu nośników osiągniętemu w chwili wejścia w stan nasycenia, oraz nadmiarowy ładunek nasycenia Q_{BS} wynikający z przesterowania tranzystora i głębokiego wejścia w stan nasycenia. Rozkład ładunku nośników nadmiarowych w bazie tranzystora przedstawiono szkicowo na rys.5.7



Rys.5.7. Rozkład ładunku nośników nadmiarowych w bazie tranzystora dla zakresu nasycenia

W stanie nasycenia tranzystor jest elementem pasywnym i nie występuje w nim efekt Millera. Czas życia nośników mniejszościowych τ_s w stanie nasycenia opisany jest zależnością J. L. Molla [43]

$$\tau_s = \frac{\omega_{\alpha N} + \omega_{\alpha I}}{(1 - \alpha_N \alpha_I) \omega_{\alpha N} \omega_{\alpha I}} \quad (5.28)$$

przy czym $\omega_{\alpha N}$, $\omega_{\alpha I}$ oznaczają pulsacje graniczne współczynników wzmocnienia prądowego $\alpha_N(j\omega)$, $\alpha_I(j\omega)$ odpowiednio dla transmisji normalnej i inwersyjnej. Nadmiar ładunku Q_{BS} można wyrazić przy pomocy nadmiaru prądu bazy I_{BF} ponad wartość graniczną I_{BG} przy której tranzystor osiąga stan nasycenia ($\beta_0 I_{BG} = I_{CM}$).

Zatem

$$Q_{BS} = \tau_s (I_{BF} - I_{BG}) = \tau_s \left(I_{BF} - \frac{I_{CM}}{\beta_0} \right) \quad (5.29)$$

W momencie t_i napięcie źródła sygnału $e_G(t)$ zmienia się od wartości $+E_F$ do $-E_R$ i rozpoczyna się proces wyłączania tranzystora.

Stan nasycenia tranzystora utrzymuje się dalej, przez czas t_s , aż do chwili usunięcia z bazy tranzystora nadmiarowego ładunku nasycenia Q_{BS} . Czas t_s nazywa się *czasem magazynowania* lub *czasem przeciągania prądu kolektora* (ang. *storage time*).

Prąd bazy zmienia kierunek przepływu i przyjmuje wartość $-I_{BR}$, przy czym

$$I_{BR} \approx \frac{E_R + U_{BEP}}{R_B} \quad (5.30)$$

W pierwszym okresie wyłączania usuwany jest nadmiarowy ładunek Q_{BS} . W tym okresie napięcia na złączach są stałe, zatem nie występują zmiany ładunków w pojemnościach złączowych. Proces usuwania ładunku Q_{BS} może być opisany ładunkowym równaniem różniczkowym

$$i_{BS} = \frac{q_{BS}}{\tau_s} + \frac{dq_{BS}}{dt} = -I_{BR} - \frac{I_{CM}}{\beta_0} \quad (5.31)$$

Rozwiązując równanie różniczkowe (5.31), przy warunku początkowym $q_{BS}(0) = Q_{BS} = \tau_s (I_{BF} - I_{CM}/\beta_0)$ (równ. 5.29), otrzymujemy

$$q_{BS}(t) = -\tau_s \left(I_{BR} + \frac{I_{CM}}{\beta_0} \right) \exp\left(-\frac{t}{\tau_s}\right) + \tau_s \left(I_{BF} - \frac{I_{CM}}{\beta_0} \right) \exp\left(-\frac{t}{\tau_s}\right) \quad (5.32)$$

Tranzystor przechodzi do stanu aktywnego po czasie t_s , gdy $q_{BS}(t_s) = 0$. Podstawiając ten warunek do równ. (5.32) otrzymujemy

$$t_s = \tau_s \ln \frac{I_{BF} + I_{BR}}{I_{BR} + \frac{I_{CM}}{\beta_0}} = \tau_s \ln \frac{k_F + k_R}{1 + k_R} \quad (5.33)$$

gdzie

$$k_R = \frac{\beta_0 I_{BR}}{I_{CM}} \geq 0 \quad (5.33a)$$

jest współczynnikiem przesterowania tranzystora przy wyłączaniu.

Czas t_s maleje, gdy współczynnik przesterowania k_R jest duży tzn., gdy działanie wyłączające (polegające na usuwaniu ładunków z bazy ujemnym prądem bazy) jest silne. Należy jednak pamiętać, że czas t_s powiększa się, gdy tranzystor jest wprowadzany w stan głębokiego nasycenia poprzez silne przesterowanie tranzystora przy włączaniu (duże k_F). Występują zatem przeciwne wymagania dla zapewnienia krótkich czasów t_r i t_s .

Po upływie czasu t_s tranzystor ponownie znajduje się w stanie aktywnym. Rozpoczyna się opadanie prądu kolektora od wartości I_{CM} do asymptotycznej wartości $-\beta_0 I_{BR}$ ze stałą czasową τ' , tj. taką samą jak przy załączaniu (równ 5.24a)

$$i_c(t) = (I_{CM} + \beta_0 I_{BR}) \exp \left[-\frac{t}{\beta_0 (t_t + R_C C_{jc})} \right] - \beta_0 I_{BR} \quad (5.34)$$

Jednak w chwili osiągnięcia wartości $i_c(t) = 0$ tranzystor wchodzi w stan odcięcia i kończy się proces jego wyłączania. Następuje to po czasie opadania prądu kolektora t_f (ang. *fall time*)

$$t_f = \beta_0 (t_t + R_C C_{jc}) \ln \frac{I_{CM} + \beta_0 I_{BR}}{\beta_0 I_{BR}} = \beta_0 (t_t + R_C C_{jc}) \ln \frac{1 + k_R}{k_R} \quad (5.35)$$

Przy silnym przesterowaniu ($\beta_0 I_{BR} \gg I_{CM}$; $k_R \gg 1$) opadanie prądu kolektora jest w przybliżeniu liniowe i zależność (5.35) można przedstawić w przybliżonej postaci

$$t_f \approx \beta_0 (t_t + R_C C_{jc}) \frac{I_{CM}}{\beta_0 I_{BR}} = \frac{1 + \omega_T R_C C_{jc}}{\omega_T} \frac{1}{k_R} \quad (5.36)$$

Po wejściu w stan odcięcia tranzystor jest elementem pasywnym i rozpoczyna się ładowanie pojemności złączowych $C_{je} + C_{jc}$ ze stałą czasową $R_B (C_{je} + C_{jc})$.

Czas ładowania tych pojemności jest równy

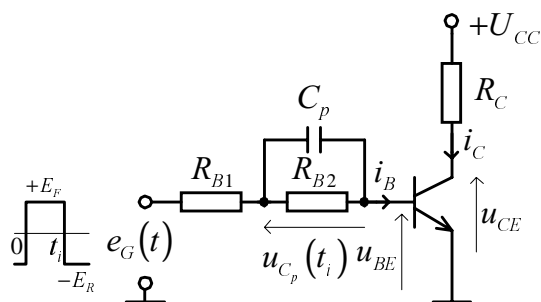
$$t_{pas} = 2,2 R_B (C_{je} + C_{jc}) \quad (5.37)$$

Łączny czas wyłączania tranzystora wynosi

$$t_{OFF} = t_s + t_f + t_{pas} \quad (5.38)$$

Aby uzyskać krótkie czasy przełączania tranzystora należy stosować niewielkie współczynniki przesterowania tranzystora przy załączaniu i przy wyłączaniu (płytkie nasycenie i płytkie zatkanie

tranzystora). W praktycznych rozwiązaniach zachodzi jednak bardzo często potrzeba głębokiego nasycenia i głębokiego zatkania tranzystora, co wiąże się z koniecznością usuwania dużych ładunków z pojemności złączowych i z bazy tranzystora. W takich przypadkach można skrócić czasy przełączania za pomocą tzw. *pojemności przyspieszającej*, bocznikującej część lub całą rezystancję R_B (najczęściej rezystancja źródła sterującego stanowi niedostępną część rezystancji w obwodzie bazy).



Rys.5.8. Przełączanie tranzystora z pojemnością przyspieszającą

Stała czasowa τ_r obwodu różniczkującego w obwodzie bazy (rys.5.8) powinna być mniejsza od czasu trwania impulsu wejściowego t_i , czyli

$$\tau_r = C_p \frac{R_{B1} R_{B2}}{R_{B1} + R_{B2}} < t_i \quad (5.39)$$

Jednocześnie sumaryczna rezystancja $R_{B1} + R_{B2}$ musi zapewnić uzyskanie prądu bazy wystarczającego do wejścia tranzystora w nasycenie

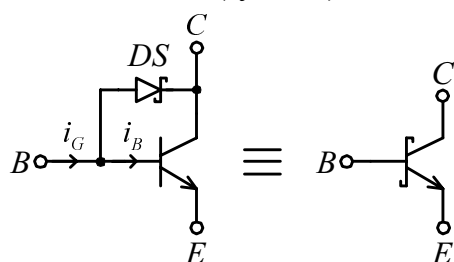
$$\beta_0 I_B = \beta_0 \frac{E_F - U_{BEP}}{R_{B1} + R_{B2}} > I_{CM} = \frac{U_{CC} - U_{CES}}{R_C} \quad (5.40)$$

Pojemność przyspieszająca C_p (kilka do kilkanaście pF) bocznikuje główną część rezystancji w obwodzie bazy R_{B2} . Przy skokowych zmianach sygnału sterującego $e_G(t)$ pojemność C_p utrzymuje prawie niezmiennione napięcie na rezystancji R_{B2} , wskutek czego prawie cała zmiana przełączającego napięcia odkłada się na małej rezystancji R_{B1} . Dzięki temu możliwe są bardzo duże zmiany prądu w obwodzie bazy, zarówno dodatnie jak i ujemne. Zaraz po skokowej zmianie napięcia sterującego, prąd bazy o dużej chwilowej wartości (płynący ze źródła sterującego głównie przez pojemność przyspieszającą) powoduje silne przesterowanie tranzystora, co w efekcie daje znaczne skrócenie czasów przełączania.

Należy zauważyć, że nawet w przypadku, gdy napięcie sterujące $e_G(t)$ zmienia się skokowo od $+E_F$ do zera (tzn. $E_R = 0$), to w układzie również występuje przesterowanie tranzystora przy wyłączaniu, bowiem ujemny prąd bazy jest wymuszany prądem rozładowywania pojemności przyspieszającej. W tym przypadku

$$-I_{BR} \approx -\frac{U_{C_p}(t_i)}{R_{B2}} = -\frac{E_F - U_{BEP}}{R_{B1} + R_{B2}} \frac{R_{B1}}{R_{B2}} \quad (5.41)$$

Znaczne skrócenie czasu przeciągania prądu kolektora można uzyskać przez dołączenie diody Schottky'ego równolegle do złącza kolektor - baza (rys.5.9)

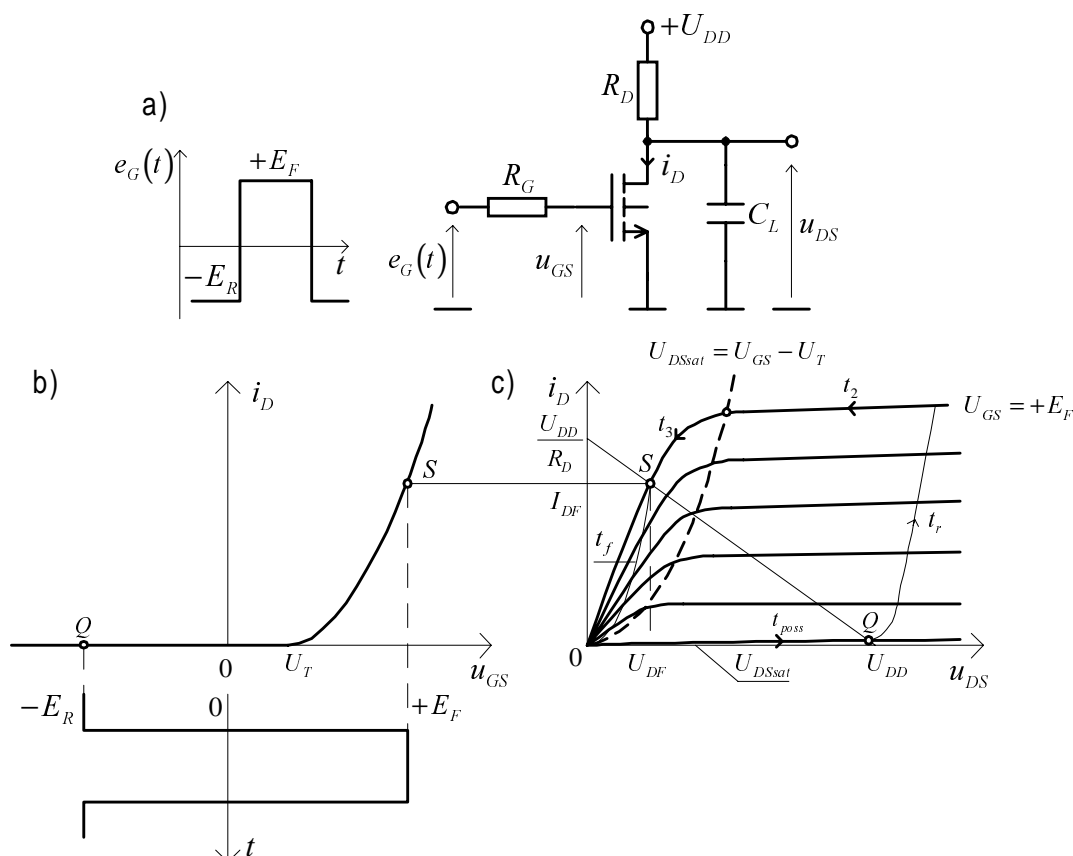


Rys.5.9. Tranzystor z diodą Schottky'ego przeciwdziałająca nasyceniu i jego symbol graficzny

Ujemne napięciowe sprzężenie zwrotne powoduje ograniczenie nasycenia się tranzystora, ponieważ uniemożliwia ono spadek napięcia kolektor - emiter poniżej wartości ok. 0,3 V. Przy przewodzącej diodzie część prądu ze źródła sterującego skierowana jest do obwodu kolektora, zapobiegając głębokiemu nasyceniu tranzystora.

5.2.3. Przełączanie tranzystora MOSFET

Układy przełącznikowe z tranzystorami MOS, głównie z kanałem wzbogacanym, są podstawowymi układami wykorzystywanymi do realizacji scalonych układów cyfrowych, analogowych układów z przełączanymi pojemnościami SC, czy też układów z przełączaniem prądów SI. Na rys.5.10 przedstawiono układ przełącznikowy z tranzystorem nMOS z kanałem wzbogacanym, z liniowym rezystorem R_D w obwodzie drenu i obciążony pojemnością C_L , którą w praktyce stanowią pojemności wejściowe tranzystorów MOS dołączonych do wyjścia analizowanego układu. Tranzystor jest sterowany za źródła sygnału $e_G(t)$ o rezystancji wewnętrznej R_G i zmieniającego się skokowo od ujemnej wartości $-E_R$ do dodatniej $+E_F$ i po czasie t_i ponownie do wartości $-E_R$.



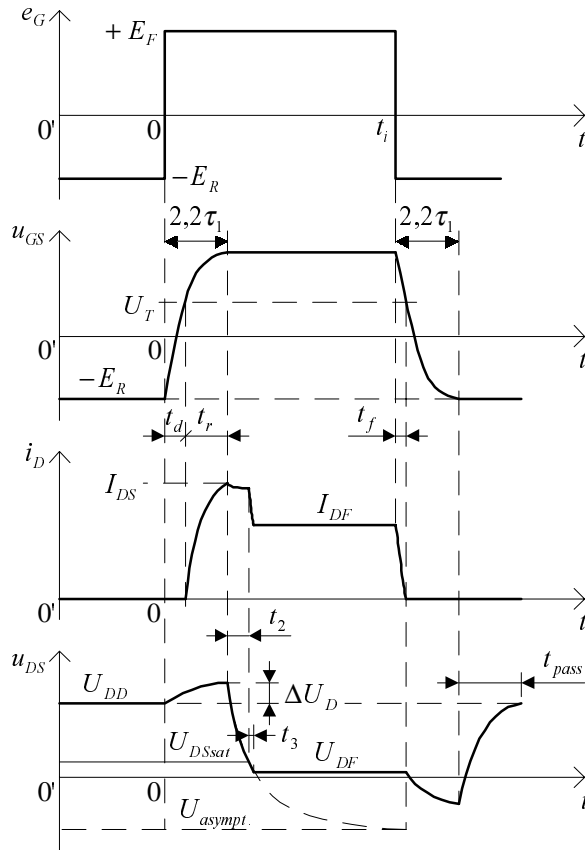
Rys.5.10. Przełączanie tranzystora nMOS: a) układ przełączania, b) graficzne wyznaczenie punktów pracy na charakterystykach bramkowych i drenowych

W praktycznych realizacjach scalonych zamiast liniowej rezystancji dyfuzyjnej R_D stosuje się obciążenie dynamiczne w postaci innego tranzystora. Układy przełącznikowe z dyskretnymi tranzystorami polowymi MOS i obciążeniem R_D są stosowane w różnego rodzaju układach impulsowych realizowanych na tranzystorach VMOS.

Idealizowane przebiegi czasowe napięć i prądów w procesach przełączania tranzystora nMOS przedstawiono na rys.5.11 [11].

Opóźnienia przy przełączaniu tranzystora MOS wynikają z przeładowywania pojemności międzyelektrodowych i ze skończonego czasu przelotu nośników przez kanał. Czas przelotu nośników t_t określa znana zależność

$$t_t = \frac{4}{3} \frac{L^2}{\mu (U_{GS} - U_T)} \quad (5.42)$$



Rys.5.11. Idealizowane przebiegi napięć i prądów przy przełączaniu tranzystora MOS

Czas t_i jest proporcjonalny do kwadratu długości kanału L oraz odwrotnie proporcjonalny do ruchliwości nośników i nadwyżki napięcia U_{GS} nad napięciem progowym U_T . Dla współczesnych tranzystorów czas przelotu jest bardzo mały w porównaniu z czasami trwania poszczególnych faz procesów przeładowania, determinowanych głównie przez pojemności międzyelektrodowe.

W chwili pojawienia się skokowej zmiany napięcia źródła sygnału od wartości $-E_R$ do $+E_F$, napięcie na bramce narasta za stałą czasową

$$\tau_1 = R_G (C_{gs} + C_{gd} + C_{gb}) \quad (5.43)$$

Po czasie opóźnienia t_d równym

$$t_d = \tau_1 \ln \frac{E_F + E_R}{E_F - U_T} \quad (5.44)$$

napięcie na bramce osiąga wartość progową U_T i zaczyna płynąć prąd drenu, który narasta do wartości I_{DS} odpowiadającej napięciu E_F na bramce. Czas narastania prądu drenu t_r jest różnicą pomiędzy czasem ustalania się napięcia na bramce i czasem opóźnienia t_d

$$t_r = 2,2 \tau_1 - t_d \quad (5.45)$$

Narastające napięcie na bramce przenosi się na wyjście przez dzielnik pojemnościowy $C_{gd} - (C_L + C_{db})$ wywołując wyskok napięcia u_{DS} ponad napięcie zasilania U_{CC} o niewielką wartość ΔU_D :

$$\Delta U_D = (E_F + E_R) \frac{C_{gd}}{C_{gd} + C_{db} + C_L} \quad (5.46)$$

W czasie t_2 napięcie u_{DS} maleje, wskutek rozładowywania się pojemności $C_{gd} + C_{db} + C_L$, ze stałą czasową $\tau_2 = R_D (C_{gd} + C_{db} + C_L)$ od wartości początkowej $U_{DD} + \Delta U_D$ dążąc do asymptotycznej wartości (najczęściej ujemnej) wynikającej z przepływu prądu szczytowego I_{DS}

$$U_{asympt} = U_{DD} - I_{DS} R_D \quad (5.47)$$

Proces ten kończy się po czasie t_2 , gdy chwilowy punkt pracy tranzystora przejdzie z obszaru nasycenia na granicę obszaru liniowego (triodowego) tzn., gdy napięcie dren - źródło osiągnie wartość

$$U_{DSsat} = U_{GS} - U_T = E_F - U_T$$

Stąd

$$t_2 = \tau_2 \ln \frac{U_{DD} + \Delta U_D - U_{asympt}}{U_{DSsat} - U_{asympt}} \quad (5.48)$$

Dalsze rozładowywanie pojemności $C_{gd} + C_{db} + C_L$ do wartości $u_{DS} = U_{DF}$, wynikającej z przecięcia się prostej roboczej o nachyleniu $-1/R_D$ z charakterystyką drenową $I_D = f(U_{DS})$ dla $U_{GS} = +E_F$ w obszarze liniowym (rys.5.10b) odbywa się w krótkim czasie $t_3 = 2,2 \tau_3$ ze stałą czasową

$$\tau_3 = (C_{gd} + C_{db} + C_L) \left(R_D \parallel \frac{1}{g_m} \right) = (C_{gd} + C_{db} + C_L) \frac{R_D}{1 + R_D g_m} \quad (5.49)$$

Całkowity czas włączania tranzystora wynosi

$$t_{ON} = t_d + t_r + t_2 + t_3 \quad (5.50)$$

Proces wyłączania tranzystora rozpoczyna się z chwilą pojawienia się ujemnego skoku napięcia źródła sterującego od $+E_F$ do $-E_R$. Napięcie na bramce zmienia się ze stałą czasową τ_1 określoną zależnością (5.43). Prąd drenu zmaleje do zera, gdy u_{GS} osiągnie wartość progową U_T po czasie

$$t_f = \tau_1 \ln \frac{E_F + E_R}{E_R + U_T} \quad (5.51)$$

Napięcie u_{GS} ustala się na poziomie - E_R po czasie $2,2 \tau_1$, przy czym przez krótki czas t_f napięcie $u_{DS} = U_{DF}$. Podobnie jak to miało miejsce przy narastaniu napięcia na bramce, tak i tym razem, po odcięciu tranzystora na drenie pojawia się napięcie ΔU_D (o wartości określonej równ. (5.46)), podążające za ujemną zmienną napięcia u_{GS} .

W stanie odcięcia tranzystor jest elementem pasywnym i rozpoczyna się ładowanie pojemności $C_{gd} + C_{db} + C_L$ ze stałą czasową τ_2 . Napięcie drenu ustala się po czasie

$$t_{pass} = 2,2 \tau_2 \quad (5.52)$$

Całkowity czas wyłączenia jest równy

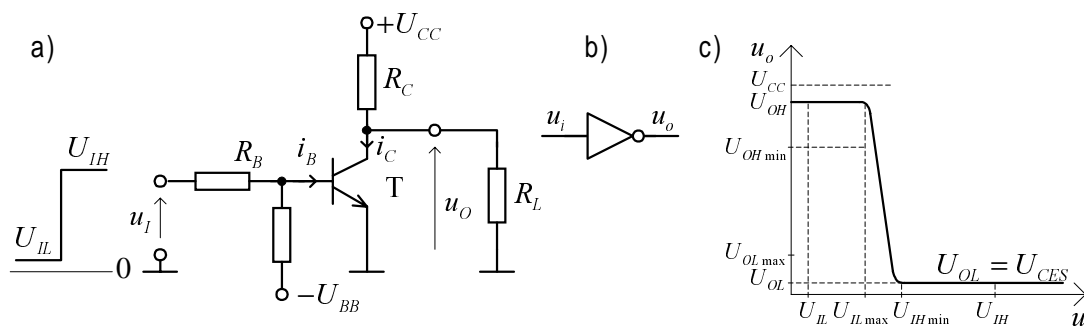
$$t_{OFF} = 2,2 \tau_1 + t_{pass} \quad (5.53)$$

5.3. PRZYKŁADY UKŁADÓW PRZEŁĄCZNIKOWYCH

5.3.1. Inwerter z tranzystorem bipolarnym

Inwertery, czyli układy przełącznikowe w których klucz tranzystorowy zapewnia inwersję sygnału wejściowego, są najprostszymi *układami logicznymi*, stanowiącymi również podstawę dla realizacji bardziej złożonych *funktorów logicznych*.

Na rys.5.12a przedstawiono schemat ideowy *inwertera bipolarnego nasyconego* w jednej z najstarszych technik realizacji układów logicznych, tzw. technice *rezystorowo-tranzystorowej RTL* (ang. *resistor - transistor logic*).



Rys.5.12. Inwerter z tranzystorem nasyconym w technice RTL: a) schemat układu, b) symbol, c) charakterystyka przejściowa

Dla zapewnienia skutecznego odcięcia tranzystora przy niskim poziomie napięcia wejściowego U_{IL} , jak również dla skrócenia czasu wyłączania, stosuje się czasami ujemne napięcie $-U_{BB}$ w obwodzie bazy, chociaż najczęściej przyjmuje się $U_{BB} = 0$.

W stanie, gdy na wejściu jest niski poziom napięcia, na bazie tranzystora występuje ujemne napięcie $-U_{BEZ}$ o wartości

$$-U_{BEZ} = U_{IL} \frac{R_2}{R_1 + R_2} - U_{BB} \frac{R_1}{R_1 + R_2} \quad (5.54)$$

Wtedy tranzystor znajduje się w stanie odcięcia, a napięcie na wyjściu inwertera w stanie wysokim wynosi (przy pominięciu zerowego prądu tranzystora)

$$U_{OH} = U_{CC} - R_C I_{OH} \quad (5.55)$$

gdzie $I_{OH} = U_{OH} / R_L$ jest prądem wypływającym z wyjścia do rezystancji obciążenia.

Aby napięcie U_{OH} nie obniżyło się w tym stanie poniżej pewnej dopuszczalnej wartości $U_{OH \min}$ (rys.5.12c), należy spełnić warunek

$$U_{OH \min} \geq U_{CC} \frac{R_{L \min}}{R_C + R_{L \min}} \quad (5.56)$$

Przy wysokim poziomie napięcia wyjściowego U_{IH} tranzystor znajduje się w stanie nasycenia, zapewniając niski poziom napięcia wyjściowego

$$U_{OL} = U_{CES} \quad (5.57)$$

Parametry układu muszą być tak dobrane, aby spełnić warunek nasycenia

$$\beta_0 I_{BF} > I_{C \max} \quad (5.58)$$

W ogólnym przypadku, gdy do wyjścia inwertera w stanie nasycenia tranzystora wpływa prąd $I_{OL \max}$, maksymalna wartość prądu kolektora jest równa

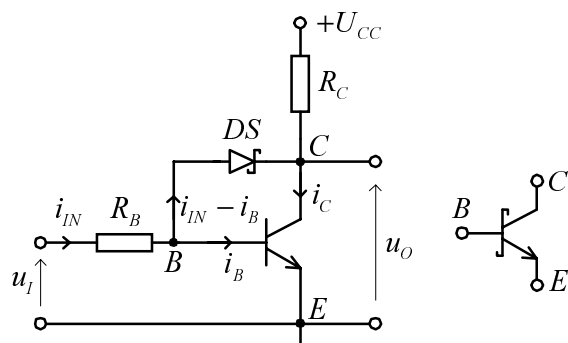
$$I_{C \max} = \frac{U_{CC} - U_{CES}}{R_C} + I_{OL \max} \quad (5.59)$$

natomiast prąd bazy I_{BF} w tym stanie wynosi

$$I_{BF} = \frac{U_{IH} - U_{BEP}}{R_1} - \frac{U_{BB} + U_{BEP}}{R_2} \quad (5.60)$$

Podstawiając zależności (5.59, 5.60) do nierówności (5.58) otrzymujemy warunek nasycenia tranzystora, z którego możemy wyznaczyć parametry układu.

Na rys.5.13 przedstawiono schemat ideowy najprostszego inwertera z diodą Schottky'ego zapobiegającą głębokiemu nasyceniu tranzystora.



Rys.5.13. Inwerter z diodą Schotky'ego

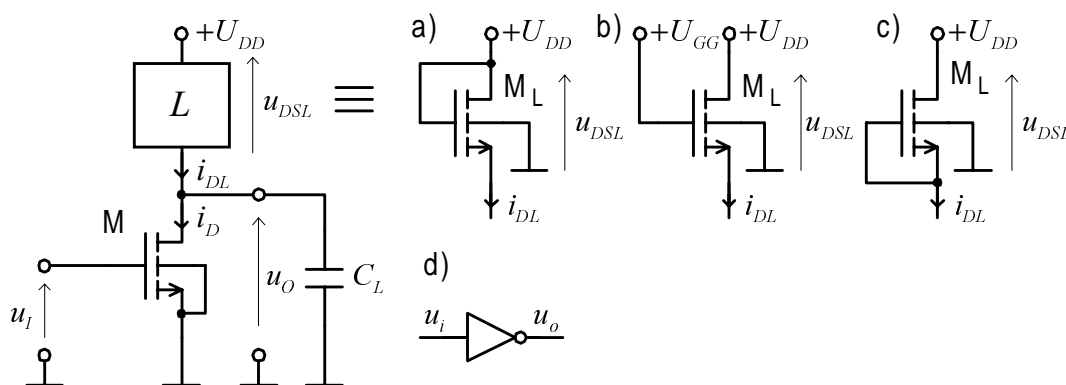
Jak już wyjaśniono w rozdziale 5.2.2 nieliniowe sprzężenie kolektorowe za pomocą niskoprogowej diody Schottky'ego zapewnia odprowadzenie nadmiaru prądu wejściowego z obwodu bazy do obwodu kolektora. W ten sposób następuje ograniczenie ładunku gromadzonego w bazie tranzystora, co w konsekwencji prowadzi do znacznego skrócenia czasu przeciągania prądu kolektora w procesie wyłączania tranzystora. W układach scalonych diody Schottky'ego wykonywane są poprzez częściowe nałożenie metalizacji bazy na obszar kolektora.

5.3.2. Inwertery z tranzystorami MOS o jednakowym typie kanału

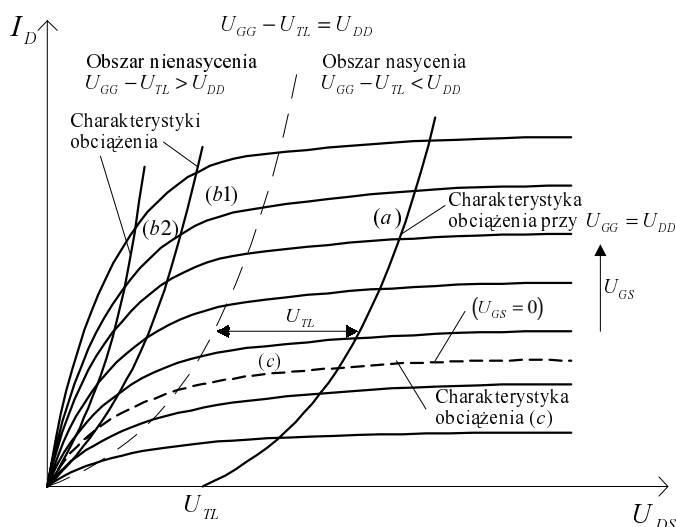
Jak już wspomniano w rozdziale 5.2.3, w scalonych układach przełącznikowych z tranzystorami MOS zamiast rezystancji R_D (rys.5.10) stosuje się obciążenie dynamiczne w postaci innego tranzystora.

Na rys.5.14 wyszczególniono trzy rodzaje obciążeń dynamicznych przy zastosowaniu tranzystorów o tym samym typie kanału, co tranzystor pełniący rolę klucza. Dla skupienia uwagi zajmiemy się inwerterami w technologii nMOS, które zapewniają większą szybkość działania i zajmują mniejszą powierzchnię w układzie scalonym, niż inwertery w technologii pMOS.

Charakterystyki prądowo - napięciowe przedstawionych na rys.5.14 obciążeń dynamicznych jako nieliniowych dwójników, można wyznaczyć graficznie w oparciu o charakterystyki drenowe tranzystorów obciążających M_L (rys.5.15) [26].



Rys.5.14. Inwerter nMOS z obciążeniem dynamicznym w postaci: a) tranzystora z kanałem wzbogaczonym w połączeniu diodowym, b) tranzystora z kanałem wzbogaczonym, pracującym w obszarze liniowym, przy $U_{GG} - U_T > U_{DD}$, c) tranzystora z kanałem zubożonym, pracującym jako źródło prądowe przy $U_{GS} = 0$, d) symbol inwertera



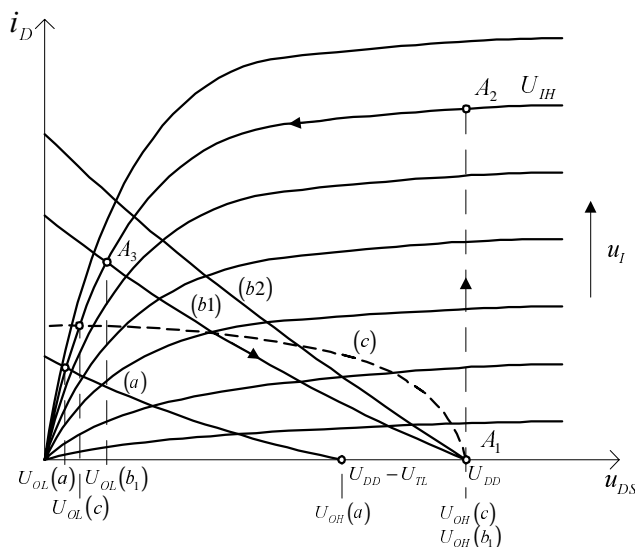
Rys.5.15. Charakterystyki drenowe tranzystorów obciążających i charakterystyki prądowo - napięciowe obciążeń jako nieliniowych dwójników

Charakterystyka (a) obciążenia dynamicznego w postaci tranzystora M_L w połączeniu diodowym ($U_{GG} = U_{DD}$) wyznaczona jest przez punkty, w których $U_{GS} = U_{DS}$. Charakterystyki (b_1) i (b_2) dotyczą obciążeń dynamicznych w postaci tranzystorów wzbogaczonych, pracujących w obszarze liniowym, dzięki zastosowaniu dodatkowego napięcia U_{GG} o wartości $U_{GG} - U_{TL} > U_{DD}$ (U_{TL} jest napięciem progowym tranzystora obciążającego).

Charakterystyki (b_1) i (b_2) odnoszą się do dwóch różnych napięć U_{GG} ($U_{GG1} < U_{GG2}$) i wyznaczone są przez punkty, w których $U_{GS} - U_{TL} = k U_{DS}$, gdzie $k > 1$.

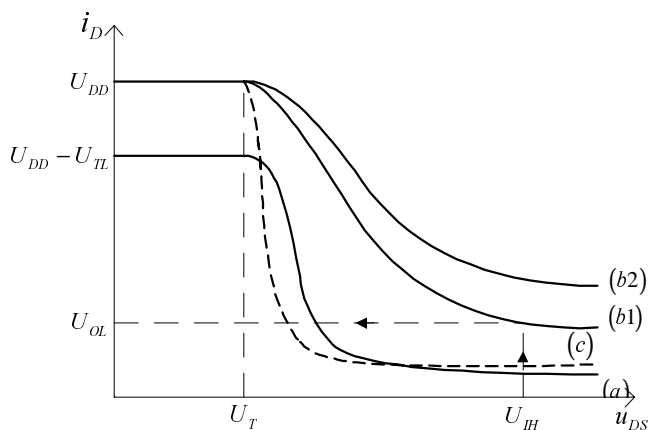
Linia (c) jest charakterystyką drenową tranzystora z kanałem zubożonym, wyznaczoną przy $U_{GS} = 0$.

Charakterystyki przejściowe inwertera można wyznaczyć graficznie wrysowując w pole charakterystyk drenowych tranzystora wejściowego M uprzednio wyznaczone linie obciążeń, w podobny sposób jak wyznaczono prostą pracy dla liniowej rezystancji R_D (rys.5.16).



Rys.5.16. Charakterystyki drenowe tranzystora wejściowego i krzywe obciążeń z rys.5.14

Rozważmy przykładowo proces przełączania inwertera z obciążeniem dynamicznym o charakterystyce (b_1) . Przyjmując, że początkowo napięcie wejściowe jest równe $U_{IL} < U_T$ (U_T jest napięciem progowym tranzystora wejściowego M), napięcie na wyjściu jest równe $U_{OH} = U_{DD}$. Przy skokowej zmianie napięcia wejściowego do wartości U_{IH} punkt pracy przemieszcza się skokowo z punktu A_1 do punktu A_2 , po czym następuje proces rozładowania pojemności C_L od napięcia U_{OH} do U_{OL} , kończący się w punkcie A_3 . Przy następnej skokowej zmianie napięcia wejściowego z U_{IH} do U_{IL} punkt pracy przemieszcza się z A_3 do A_4 , przy czym pojemność C_L ładuje się od napięcia U_{OL} do napięcia U_{OH} .



Rys.5.17. Charakterystyki przejściowe inwertera dla różnych obciążeń dynamicznych

Na rys.5.17 przedstawiono charakterystyki przejściowe inwertera wyznaczone dla wszystkich rozważanych obciążeń dynamicznych.

Z porównania charakterystyk przejściowych na rys.5.17 wynika, że obciążenie (a) daje najmniejsze napięcie U_{OH} równe $U_{DD} - U_{TL}$, co jest wadą tej konfiguracji.

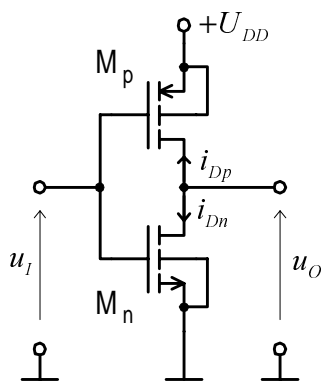
Dla pozostałych obciążeń napięcie $U_{OH} = U_{DD}$. Napięcie wyjściowe w stanie niskim U_{OL} zależy w decydującym stopniu od stosunku rezystancji obciążenia do rezystancji przewodzącego tranzystora wejściowego. W celu uzyskania małej wartości U_{OL} należy zapewnić odpowiednie relacje pomiędzy wymiarami tranzystorów M_L i M : $(W/L)_{M_L} \ll (W/L)_M$.

Analiza właściwości dynamicznych inwertera z różnymi rodzajami obciążeń wykazuje, że czas włączania inwertera, gdy napięcie wyjściowe zmienia się z U_{OH} do U_{OL} , w niewielkim stopniu zależy od obciążenia. Natomiast czas wyłączenia inwertera zależy bezpośrednio od dostarczonego przez obciążenie prądu ładowania pojemności C_L . Najkrótszy czas wyłączenia zapewnia obciążenie (c), które również zapewnia korzystne parametry charakterystyki przejściowej ($U_{OH} = U_{DD}$, mała wartość U_{OL}). Należy jednak podkreślić, że realizacja technologiczna inwertera z obciążeniem (c) jest najtrudniejsza, ponieważ wiąże się z koniecznością selektywnego domieszkowania kanałów tranzystorów obciążających, przy użyciu techniki implantacji jonów.

5.3.3. Inwerter CMOS

Inwerter CMOS (ang. *complementary MOS*) jest układem przełącznikowym z obciążeniem dynamicznym w postaci komplementarnego tranzystora z kanałem typu p o zbliżonych charakterystykach statycznych, przy czym bramki obu tranzystorów są połączone (rys.5.18).

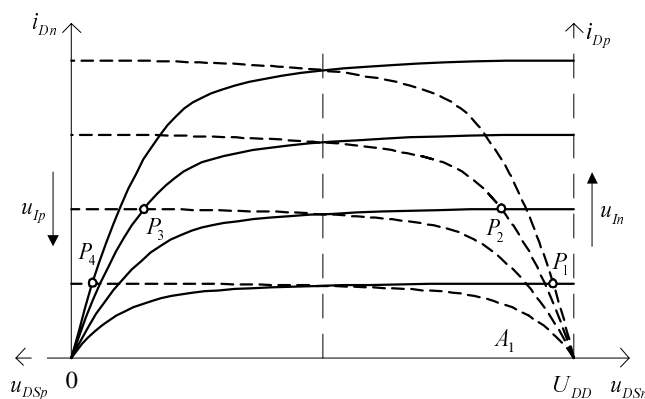
Dzięki przeciwnym typom przewodnictwa, tranzystory inwertera w stanach statycznych przewodzą na przemian, zależnie od napięcia sterującego. Gdy na wejściu jest niski poziom napięcia U_{IL} tranzystor M_n jest odcięty, a przewodzi tranzystor M_p , napięcie wyjściowe jest wtedy równe $U_{OH} = U_{DD}$. Natomiast przy wysokim poziomie napięcia wyjściowego U_{IH} przewodzi tranzystor M_n , a tranzystor M_p jest odcięty, napięcie wyjściowe jest wtedy równe $U_{OL} = 0$.



Rys.5.18. Inwerter CMOS

W pewnym przedziale napięć wejściowych o pośredniej wartości mogą przewodzić oba tranzystory, co nie jest korzystne ze względu na zwiększony w tym czasie pobór mocy z zasilacza i straty mocy w tranzystorach. Statyczną charakterystykę przejściową inwertera można wyznaczyć graficznie, jeżeli w polu charakterystyk drenowych tranzystora nMOS wrysujemy charakterystyki drenowe tranzystora pMOS (rys.5.19) i wyznaczmy punkty przecięcia się tych charakterystyk dla wspólnych napięć u_I uwzględniając:

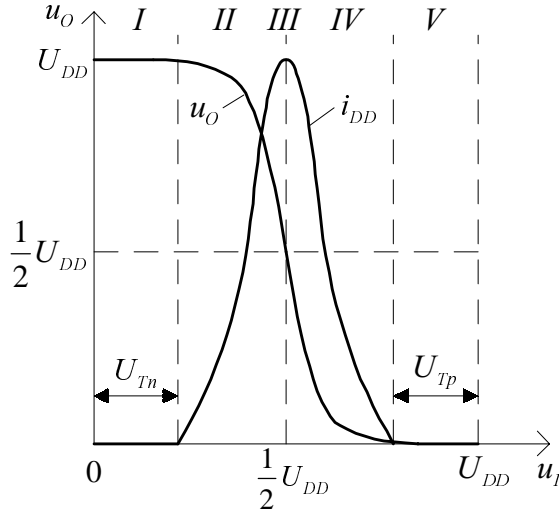
$$\left. \begin{aligned} u_{In} &= u_{Ip} = u_I \\ u_{GSn} &= u_I \\ u_{GSp} &= u_I - U_{DD} \\ i_{Dn} &= -i_{Dp} \end{aligned} \right\} \quad (5.61)$$



Rys.5.19. Graficzne wyznaczenie statycznych charakterystyk przejściowych inwertera CMOS

Na rys.5.20 przedstawiono przykładową statyczną charakterystykę przejściową inwertera $u_O = f(u_I)$ oraz statyczną charakterystykę określającą wielkość prądu skrośnego, płynącego przez tranzystory z zasilacza w funkcji napięcia wejściowego $i_{DD} = f(u_I)$.

Statyczną charakterystykę przejściową można podzielić na pięć zakresów, stosownie do różnych trybów pracy tranzystorów, które kolejno przeanalizujemy:



Rys.5.20. Statyczna charakterystyka przejściowa inwertera CMOS

Zakres I

W tym zakresie napięcie wejściowe $0 \leq u_I \leq U_{Tn}$, dlatego tranzystor M_n jest w stanie odcięcia, a tranzystor M_p znajduje się w obszarze liniowym przy zerowym prądzie drenu ($i_{Dp} = -i_{Dn}$). Napięcie $u_{DSp} = 0$, zatem $u_0 = U_{OH} = U_{DD}$.

Zakres II

W tym zakresie napięcie wejściowe zawiera się w przedziale $U_{Tn} < u_I < U_{DD}/2$, tranzystor M_n pracuje w obszarze nasycenia, zaś tranzystor M_p w obszarze liniowym. Ponieważ w układzie zachodzą związki

$$\left. \begin{aligned} u_{GSn} &= u_I, & u_{DSn} &= u_O \\ u_{GSp} &= u_I - U_{DD}, & u_{DSp} &= u_O - U_{DD} \end{aligned} \right\} \quad (5.62)$$

dlatego prądy tranzystorów opisują zależności

$$i_{Dn} = \beta_n \frac{(u_I - U_{Tn})^2}{2} \quad (5.63)$$

przy czym

$$\beta_n = K'_n \left(\frac{W_n}{L_n} \right) \quad (5.63a)$$

$$i_{Dp} = -\beta_p \left[(u_I - U_{DD} - U_{Tp})(u_O - U_{DD}) - \frac{1}{2}(u_O - U_{DD})^2 \right] \quad (5.64)$$

przy czym

$$\beta_p = K_p' \left(\frac{W_p}{L_p} \right) \quad (5.64a)$$

Przyrównując

$$i_{Dp} = -i_{Dn} \quad (5.65)$$

na podstawie zależności (5.63 ÷ 5.65) otrzymujemy

$$u_o = (u_I - U_{Tp}) + \sqrt{(u_I - U_{Tp})^2 - 2 \left(u_I - \frac{U_{DD}}{2} - U_{Tp} \right) U_{DD} - \frac{\beta_n}{\beta_p} (u_I - U_{Tn})^2} \quad (5.66)$$

Zakres III

W zakresie III oba tranzystory pracują w obszarze nasycenia, zatem prądy drenów tranzystorów, przy wykorzystaniu zależności (5.62), możemy przedstawić w postaci

$$i_{Dp} = -\frac{1}{2} \beta_p (u_I - U_{DD} - U_{Tp})^2 \quad (5.67)$$

$$i_{Dn} = \frac{1}{2} \beta_n (u_I - U_{Tn})^2 \quad (5.68)$$

Podstawiając (5.67) i (5.68) do (5.65), otrzymujemy

$$u_I = \frac{U_{DD} + U_{Tp} + U_{Tn} \sqrt{\beta_n / \beta_p}}{1 + \sqrt{\beta_n / \beta_p}} \quad (5.69)$$

Zakładając $\beta_n = \beta_p$, $U_{Tn} = -U_{Tp}$, zależność (5.69) upraszcza się do postaci

$$u_I = U_{DD} / 2 \quad (5.70)$$

Możliwe wartości napięcia wyjściowego u_o w tym zakresie wynikają z warunków, aby oba tranzystory pracowały w obszarze nasycenia:

$$|U_{DS}| > (|U_{GS}| - |U_T|)$$

zatem dla tranzystora M_n

$$u_o \geq u_I - U_{Tn} \quad (5.71)$$

dla tranzystora M_p

$$u_I - U_{DD} - U_{Tp} \leq u_o - U_{DD} \quad (5.72)$$

Na podstawie nierówności (5.71) i (5.72) otrzymujemy

$$u_I - U_{Tn} \leq u_O \leq u_I - U_{Tp} \quad (5.73)$$

W zakresie III charakterystyka przejściowa jest bardzo stroma, ponieważ tranzystory pracujące w obszarze nasycenia tworzą niestabilny układ szeregowej pracy dwóch źródeł prądowych.

Zakres IV

Zakres IV występuje dla napięcia wejściowego z przedziału: $U_{DD}/2 < u_I \leq U_{DD} + U_{Tp}$, tranzystor M_p pracuje w obszarze nasycenia, zaś tranzystor M_n w obszarze liniowym. Jest to zatem odwrócona sytuacja w porównaniu do zakresu II. Prądy tranzystorów opisują równania

$$i_{Dp} = -\frac{1}{2} \beta_p (u_I - U_{DD} - U_{Tp})^2 \quad (5.74)$$

$$i_{Dn} = \beta_n \left[(u_I - U_{Tn}) u_O - \frac{1}{2} u_O^2 \right] \quad (5.75)$$

Dla $i_{Dp} = -i_{Dn}$ otrzymujemy

$$u_O = (u_I - U_{Tn}) - \sqrt{(u_I - U_{Tn})^2 - \frac{\beta_p}{\beta_n} (u_I - U_{DD} - U_{Tp})^2} \quad (5.76)$$

Zakres V

Zakres V wyznacza napięcie wejściowe: $u_I \geq U_{DD} + U_{Tp}$ i występuje w nim odwrotna sytuacja do zakresu I. Tranzystor M_p znajduje się w obszarze odcięcia, zaś tranzystor M_n w obszarze liniowym, przy zerowym prądzie drenu, dlatego $U_{DSn} = 0$, czyli $u_O = 0$.

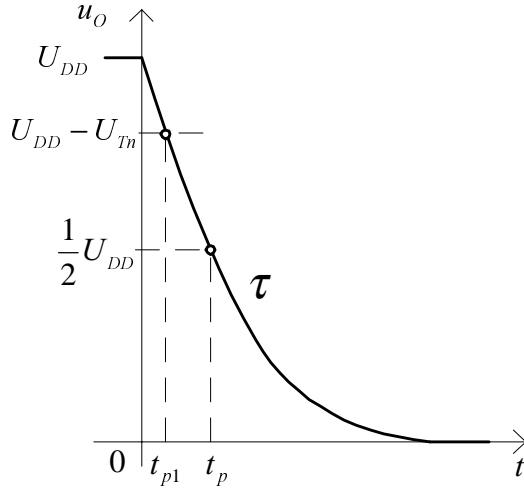
Pewną wadą inwertera CMOS jest konieczność jednoczesnego sterowania na wejściu dwóch tranzystorów, których bramki są złączone razem. Powoduje to dwukrotne zwiększenie pojemności wejściowej, stanowiącej obciążenie dla poprzedniego stopnia.

Stany przejściowe przy przełączaniu inwertera CMOS rozważymy przy pominięciu pojemności międzyelektrodowych i uwzględnieniu tylko pojedynczej skupionej pojemności C_L .

Przy skokowej zmianie napięcia wejściowego $u_I(t)$ od 0 do U_{DD} tranzystor M_p przechodzi w stan odcięcia, a tranzystor M_n zaczyna przewodzić prąd rozładowania pojemności C_L . Ponieważ tranzystor M_n pracuje początkowo w obszarze nasycenia, dlatego kondensator C_L

rozładowywany jest stałym prądem, a napięcie wyjściowe $u_o(t)$ maleje liniowo (rys.5.21).

$$u_o(t) = U_{DD} - \frac{1}{2} \frac{\beta_n}{C_L} (U_{DD} - U_{Tn})^2 t \quad (5.77)$$



Rys.5.21. Przebieg czasowy napięcia wyjściowego inwertera CMOS przy włączaniu

Proces ten trwa do chwili, gdy tranzystor M_n pracuje w obszarze nasycenia, tzn. gdy napięcie wyjściowe osiągnie wartość

$$u_{DSn} = u_o(t_{p1}) = U_{DD} - U_{Tn} \quad (5.78)$$

Podstawiając warunek (5.78) do (5.77), otrzymujemy

$$t_{p1} = \frac{2 C_L U_{Tn}}{\beta_n (U_{DD} - U_{Tn})^2} \quad (5.79)$$

Dalsze rozładowanie kondensatora C_L następuje prądem drenu i_{Dn} tranzystora M_n pracującego w obszarze liniowym. Proces ten można w przybliżeniu zamodelować przez zastąpienie tranzystora M_n (posiadającego napięcie bramka - źródło $U_{GS} = U_{DD}$) rezystancją liniową

$$r_{DSn} = \frac{u_{DSn}}{i_{Dn}} \approx \frac{1}{\beta_n (U_{DD} - U_{Tn})} \quad (5.80)$$

Rozładowanie pojemności C_L można opisać wzorem (jak dla obwodu RC)

$$u_o(t) = (U_{DD} - U_{Tn}) \exp \left[-(t - t_p) / (r_{DSn} C_L) \right] \quad (5.81)$$

Czas propagacji t_{pHL} (określony również czasem opóźnienia) definiuje się jako odstęp czasowy między zboczem impulsu wejściowego i wywołanym przezeń zboczem impulsu wyjściowego,

przy 50 % poziomie napięcia na tych zboczach. Zatem z warunku $u_O(t_{pHL}) = U_{DD}/2$ i z zależności (5.79 – 5.81) możemy wyznaczyć

$$t_{pHL} = t_{p1} + r_{DSn} C_L \ln \left[2 \left(1 - \frac{U_{Tn}}{U_{DD}} \right) \right] =$$

$$= 2 \tau \left\{ \frac{U_{Tn}}{U_{DD} - U_{Tn}} + \ln \left[2 \left(1 - \frac{U_{Tn}}{U_{DD}} \right) \right] \right\} \quad (5.82)$$

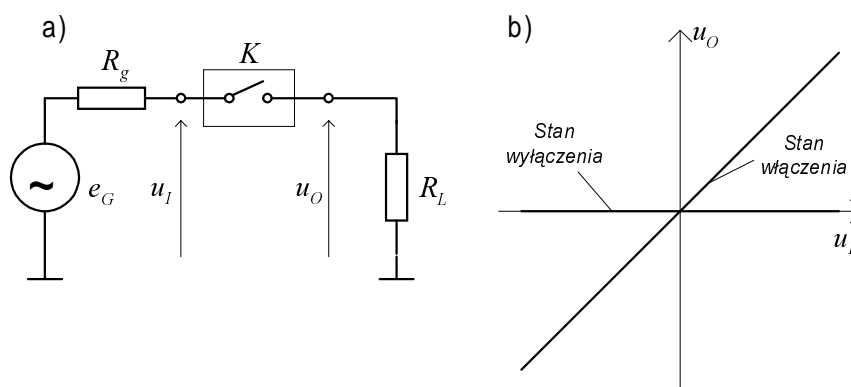
gdzie:

$$\tau = \frac{C_L}{\beta_n (U_{DD} - U_{Tn})} \quad (5.82a)$$

W podobny sposób można wyznaczyć czas t_{pLH} , gdy następuje ładowanie pojemności C_L przez przewodzący tranzystor M_p przy odciętym tranzystorze M_n .

5.4. KLUCZE ANALOGOWE

Do realizacji kluczy analogowych stosuje się tranzystory polowe, diody i tranzystory bipolarne. Na rys.5.22 przedstawiono idealny klucz analogowy oraz jego charakterystykę przejściową. W stanie włączenia klucz przenosi napięcie wejściowe na zaciski wyjściowe bez strat i zniekształceń, natomiast w stanie wyłączenia napięcie wyjściowe nie zależy od wejściowego.



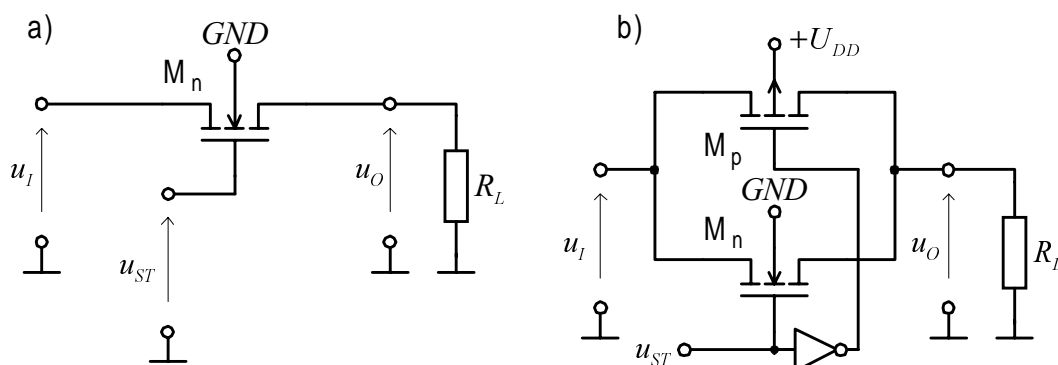
Rys.5.21. Klucz analogowy: a) schemat blokowy, b) charakterystyki przejściowe w stanach włączenia i wyłączenia

Charakterystyki przejściowe rzeczywistych układów odbiegają od idealnych, przy czym główne różnice polegają na tym, że zakres napięć wejściowych rzeczywistych kluczy analogowych jest ograniczony oraz nachylenie charakterystyki w stanie włączenia jest mniejsze od jedności,

a w stanie wyłączenia napięcie na wyjściu klucza jest różne od zera. Właściwości rzeczywistego klucza analogowego definiowane są za pomocą następujących najważniejszych parametrów:

- rezystancję klucza w stanie włączenia,
- rezystancję klucza w stanie wyłączenia,
- zakres napięć wejściowych,
- czasy przełączeń,
- przenikanie sygnału sterującego na wyjście,
- wprowadzone zniekształcenia,
- szczytkowe napięcie klucza,
- maksymalny prąd przewodzenia,
- maksymalna moc strat.

Na rys.5.23a przedstawiono najprostszy klucz analogowy zrealizowany na tranzystorze MOS z kanałem wzbogacanym typu n.



Rys.5.23. Klucze szeregowo z tranzystorami MOS: a) z pojedynczym tranzystorem nMOS, b) CMOS

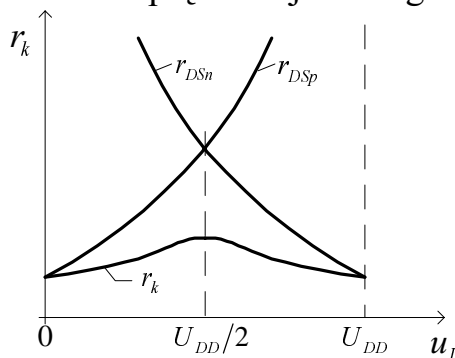
Tranzystor MOS z kanałem typu n można wprowadzić w stan przewodzenia przez podanie napięcia sterującego U_{ST} większego od największego dodatniego napięcia wejściowego u_I . Przy małych napięciach dren - źródło tranzystor pracuje w obszarze liniowym i zachowuje się w przybliżeniu jak rezystor. Ze wzrostem napięcia wejściowego maleją napięcia: bramka - źródło i bramka - dren tranzystora, powodując zwiększanie się rezystancji tranzystora, a tym samym klucza. Gdy napięcie u_I osiągnie wartość $U_{ST} - U_{Tn}$ tranzystor wogóle przestaje przewodzić.

Aby zwiększyć zakres dopuszczalnych napięć wejściowych, zamiast pojedynczego tranzystora MOS należy zastosować klucz CMOS, składający się z dwu komplementarnych tranzystorów MOS połączonych równolegle, jak na rys.5.23b. Załączenie klucza występuje przy wysokim poziomie sygnału sterującego U_{STH} , bezpośrednio podawanego na bramkę tranzystora nMOS i w postaci zanegowanej na

bramkę tranzystora pMOS. Napięcie wejściowe może przyjmować dowolną wartość z przedziału $0 \leq u_I \leq U_{DD}$.

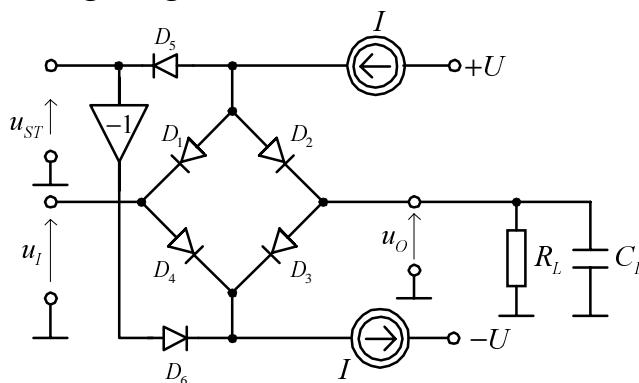
Ze wzrostem napięcia wejściowego zmniejsza się napięcie u_{GSn} , wskutek czego rezystancja tranzystora nMOS wzrasta. Nie powoduje to jednak istotnego pogorszenia właściwości klucza, ponieważ równocześnie rośnie moduł $|u_{GSp}|$, wskutek czego rezystancja tranzystora pMOS maleje.

Jak pokazano na rys.5.24, wypadkowa rezystancja klucza ulega tylko niewielkim zmianom w całym dopuszczalnym przedziale zmienności napięcia wejściowego.



Rys.5.24. Zależność rezystancji wypadkowej klucza CMOS od napięcia wejściowego

Na rys.5.25 przedstawiono schemat ideowy diodowego klucza analogowego.

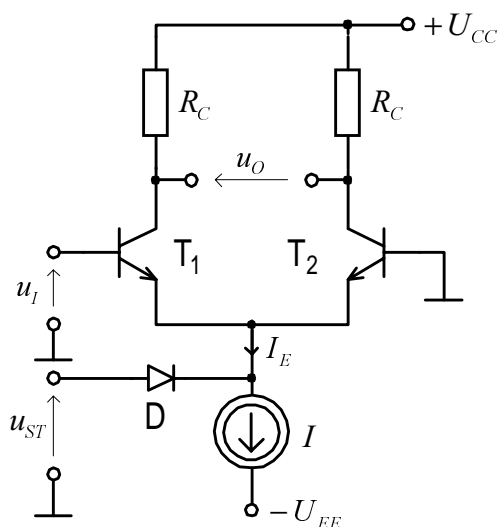


Rys.5.25. Diodowy klucz szeregowy

Jeżeli na wejście układu sterującego podamy dodatkowe napięcie sterujące, to diody D_5 i D_6 zostaną spolaryzowane zaporowo i wówczas diody D_1, D_4 i D_2, D_3 będą przewodzić prądy I wymuszone ze źródeł prądowych. Wskutek tego napięcie wejściowe przenosi się na wyjście przez wypadkową rezystancję przewodzących diod $D_1 - D_4$ mostka, wynoszącą $r_k = 2 r_D \parallel 2 r_D = r_D$. Jeżeli napięcia na przewodzących diodach $D_1 - D_2$, $D_4 - D_3$ nie są równe, to na wyjściu pojawia się napięcie resztkowe. Przy ujemnym napięciu sterującym zaczynają przewodzić diody D_5 i D_6 , a układ mostkowy zostaje zablokowany. Wyjście zostaje oddzielone od wejścia, a środek układu, przy pełnej

symetrii układu, ma stały potencjał równy zero. Przy zastosowaniu szybkich diod Schottky'ego powyższa zasada umożliwia osiągnięcie czasów przełączeń poniżej $1 \mu s$.

Na rys.5.26 przedstawiono ogólną ideę wykorzystania wzmacniacza różnicowego jako klucza analogowego.



Rys.5.26. Zasada działania wzmacniacza różnicowego jako klucza

Jeżeli napięcie sterujące jest ujemne, to dioda D jest spolaryzowana zaporowo i wzmacniacz różnicowy zasilany jest od strony emiterów ze źródła prądowego $I_E = I$. Wtedy różnicowe napięcie wyjściowe wynosi

$$u_O = g_m R_C u_I$$

czyli na wyjście przenoszone jest napięcie wejściowe ze współczynnikiem wzmocnienia $g_m R_C$. Jeżeli napięcie sterujące stanie się dodatnie, to prąd I popłynie przez diodę, a tranzystory T_1 i T_2 zostaną odcięte. Potencjały kolektorów wzrosną do wartości U_{CC} , jednak różnicowe napięcie wyjściowe u_O będzie równe zero. Zatem ten stan pracy wzmacniacza różnicowego odpowiada stanowi wyłączanego klucza analogowego.