

8

PODSTAWOWE UKŁADY SEKWENCYJNE

8.1. OGÓLNA CHARAKTERYSTYKA UKŁADÓW SEKWENCYJNYCH

Omówione w poprzednim rozdziale bramki należą do rodziny *układów kombinacyjnych* charakteryzujących się tym, że stany ich wyjścia zależą tylko od stanów logicznych na wejściach, natomiast nie zależą od stanów poprzednich.

Układy sekwencyjne obejmują szeroką grupę cyfrowych układów logicznych, których stan zależy nie tylko od sygnałów doprowadzonych do wejść układu w danej chwili, lecz również od wcześniejszych stanów wyjściowych układu. Ponieważ stany poprzednie zależą również od sekwencji (czyli kolejności) stanów jeszcze dawniejszych, reprezentowanych przez stany przerzutników (tzw. *wewnętrzne stany układu*), stąd nazwa - układy sekwencyjne.

Pamiętanie poprzednich stanów układu zachodzi w elementarnych komórkach pamięciowych - *przerzutnikach bistabilnych*, budowanych z elementarnych układów logicznych tworzących tzw. *zestaw funkcjonalnie pełny*.

Jeżeli stan wejść układu sekwencyjnego określony jest wektorem $\mathbf{X} = (x_1, x_2, \dots, x_n)$, $x_i \in \mathbf{B}$, a stan wewnętrzny w układzie określony jest wektorem \mathbf{A} , wynikającym ze stanów logicznych elementów pamięciowych $\mathbf{A} = (Q_1, Q_2, \dots, Q_k)$, $Q_j \in \mathbf{B}$, to stan wyjść układu określony jest wektorem $\mathbf{Y} = (y_1, y_2, \dots, y_m)$, $y_i \in \mathbf{B}$.

W układach sekwencyjnych określa się związki między stanami \mathbf{X} , \mathbf{Y} , \mathbf{A} w postaci dwóch funkcji:

1. *Funkcji przejść* δ , określającej dla wektorów \mathbf{A}^t , \mathbf{X}^t następny (opóźniony o pewien czas τ) stan wewnętrzny $\mathbf{A}^{t+\tau}$

$$\mathbf{A}^{t+\tau} = \delta (\mathbf{A}^t, \mathbf{X}^t) \quad (8.1)$$

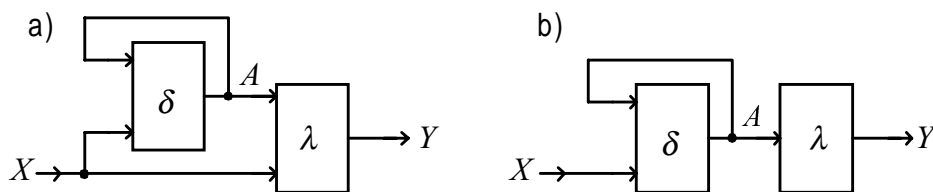
2. *Funkcji wyjść* λ , określającej stan wyjść \mathbf{Y} .

Funkcja wyjść jest funkcją przełączającą i może mieć postać opisującą tzw. *automat Mealy'ego* (rys.8.1a)

$$\mathbf{Y}^t = \lambda (\mathbf{A}^t, \mathbf{X}^t) \quad (8.2)$$

lub opisującą automat Moore'a (rys.8.1b)

$$\mathbf{Y}^t = \lambda (\mathbf{A}^t) \quad (8.3)$$



Rys.8.1. Podstawowe modele układów sekwencyjnych: a) automat Mealy'ego, b) automat Moore'a

W zapisie tym każdą zmienną stanu, czyli każdy element Q_i ($i = 1, 2, \dots, k$) wektora \mathbf{A} , opisuje się równaniem

$$Q_i = \delta_i (Q_1, Q_2, \dots, Q_k; x_1, x_2, \dots, x_n) \quad (8.4)$$

Każda zmienna wyjściowa y_j ($j = 1, 2, \dots, m$) może być określona przez funkcję wyjść:

- w automacie Mealy'ego

$$Y_j = \lambda_j (Q_1, Q_2, \dots, Q_k; x_1, x_2, \dots, x_n) \quad (8.5a)$$

- w automacie Moore'a

$$Y_j = \lambda_j (Q_1, Q_2, \dots, Q_k) \quad (8.5b)$$

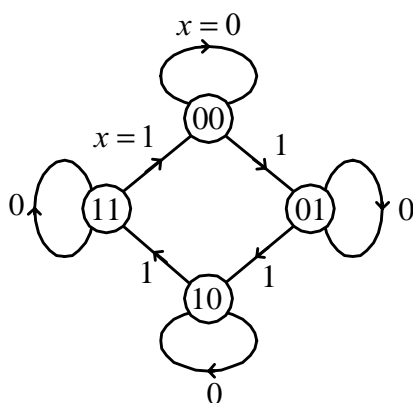
Blok realizujący funkcję δ składa się z bloku pamięci zawierającego zestaw przerzutników, czyli tzw. *rejestr*, oraz z układu kombinacyjnego, przygotowującego sygnały wejściowe - tzw. *wektor stanu wzbudzeń* elementów pamięciowych. Blok realizujący funkcję λ jest układem kombinacyjnym

Dla pełnego opisu układu sekwencyjnego konieczne jest pełne określenie pięciu elementów: $\langle \mathbf{A}, \mathbf{X}, \mathbf{Y}, \delta, \lambda \rangle$. W tym celu stosuje się opis graficzny w postaci grafu zorientowanego z etykietą (nazywanego *grafem przejść i wyjść*), *tablice przejść i wyjść* oraz *macierze przejść i wyjść*.

Podstawą do stworzenia np. tablicy stanów, w której jest zapisany stan wyjść po takcie zegarowym dla danego stanu poprzedniego i danego stanu wejść, jest *wykres stanów*. Pokazuje on, jakie są stany wyjściowe układu w kolejnych cyklach zegara przy danych stanach wejściowych.

Na rys.8.2 przedstawiono bardzo prosty przykład wykresu stanów układu sekwencyjnego z jednym wejściem i dwoma wyjściami.

Przejście do kolejnych stanów wyjściowych (podanych w kolejnych okręgach) zachodzi przy stanie wejścia $x = 1$. Przy $x = 0$ układ pozostaje w stanie poprzednim.



Rys.8.2. Przykład wykresu stanów prostego układu sekwencyjnego

Zależnie od trybu pracy układy sekwencyjne dzieli się na układy asynchroniczne i synchroniczne.

Układy asynchroniczne nie mają wejścia sterującego (*synchronizującego, zegarowego*). Jakakolwiek zmiana stanów **Y** lub **A** w tych układach może wystąpić jedynie po zmianie stanu wejściowego **X**.

Układy synchroniczne reagują na zmianę stanu wejściowego **X** tylko w dyskretnych chwilach czasowych, determinowanych przez zewnętrzny sygnał sterujący **C** (nazywany *zegarowym, synchronizującym, taktującym*), który nie wchodzi do wektora **X**.

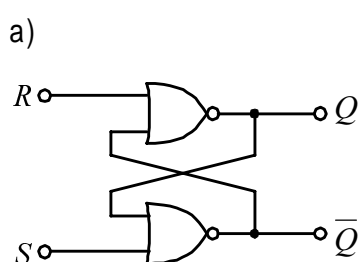
Jeżeli wszystkie występujące w układzie przerzutniki bistabilne są synchroniczne, to układ sekwencyjny jest synchroniczny. W przeciwnym przypadku, gdy choć jeden przerzutnik jest asynchroniczny, to układ sekwencyjny jest asynchroniczny. Układy synchroniczne są znacznie częściej stosowane w systemach cyfrowych niż układy asynchroniczne, pomimo tego, że te ostatnie mogą być układowo prostsze. Główną przyczyną tego jest występowanie w układach asynchronicznych niepożądanych zjawisk, określanych jako *wyścigi i hazardy*. Objawiają się one w postaci przejściowych i stabilnych, niepożądanych reakcji na zmienną stanu wejściowego, wskutek niejednakowych opóźnień elementów układu i różnych dróg sygnałowych w układzie. W układach synchronicznych wyścigi i hazardy nie występują, a ponadto synteza tych układów jest prostsza.

W tym rozdziale zostaną przedstawione podstawowe przerzutniki bistabilne zbudowane z bramek oraz liczniki i rejestry, będące prostymi sekwencyjnymi blokami funkcjonalnymi, realizowanymi w oparciu o przerzutniki.

8.2. PRZERZUTNIKI CYFROWE

8.2.1. Przerzutnik typu RS

Wzajemnie sprzężona para funktorów NOR w sposób pokazany na rys.8.3a tworzy najprostszy przerzutnik (ang. *flip - flop*) typu RS . Posiada on dwa dopełniające się wyjścia Q i \bar{Q} oraz dwa wejścia sterujące - *ustawiające* S (ang. *set*) i *zerujące* R (ang. *reset*).



b)

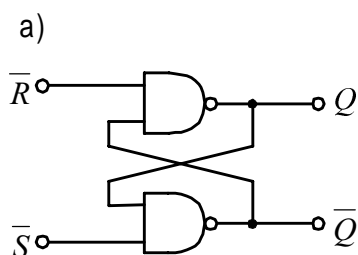
Tablica 8.1

S	R	Q	\bar{Q}
0	0	Q_{-1}	\bar{Q}_{-1}
0	1	0	1
1	0	1	0
1	1	0	0

Rys.8.3. Przerzutnik RS zbudowany z bramek NOR: a) schemat układu, b) tablica stanów (Q_{-1} oznacza stan poprzedni)

Jeżeli oba wejścia są w stanie niskim $R = S = 0$, to przerzutnik pozostaje w stanie zależnym od poprzednich wartości logicznych na wejściach.

Gdy wejścia są w stanie $S = 0$, $R = 1$, to oba wyjścia przyjmują stany dopełniające się $Q = 0$, $\bar{Q} = 1$. Podobnie przy $S = 1$, $R = 0$ otrzymujemy $Q = 1$, $\bar{Q} = 0$. Dla $R = S = 1$ oba wyjścia są równocześnie równe zero, co jest sprzeczne z oznaczeniem wyjść przerzutnika, z których jedno zawsze powinno być negacją drugiego, a ponadto, jeżeli w następnej sekwencji sterującej R i S staną się równocześnie równe zero, to stan wyjść będzie nieokreślony. Dlatego stan wejść $R = S = 1$ jest w tym przypadku niedozwolony. Zestawienie stanów przerzutnika zamieszczono w tablicy stanów 8.1 na rys.8.3b.



b)

Tablica 8.2

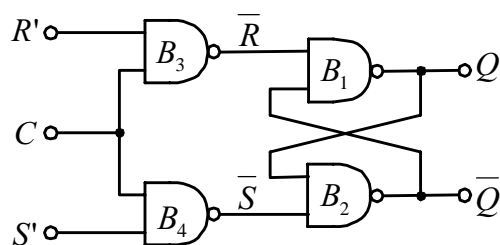
\bar{S}	\bar{R}	Q	\bar{Q}
0	0	1	1
0	1	1	0
1	0	0	1
1	1	Q_{-1}	\bar{Q}_{-1}

Rys.8.4. Przerzutnik RS zbudowany z bramek NAND: a) schemat układu, b) tablica stanów

Na rys.8.4a przedstawiono przerzutnik RS zbudowany z bramek NAND o takiej samej tablicy stanów jak na rys.8.3b, jednak należy zauważyć, że teraz mamy do czynienia z zanegowanymi zmiennymi wejściowymi \bar{R} i \bar{S} .

8.2.2. Synchronizowany przerzutnik RS

W *synchronizowanym przerzutniku RS* (ang. *clocked RS flip - flop*) zmiana stanów na wyjściach przerzutnika następuje dopiero po doprowadzeniu impulsu taktującego do specjalnego wejścia zegarowego C (rys.8.5).



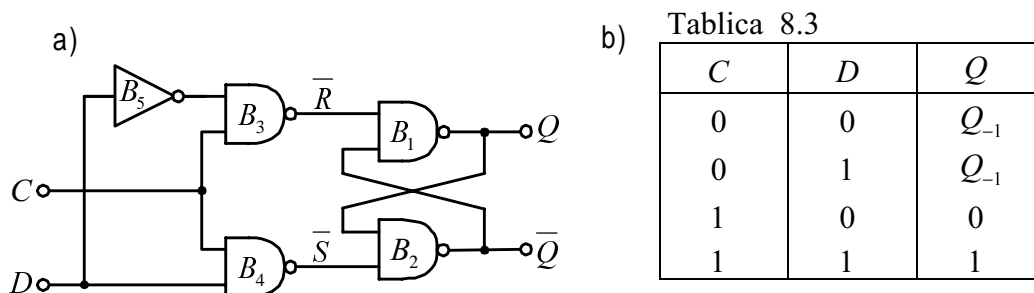
Rys.8.5. Synchroniczny przerzutnik RS

Dla $C = 0$ na wyjściach bramek B_3, B_4 mamy $\bar{R} = \bar{S} = 1$ i przerzutnik w tym przypadku pamięta stan poprzedni. Dla $C = 1$ mamy $R = R'$, $S = S'$ i przerzutnik zachowuje się wtedy jak normalny przerzutnik RS. Przy $C = 1$ przerzutnik może zmienić swój stan nawet wielokrotnie, jeżeli w tym czasie wystąpią zmiany na wejściach R, S . Oczywiście tak jak w poprzednio omawianym niesynchronizowanym układzie (rys.8.4a) stan wejść $R = S = 1$ jest zabroniony.

8.2.3. Przerzutnik D typu „zatrzask”

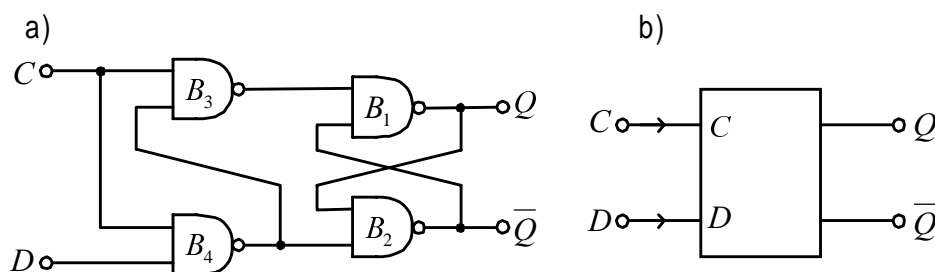
Jednym ze sposobów umożliwiających wyeliminowanie zabronionej sytuacji w synchronizowanym przerzutniku RS jest wprowadzenie dodatkowego inwertera zapewniającego $R = \bar{S}$. Układ taki ma jedno wejście programujące i jest nazywany *przerzutnikiem D* typu „zatrzask” (ang. *data latch*) (rys.8.6).

Dzięki wprowadzonemu inwerterowi B_5 , w układzie spełniony jest warunek $S = D$ i $R = \bar{D}$. Zatem jak długo sygnał zegarowy $C = 1$ w przerzutniku tym mamy $Q = D$, co pokazano również w tablicy przejść na rys.8.6b.



Rys.8.6. Przerzutnik D typu „zatrask”: a) schemat układu, b) tablica przejęć

Jeżeli $C=0$, to aktualny w danej chwili stan wyjść zostaje zapamiętany. Jak łatwo można zauważyć, w układzie na rys.8.6 dla $C=1$ bramka B_4 daje na wyjściu negację zmiennej D . Umożliwia to wyeliminowanie inwertera B_5 i oszczędniejszą realizację przerzutnika D typu „zatrask”, jak na rys.8.7.

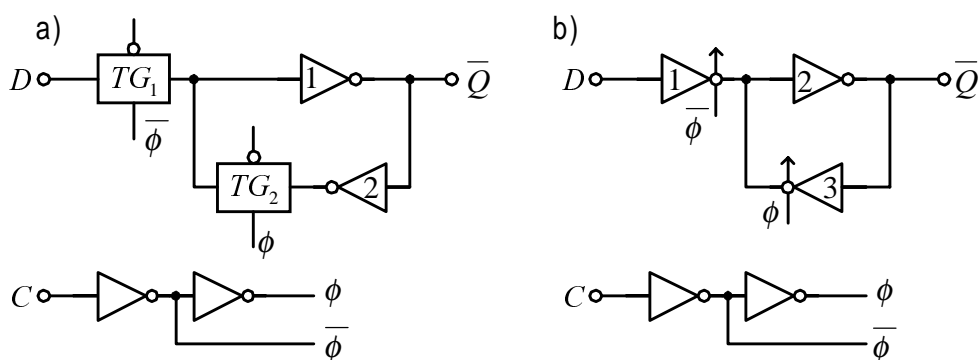


Rys.8.7. Praktyczna realizacja przerzutnika D typu „zatrask”: a) schemat układu, b) symbol graficzny przerzutnika

Przerzutniki tego typu są realizowane w postaci układów scalonych, jak np. 74LS75 (TTL), 10133 (ECL), 4042 (CMOS).

Przerzutniki D typu „zatrask” są realizowane w technologii CMOS przy wykorzystaniu bramek transmisyjnych lub trójstanowych, co pozwala na uproszczenie schematu elektrycznego przerzutnika.

Struktury logiczne ilustrujące zasadę działania tego typu przerzutników przedstawiono na rys.8.8.



Rys.8.8. Przerzutniki typu „zatrask”: a) z bramkami transmisyjnymi, b) z bramkami trójstanowymi

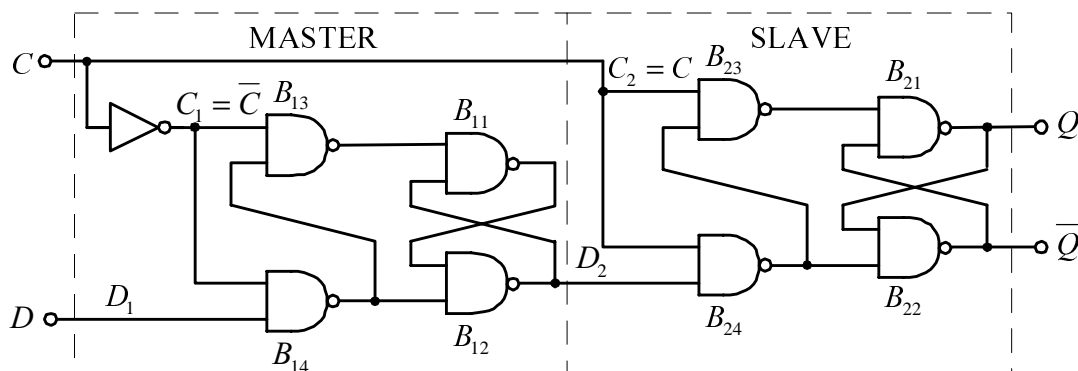
Gdy zegar znajduje się w stanie $C = 0$, to w układzie na rys.8.8a bramka transmisyjna TG1 jest włączona, a bramka TG2 wyłączona. Stan wejścia D w postaci zanegowanej jest odtwarzany na wyjściu układu, oznaczonym jako \overline{Q} . Narastające zbocze impulsu zegarowego powoduje wyłączenie bramki transmisyjnej TG1 a włączenie TG2. Następuje przerwanie transmisji dla sygnału z wejścia D oraz podtrzymanie (zatrzaśnięcie) stanu wyjściowego, ustalonego tuż przed zmianą stanów na wejściu C w pętli utworzonej przez inwertery 1, 2 i bramkę TG2. W układzie na rys.8.8b, przy niskim stanie zegara ($C = 0$), aktywny jest inwerter 1, natomiast wyjście inwertera 3 znajduje się wtedy w stanie dużej impedancji. Stan wejścia D w postaci prostej jest odtwarzany na wyjściu Q . Narastające zbocze impulsu zegara powoduje przejście inwertera 1 do stanu dużej impedancji (co powoduje przerwanie transmisji dla sygnału z wejścia D), uaktywnienie inwertera 3 i podtrzymanie (zatrzaśnięcie) stanu wyjściowego ustalonego przy $C = 0$.

8.2.4. Przerzutniki D wyzwalane zboczem impulsu zegarowego

Przerzutnik D wyzwalany narastającym zboczem impulsu zegarowego (ang. *single - edge - triggered flip - flop*) charakteryzuje się tym, że informacja z wejścia D jest przeniesiona i zapamiętywana na wyjściu Q przy zmianie stanu zegara C z 0 na 1 i poza tym przerzutnik nie reaguje na zmiany stanu wyjściowego (w przerzutniku D typu „zatrzask” każda zmiana stanu D przenosi się na wyjście Q przy $C = 1$). Ponieważ informacja na wyjściu Q jest nieco opóźniona względem narastającego zbocza impulsu zegarowego, często o jeden okres sygnału zegarowego, stąd pochodzi symbol D (ang. *delay*). Struktura wewnętrzna przerzutnika zależy od technologii wytwarzania. Niżej zostaną przedstawione typowe realizacje przerzutników, reprezentujące rodziny układów LS TTL i CMOS.

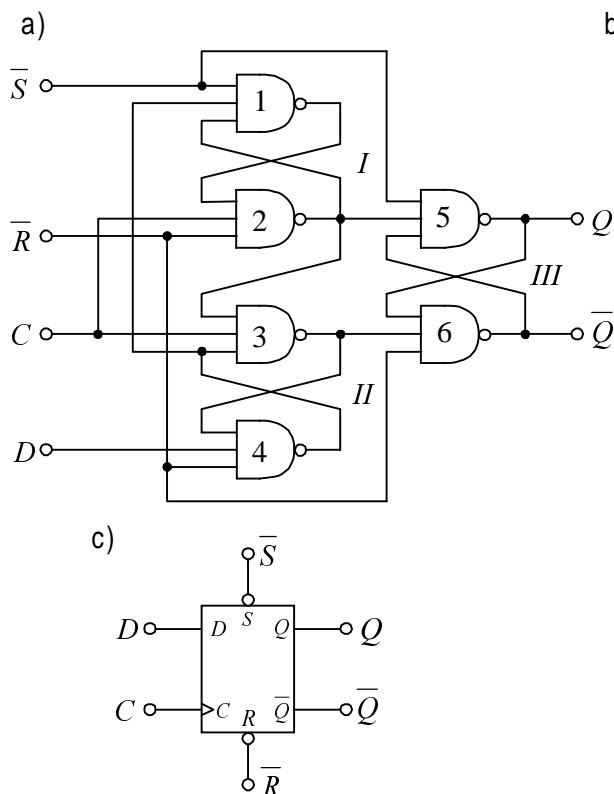
Przerzutnik D wyzwalany zboczem można zrealizować łącząc szeregowo dwa przerzutniki D typu „zatrzask”, z których każdy sterowany jest dopełniającymi się sygnałami zegarowymi (rys.8.9).

Gdy zegar jest w stanie $C = 0$ informacja z wejścia D jest przenoszona na wyjście Q_1 przerzutnika MASTER, zaś przerzutnik SLAVE jest wtedy w stanie zablokowania (na wyjściach bramek B_{23} i B_{24} występują stany 1), pamiętając stan poprzedni. Przy zmianie stanu zegara z 0 na 1 następuje przepisanie stanu Q_1 na wyjście Q , zaś w tym czasie przerzutnik MASTER jest w stanie zablokowania (na wyjściach bramek B_{13} i B_{14} występują stany 1).



Rys.8.9. Przerzutniki D typu Master-Slave zrealizowany z dwóch przerzutników D typu „zatrząsk”

Strukturę wewnętrzną przerzutnika D typu 74LS74 wyzwalanego dodatnim zboczem zegarowym wraz z tablicą stanów przedstawiono na rys.8.10.



b)

Tablica 8.4

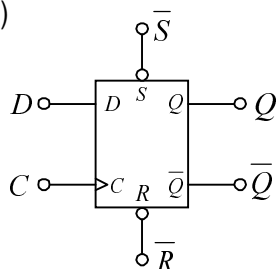
\bar{R}	\bar{S}	D	C	Q	\bar{Q}
H	L	x	x	H	L
L	H	x	x	L	H
L	L	x	x	H	H
H	H	L	\uparrow	L	H
H	H	H	\uparrow	H	L
H	H	x	x	Q_{-1}	\bar{Q}_{-1}
H	H	x	\downarrow	Q_{-1}	\bar{Q}_{-1}

Uwagi: \uparrow - zbocze narastające zegara

\downarrow - zbocze opadające zegara

x - stan dowolny (H lub L)

c)



Rys.8.10. Przerzutnik D typu 74LS74: a) struktura wewnętrzna, b) tablica stanów, c) symbol logiczny

Przerzutnik ma wejście informacyjne D , wejście zegarowe C oraz dwa wejścia ustawiające \bar{R} i \bar{S} , które działają niezależnie od wejścia zegarowego. Wystąpienie odpowiednich stanów na wejściu \bar{R} albo \bar{S} wymusza odpowiednio stan 0 albo 1 na wyjściu Q . Układ jest zbudowany z trzech przerzutników RS. W czasie zmiany sygnału

zegarowego ze stanu 0 na 1 informacja podana na wejście D jest wpisywana do przerzutnika I, jeżeli $D = 1$, lub do przerzutnika II, jeżeli $D = 0$. Wyjścia bramek 2 i 3 tych przerzutników sterują ustawianiem bramek 5 i 6 przerzutnika wyjściowego. Powrót do stanu 0 na wejściu synchronizującym powoduje wymuszenie stanu 1 na wyjściach 2 i 3, a tym samym przerzutnik wyjściowy podtrzymuje stan poprzedni.

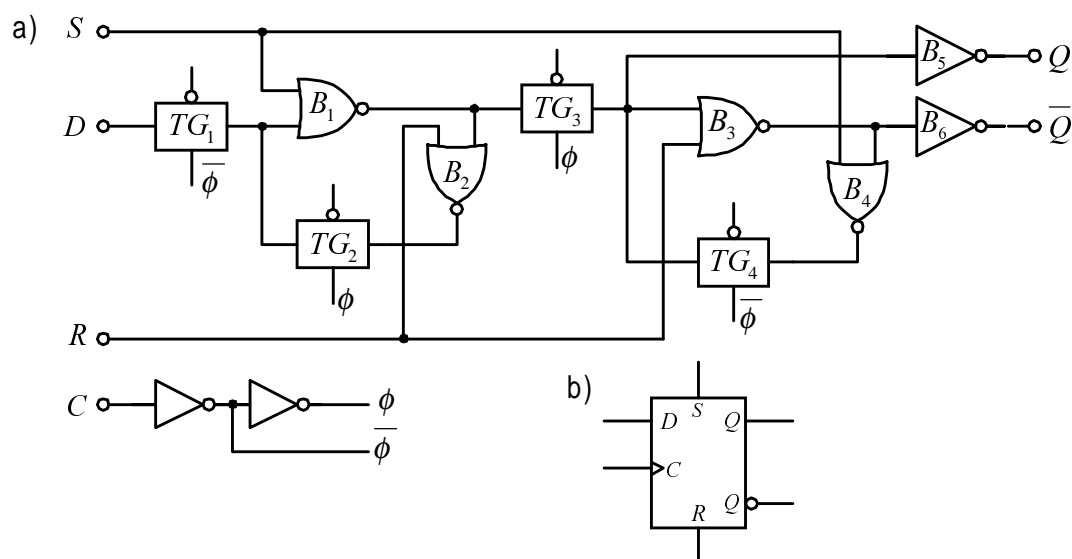
Gdy na wejście D podany jest stan 0 i wejście zegarowe jest w stanie 0, wówczas na wyjściu bramki 4 pojawi się stan 1, a na wyjściu bramki 1 pojawi się stan 0. Wyjścia bramek 2 i 3 znajdują się w stanie 1. Zmiana sygnału zegarowego ze stanu 0 na 1, w chwili osiągnięcia wartości napięcia progowego bramki 3, powoduje pojawienie się na jej wyjściu stanu 0, na wyjściach zaś \overline{Q} i Q przerzutnika III odpowiednio stanów 1 i 0.

Jeżeli na wejście D podany jest stan 1 i wejście zegarowe jest w stanie 0, to w takim przypadku wyjście bramki 4 przyjmuje stan 0, wyjście bramki 1 - stan 1. Przy zmianie sygnału z 0 na 1 na wejściu zegarowym, na wyjściu bramki 2 pojawi się stan 0 i wyjście Q przyjmuje stan 1. Przerzutniki D realizowane w technice CMOS mogą mieć różne struktury, co zależy od producenta, jednak wszystkie one oparte są na koncepcji master - slave, przedstawionej na rys.8.9. Pewne uproszczenie schematu elektrycznego przerzutnika, w porównaniu do opisanego rozwiązania w technice TTL uzyskuje się dzięki prostej strukturze przerzutnika typu „zatrask”, możliwej do realizacji w tej technologii przy wykorzystaniu bramek transmisyjnych lub trójstanowych.

Na rys.8.11 przedstawiono strukturę wewnętrzną przerzutnika D wyzwalanego dodatnim zboczem impulsu zegara wykonanego w technologii CMOS, typu 4013B firmy Motorola.

Jego zasada działania jest bardzo podobna do działania przerzutnika z rys.8.9. przy czym przerzutniki D typu „zatrask” realizowane są przy wykorzystaniu bramek transmisyjnych (jak na rys.8.8a).

Zmiana stanu wyjść przerzutnika, wynikająca z doprowadzenia impulsu zmieniającego jego stan do jednego z wejść asynchronicznych $R(\overline{R})$ lub $S(\overline{S})$ bądź do synchronicznego wejścia C , następuje zawsze z pewnym opóźnieniem względem chwili osiągnięcia wartości progowej napięcia przez zbocze impulsu inicjującego zmianę stanu.



Rys.8.11. a) Struktura wewnętrzna przerzutnika D typu 4013B firmy Motorola, b) symbol logiczny przerzutnika

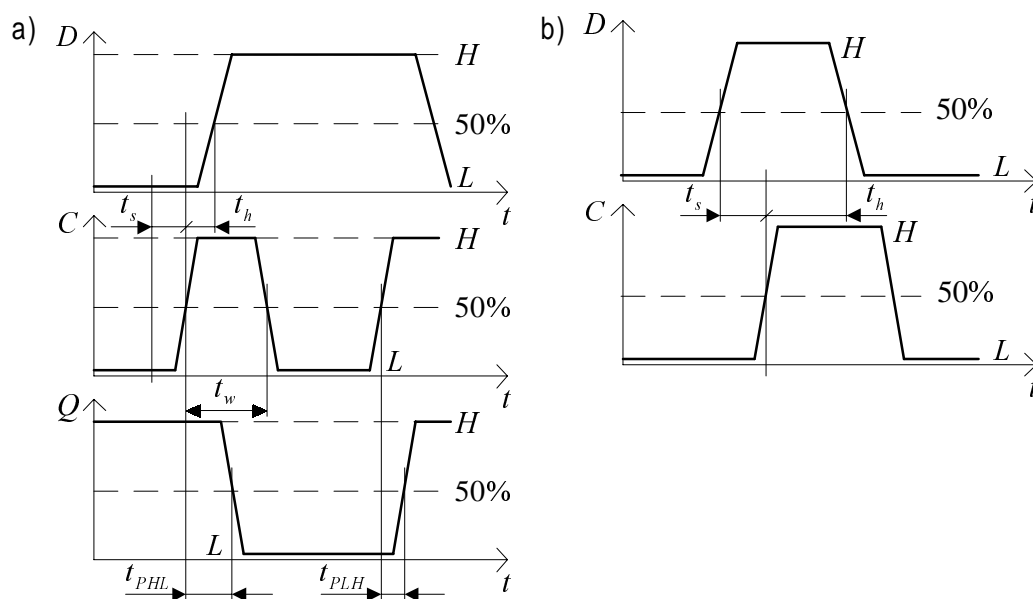
Dlatego dla każdego przerzutnika definiuje się następujące parametry dynamiczne:

- czasy propagacji sygnałów od wejścia zegarowego do wyjść Q i \bar{Q} ,
- czasy propagacji sygnałów od wejść asynchronicznych do wyjść Q i \bar{Q} ,
- czas ustalania t_s (ang. *setup time*),
- czas przetrzymywania t_h (ang. *hold time*),
- minimalny czas trwania określonych sygnałów (np. t_w),
- maksymalna częstotliwość przebiegu synchronizującego

Na rys.8.12a przedstawiono ilustrację definicji czasów propagacji sygnałów od wejścia zegarowego C do wyjścia Q (dla narastającego zbocza zegara), a na rys.8.12b przedstawiono ilustrację definicji czasów ustalania (t_s) i przetrzymywania (t_h).

Czas ustalania (t_s) jest to minimalny czas, w którym sygnał wejściowy musi być obecny na wejściach informacyjnych (synchronizowanych) przerzutnika przed nadejściem wyzwalającego zbocza impulsu zegara (rys.8.12).

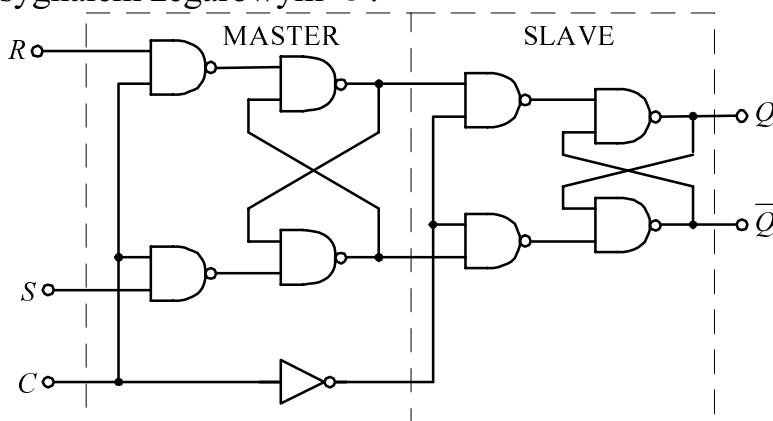
Czas przetrzymywania (t_h) jest to minimalny czas, w którym sygnał wejściowy musi pozostać na wejściu informacyjnym (synchronizowanym) po wystąpieniu wyzwalającego zbocza sygnału zegara.



Rys.8.12. Ilustracja definicji: a) czasów propagacji sygnału synchronizującego C do wyjścia Q , b) czasów ustalania (t_s) i przetrzymania (t_h)

8.2.5. Przerzutnik RS master - slave

Na rys.8.13 przedstawiono strukturę logiczną przerzutnika RS master - slave, powstającą z dwu kaskadowo połączonych przerzutników RS. Oba przerzutniki są blokowane na przemian sygnałem zegarowym C .



Rys.8.13. Przerzutnik RS master-slave

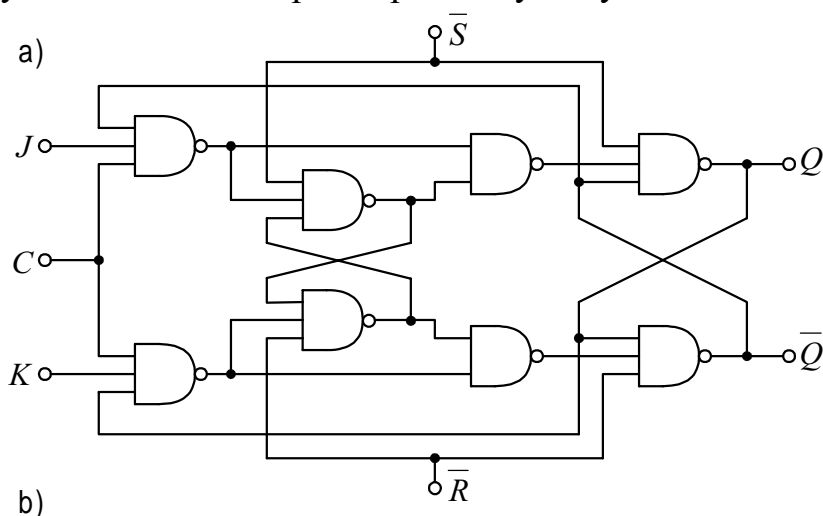
Gdy sygnał zegara $C = 1$, informacja wejściowa z wejść R, S jest wczytywana do przerzutnika głównego. Stan wyjść nie ulega zmianie, ponieważ przerzutnik pomocniczy jest zablokowany zanegowanym sygnałem $\bar{C} = 0$.

Gdy impuls zegara zmieni swój stan na $C = 0$, przerzutnik główny zostaje zablokowany, a równocześnie przerzutnik pomocniczy zostaje odblokowany i w momencie ujemnego zbocza impulsu zegara stan

przerzutnika głównego zostaje przekazany na wyjście. Podobnie jak w synchronizowanym przerzutniku RS, tak i tutaj, kombinacja zmiennych wejściowych $R = S = 1$, przy $C = 1$ jest niedozwolona, ponieważ prowadzi do nieokreślonego zachowania się przerzutnika przy przejściu zegara do stanu 0.

8.2.5. Przerzutnik JK i \overline{JK} master - slave

Klasyczny przerzutnik JK wykorzystuje obydwie zbocza impulsu sterującego do zmiany stanu przerzutnika. Prosta realizację takiego przerzutnika stanowi użycie dwóch zatrzaskowych przerzutników RS, połączonych kaskadowo w sposób pokazany na rys.8.14a.



Tablica 8.5. Tablice stanów przerzutnika JK

t_n		t_{n+1}	
J	K	Q	\overline{Q}
0	0	Q_n	\overline{Q}_n
1	0	1	0
0	1	0	1
1	1	\overline{Q}_n	Q_n

t_n			t_{n+1}	
Q	J	K	Q	\overline{Q}
0	0	x	0	1
0	1	x	1	0
1	x	1	0	1
1	x	0	1	0

x - stan dowolny

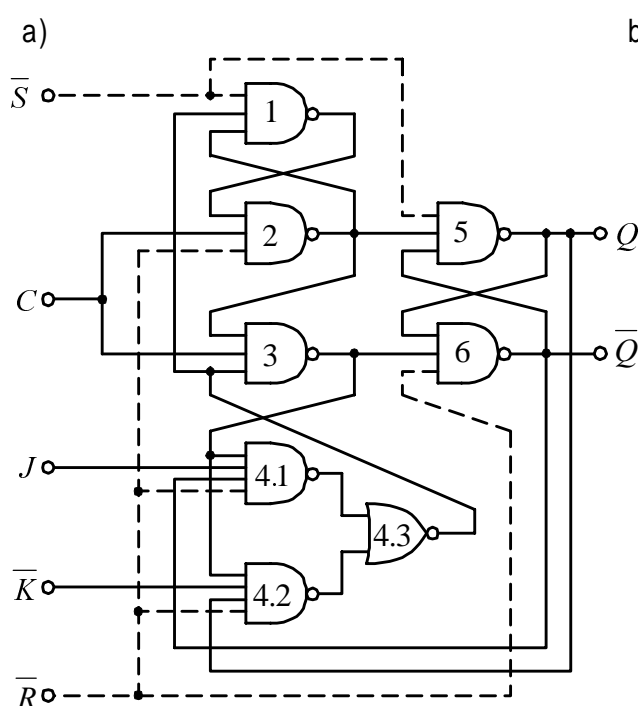
Rys.8.14. Przerzutnik JK master-slave: a) schemat logiczny układu, b) tablica stanów

Jest on wyposażony w wejścia programujące J i K , wejście synchronizujące (zegarowe) C oraz dwa wejścia asynchroniczne: ustawiające \overline{S} i zerujące \overline{R} . Zwrotne podanie dopełniających się sygnałów wyjściowych przerzutnika na jego wejścia (przy czym zewnętrzne wejścia noszą nazwę wejść J, K) pozwala również na

wykorzystanie kombinacji zmiennych wejściowych $J = K = 1$. Wejścia asynchroniczne \overline{R} i \overline{S} umożliwiają zmianę stanu przerzutnika niezależnie od stanu na wejściu zegara C . Działanie logiczne przerzutnika JK-MS można opisać przy pomocy jednej z dwóch tabel 8.5 na rys.8.14b, z których każda samodzielnie i jednoznacznie opisuje działanie przerzutnika. Kolumny t_n w tablicach określają sytuację istniejącą przed doprowadzeniem impulsu zegara, natomiast w kolumnach t_{n+1} jest opisana sytuacja istniejąca po zakończeniu impulsu zegara. Stan w jakim ustawia się przerzutnik zależy od stanów wejść programujących J, K oraz od poprzedniego stanu przerzutnika. Gdy jedno z wejść programujących przyjmuje wartość 0, działanie przerzutnika JK jest analogiczne do działania przerzutnika RS, a gdy na obu wejściach J i K występuje stan 1, wówczas przerzutnik zmienia stan po każdym impulsie zegara. Wprowadzone sprzężenie zwrotne powoduje ograniczenie pracy przerzutnika JK: tablice przejść z rys.8.14b obowiązują tylko wówczas, gdy przy stanie zegara $C = 1$ stan wejść programujących J i K nie ulega zmianie. W przeciwnym razie działanie przerzutnika może być nieprawidłowe. Wady tej nie mają przerzutniki *wyzwalane zboczem*, w których wprowadzenie danych z wejść programujących i odpowiednia zmiana stanu wyjść następuje synchronicznie z jednym zboczem impulsu zegara. W takich przerzutnikach JK (wyzwalanych zboczem) zmiany stanów J i K podczas trwania impulsu zegarowego są dopuszczalne.

Schematy logiczne scalonych przerzutników JK wyzwalanych impulsem mają nieco inną budowę od przedstawionej na rys.8.14, zależnie od stosowanej technologii.

Na rys.8.15a przedstawiono strukturę logiczną przerzutnika $J\overline{K}$ typu 74LS109 i jego tablicę stanów. Struktura logiczna tego przerzutnika jest wynikiem modyfikacji struktury przerzutnika typu D (przy połączeniu $J = \overline{K}$ otrzymuje się przerzutnik D). Wyzwalany jest on narastającym zboczem impulsu zegara.



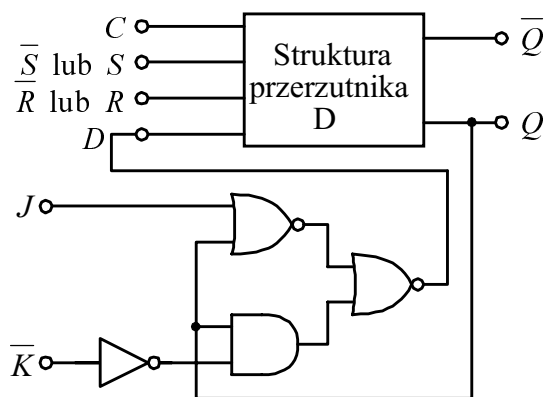
b) Tablica 8.6

\bar{R}	\bar{S}	J	\bar{K}	C	Q	\bar{Q}
H	L	x	x	x	H	L
L	H	x	x	x	L	H
L	L	x	x	x	H	H
H	H	L	L	\uparrow	L	H
H	H	H	H	\uparrow	H	L
H	H	H	L	\uparrow	\bar{Q}_n	Q_n
H	H	L	H	\uparrow	Q_n	\bar{Q}_n
H	H	x	x	\downarrow	bz	bz

Uwaga: - Q_n stan na wyjściu Q bezpośrednio przed pojawieniem się narastającego zbocza impulsu zegara
 bz - bez zmian

Rys.8.15. Przerzutnik $\bar{J}\bar{K}$ typu 74LS109: a) struktura przerzutnika, b) tablica stanów

Również w technologii CMOS strukturę logiczną przerzutnika $\bar{J}\bar{K}$ otrzymuje się w wyniku prostego przekształcenia przerzutnika typu D wyzwalanego zboczem, jak to przedstawiono na rys.8.16.



Rys.8.16. Struktura przerzutnika $\bar{J}\bar{K}$ realizowanego w technologii CMOS

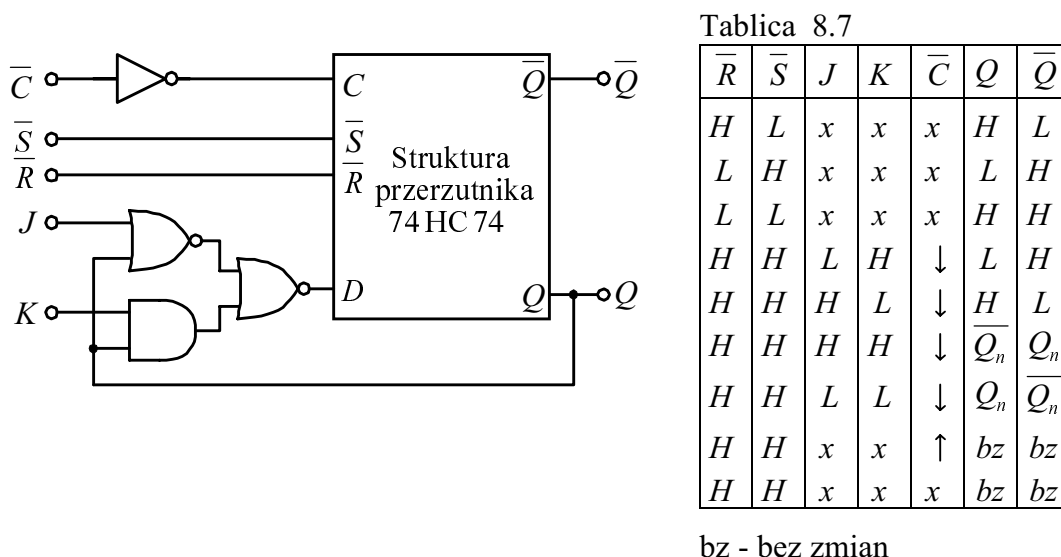
Funkcja logiczna na wejściu informacyjnym przerzutnika D realizowana przez wejściowy układ kombinacyjny ma postać:

$$D = \overline{(J + Q)} + (\bar{K} \cdot Q) = (J + Q)(\bar{K} + \bar{Q})$$

Taką strukturę posiadają np. przerzutniki scalone 74HC109. Jeżeli z wejścia \bar{K} zostanie usunięty inwerter, otrzymuje się wówczas przerzutnik JK-MS, a przykładem takiej realizacji może być układ 4027B. Produkowane są również przerzutniki JK wyzwalane ujemnym

zbroczem zegara. Przykładem tego typu przerzutników mogą być układy 74HC112 w technologii HCMOS i 74LS112 w technologii LS-TTL (produkuje się również 74AC/ACT112, 74ALS112A, 74F112 itp.).

Jak pokazano na rys.8.17, strukturę logiczną przerzutnika 74HC112 otrzymujemy w wyniku modyfikacji układu z rys.8.16, polegającej na przesunięciu inwertera z wejścia \bar{K} na wejście C i realizacja przerzutnika D jak w układzie 74HC74.



Rys.8.17. Struktura przerzutnika 74HC112 oraz tablica jego stanów

8.3. LICZNIKI

8.3.1. Klasyfikacja i podstawowe parametry liczników

Liczniki są sekwencyjnymi układami cyfrowymi, zliczającymi liczbę impulsów podanych w określonym przedziale czasu na ich wejście. Zbudowane są z pewnej liczby $n \geq 1$ synchronicznych przerzutników, odpowiednio ze sobą połączonych. Oprócz wejścia dla impulsów zliczanych, licznik posiada wejście asynchroniczne ustawiające jego stan początkowy. Ustawienie wszystkich przerzutników licznika w stan 0 nazywa się *zerowaniem licznika*.

W licznikach dwójkowych n stanowi liczbę bitów licznika, czyli liczbę znaków w liczbie dwójkowej, reprezentującej stan licznika.

Liczbę stanów przyjmowanych przez licznik w jednym pełnym cyklu nazywa się *długością cyklu* lub *pojemnością licznika*. Jeżeli licznik składa się z n przerzutników, to jego pojemność, zależna od

połączeń logicznych między poszczególnymi przerzutnikami, zawiera się w przedziale $< 1, 2^n >$.

Jeżeli licznik ma p różnych stanów, przez które przechodzi cyklicznie, to określa się go jako *licznik modulo p* .

Każdemu określone stanowi licznika odpowiada jedna określona kombinacja stanów przerzutników tworzących licznik. Licznik dwójkowy o pojemności 10 nazywa się licznikiem *dziesiętnym* lub *dekadowym*. Pełny cykl pracy takiego licznika obejmuje 10 stanów. Zawartość licznika dziesiętnego wyraża się w zapisie dziesiętnym kodowanym dwójkowo (BCD - ang. *Binary Coded Decimal*).

Dokonując podziału liczników pod względem długości cyklu możemy wyróżnić:

- liczniki o stałej długości cyklu,
- liczniki o programowalnej długości cyklu.

Jeżeli kolejne liczby reprezentujące stany licznika wzrastają w trakcie liczenia impulsów, to takie liczniki nazywamy *licznikami zliczającymi w przód*. W przeciwnym razie - jeśli maleją - to nazywamy je *licznikami zliczającymi wstecz*. Liczniki, które posiadają zdolność zliczania impulsów zarówno w przód jak i wstecz, określa się jako *liczniki dwukierunkowe* lub *rewersyjne*.

Bardzo istotnym kryterium podziału liczników może być sposób oddziaływania impulsów zliczanych na stan przerzutników licznika. Ze względu na to kryterium liczniki można sklasyfikować jako:

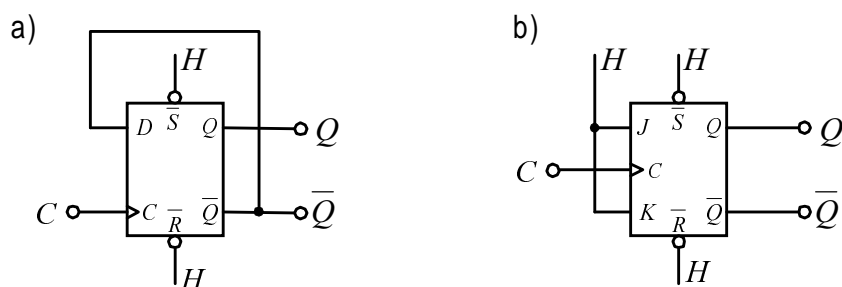
- synchroniczne,
- asynchroniczne,
- asynchroniczno - synchroniczne.

W liczniku synchronicznym (ang. *synchronous counter*) impulsy zliczane są podane na wejścia zegarowe wszystkich przerzutników, natomiast w liczniku asynchronicznym (ang. *ripple counter*) oraz asynchroniczno - synchronicznym impulsy zliczane podaje się tylko na jedno lub niektóre z wejść zegarowych przerzutników licznika.

Przydatność licznika do pracy w określonych systemach cyfrowych może być oceniana w oparciu o jego podstawowe parametry:

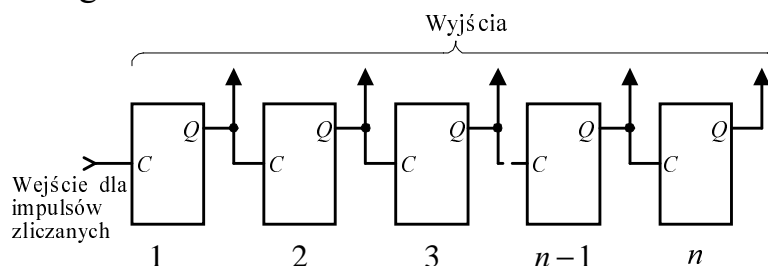
- szybkość działania,
- czas ustalania zawartości licznika.

Szybkość działania określa się przez podanie maksymalnej dopuszczalnej częstotliwości f_{\max} impulsów zliczanych. Najprostszym licznikiem impulsów jest licznik modulo 2 (mod 2), który można zrealizować przy użyciu przerzutnika D lub JK, jak to pokazano na rys.8.18. (Przerzutnik, który zmienia swój stan po każdym impulsie zegara nazywany jest przerzutnikiem typu T).



Rys.8.18. Licznik mod 2 zrealizowany przy użyciu przerzutnika: a) typu D, b) JK

Na rys.8.19 przedstawiono ogólny schemat logiczny licznika asynchronicznego.



Rys. 8.19. Schemat logiczny licznika asynchronicznego

W liczniku asynchronicznym na rys.8.19 maksymalna częstotliwość impulsów wyjściowych występuje tylko w pierwszym przerzutniku i nie może przekroczyć dopuszczalnej wartości f_{\max} . Ponieważ maksymalny czas ustalania się zawartości licznika jest sumą czasów propagacji t_p wszystkich przerzutników, to maksymalna częstotliwość wejściowa nie powinna przekroczyć wartości

$$f_{\max} \leq (n t_{p\max} + t_0)^{-1} \quad (8.6)$$

gdzie: n - liczba przerzutników wchodzących w skład licznika,

t_p - czas propagacji jednego przerzutnika,

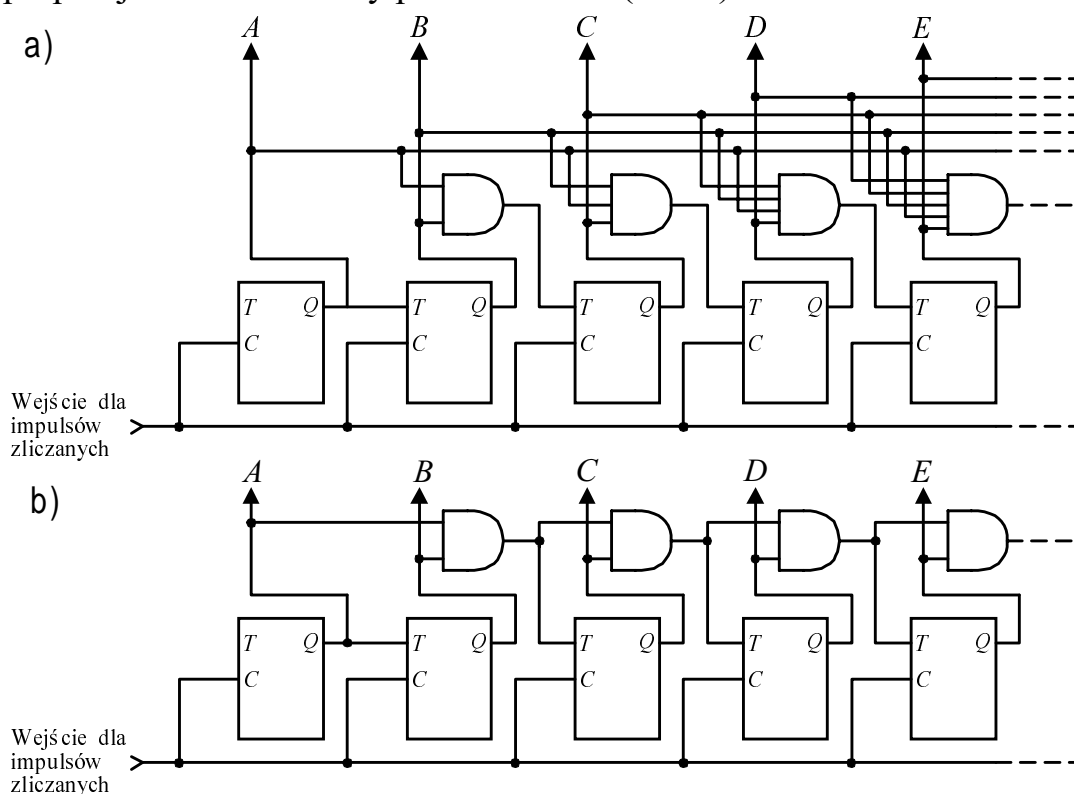
t_0 - czas potrzebny na ustalenie się zawartości licznika po każdym impulsie zliczanym.

W liczniku synchronicznym wejścia zegarowe wszystkich przerzutników są połączone, co zapewnia jednoczesność zmian stanów przerzutników. Czas ustalania zawartości licznika determinowany jest sumą czasów propagacji sygnału przez układy kombinacyjne, realizujące zbiór funkcji przełączających dla wejść informacyjnych przerzutników licznika. Ze względu na sposób realizacji tych funkcji wyróżnia się:

- liczniki synchroniczne z przeniesieniami równoległymi (ang. *parallel carry* lub *look - ahead*),

- liczniki synchroniczne z przeniesieniami szeregowymi (ang. *serial carry* lub *ripple carry*).

Na rys.8.20 przedstawiono ten sam licznik synchroniczny w dwóch wersjach: z przeniesieniami równoległymi oraz szeregowymi. Jak można wnioskować na podstawie tego rysunku, równoległy układ przeniesień zapewnia najkrótszy czas propagacji, czyli największą częstotliwość impulsów zliczanych, lecz jego złożoność wzrasta proporcjonalnie do liczby przerzutników (bitów) licznika.



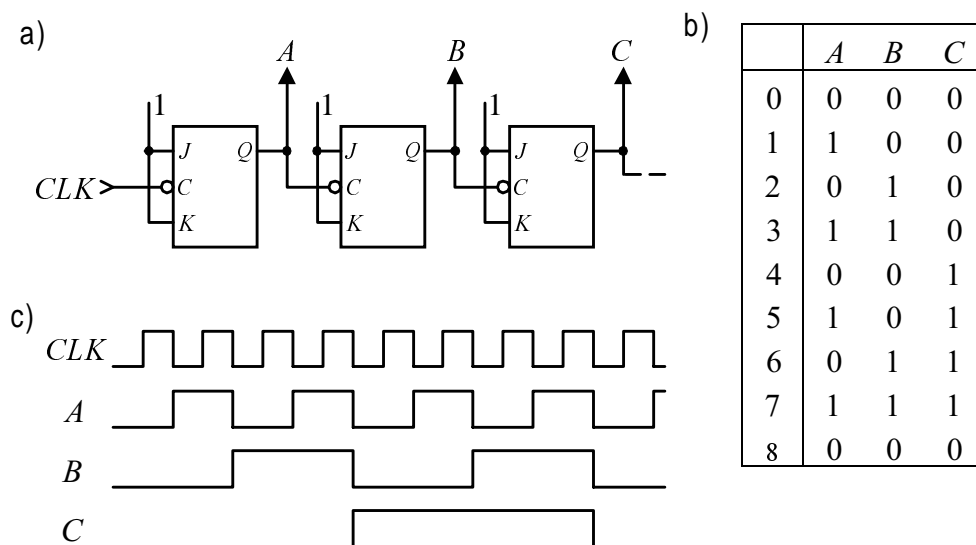
Rys.8.20. Schematy logiczne liczników synchronicznych z przeniesieniami:
a) równoległymi, b) szeregowymi

8.3.2. Liczniki asynchroniczne

Asynchroniczny licznik dwójkowy można zrealizować tworząc łańcuch szeregowy dwójek liczących, w którym wejście zegarowe C każdego przerzutnika połączone jest z wyjściem Q poprzedniego, jak to pokazano na rys.8.21.

Aby otrzymać zliczanie w przód przerzutniki muszą zmieniać swój stan przy zmianie impulsu zegarowego z 1 na 0. Warunek ten jest spełniony przy zastosowaniu przerzutników JK master - slave, przy ustawionych $J = K = 1$. Licznik ten można dowolnie rozszerzać. W przedstawionym układzie można również zastosować przerzutniki

wyzwalane dodatnim zboczem impulsu zegara, czyli np. przerzutniki D wyzwalane zboczem.



Rys. 8.21. Asynchroniczny licznik dwójkowy: a) schemat logiczny, b) tablica stanów, c) przebiegi czasowe

Jednak w takim przypadku, przy połączeniach takich jak na rys.8.21, otrzymamy licznik zliczający wstecz. Aby zrealizować zliczanie w przód, należy dokonać inwersji sygnału zegarowego, lub prościej, wejścia zegarowe przerzutników połączyć z wyjściami \bar{Q} poprzedzających przerzutników. Zliczanie wstecz oznacza, że wartości liczbowe odpowiadające kolejnym stanom są malejące.

Jak pokazano na rys.8.21c, licznik jest równocześnie dzielnikiem częstotliwości, ponieważ częstotliwość na wyjściu kolejnego przerzutnika jest równa połowie częstotliwości na jego wejściu zegarowym, czyli na wyjściu poprzedzającego przerzutnika.

W celu zdekodowania poszczególnych stanów licznika należy zastosować dekodery. Ponieważ zmiany stanów przerzutników licznika następują z pewnym opóźnieniem, dlatego na wyjściu dekodera mogą pojawić się fałszywe stany. W celu wyeliminowania tych stanów, należy zastosować dekodery ze strobowaniem impulsów wejściowych.

Maksymalna wartość częstotliwości impulsów wejściowych dla licznika asynchronicznego z dekodowaniem stanów wynosi

$$\frac{1}{f_{\max}} \geq n t_p + t_s \quad (8.7)$$

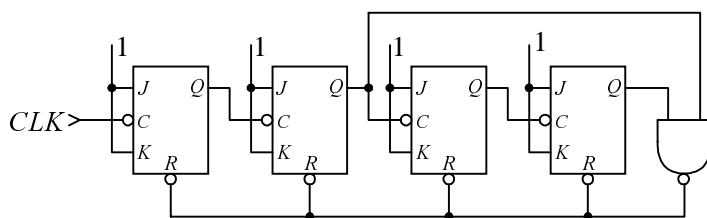
przy czym:

n - liczba przerzutników,

t_p - czas opóźnienia (propagacji) jednego przerzutnika,

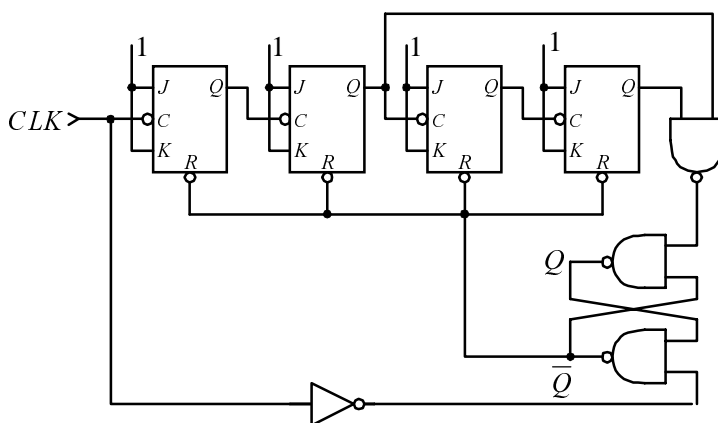
t_s - czas strobowania (czas trwania impulsu na wyjściu dekodera).

Dzielnik częstotliwości zrealizowany z kaskadowo połączonych przerzutników typu T może mieć współczynnik podziału częstotliwości równy tylko potęgze liczby 2. Uzyskanie innego współczynnika jest możliwe, jeżeli zostaną zastosowane sprzężenia zwrotne, które usuną nadmiar stanów licznika. Na rys.8.22 przedstawiono asynchroniczny licznik dziesiętny ze sprzężeniem zerującym.



Rys. 8.22. Asynchroniczny licznik dziesiętny ze sprzężeniem zerującym

Liczniki asynchroniczne zaprojektowane w ten sposób mogą działać nieprawidłowo w przypadku, gdy czas opóźnienia (propagacji) między wejściem zerującym przerzutnika a jego wyjściem ma różną wartość dla poszczególnych przerzutników. Wówczas impuls zerujący, równy najmnijemu z czasów opóźnień, może trwać zbyt krótko, aby wyzerować cały licznik. W celu wyeliminowania tego niepożądanego zjawiska należy zastosować dodatkowo przerzutnik RS ustawiany w stan 1 zdekodowanym stanem licznika, a zerowany impulsami wejściowymi (rys.8.23).

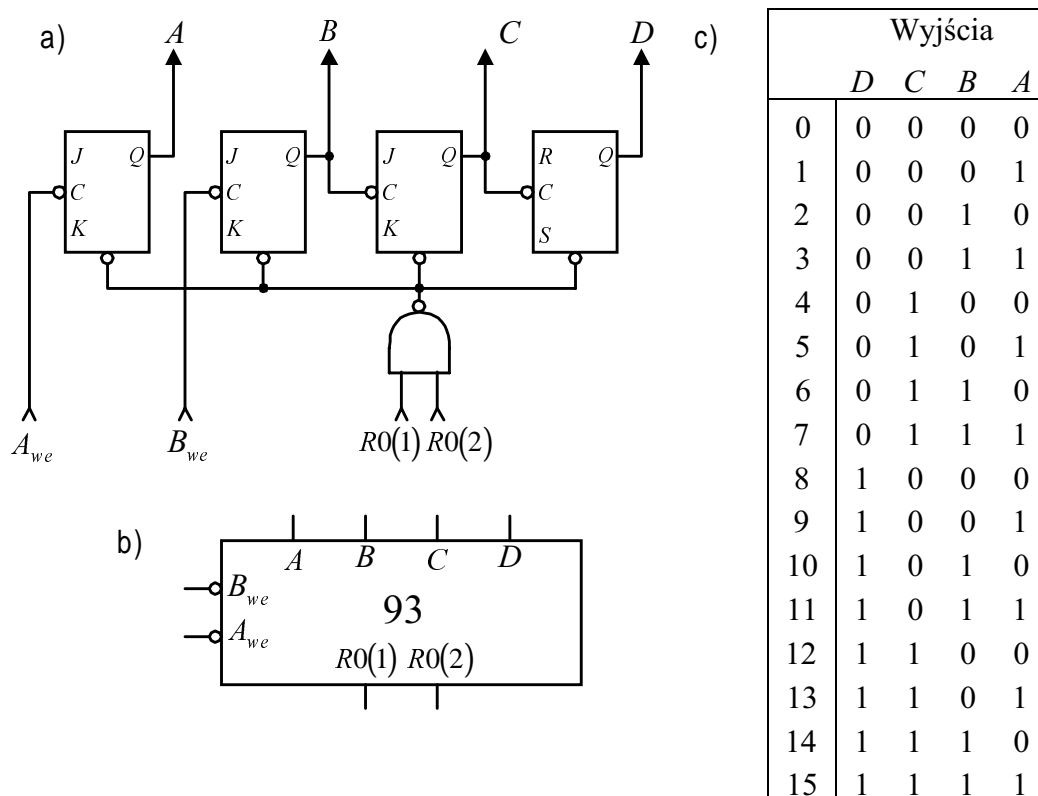


Rys. 8.23. Asynchroniczny licznik dziesiętny z zerującym układem sprzężenia zawierającym przerzutnik RS

Wiele różnych typów liczników asynchronicznych jest dostępnych w postaci układów scalonych. Dla przykładu, niżej zostały przedstawione schematy logiczne jednych z pierwszych scalonych liczników asynchronicznych 74LS/HC90 i 74LS/HC93.

Licznik '90 (rys.8.24) składa się z czterech przerzutników A, B, C, D typu MS, połączonych w ten sposób, że tworzą dwa liczniki, jeden zliczający mod.2 (przerzutnik A) i drugi zliczający mod.5 (przerzutniki B, C i D). Wyjście przerzutnika A nie jest połączone wewnętrznie

częstotliwości sygnału wejściowego w zakresie $2^2 - 2^{31}$, oraz układy 74LS/HC294 umożliwiające podział częstotliwości w zakresie $2^2 - 2^{15}$.



Objaśnienie: Wyjście A jest połączone z wejściem B

Rys.8.25. Scalony licznik '93: a) schemat logiczny, b) symbol graficzny, c) kod licznika

8.3.3. Liczniki synchroniczne

Liczniki synchroniczne charakteryzują się tym, że zliczane impulsy są podawane równocześnie na wszystkie wejścia zegarowe C przerzutników.

Rozważmy synchroniczny licznik mod.16, zliczający w przód w naturalnym kodzie dwójkowym, zrealizowany w oparciu o przerzutniki JK-MS. Na podstawie tablicy wzbudzeń przerzutnika JK-MS (rys.8.14b) i tablicy stanów licznika (rys.8.26a) otrzymuje się tablice Karnaugh'a (rys.8.26b i c) umożliwiające wyznaczenie funkcji przełączających dla poszczególnych wejść J i K przerzutników.

a)

	D	C	B	A		D	C	B	A
0	0	0	0	0	1	0	0	0	1
1	0	0	0	1	2	0	0	1	0
2	0	0	1	0	3	0	0	1	1
3	0	0	1	1	4	0	1	0	0
4	0	1	0	0	5	0	1	0	1
5	0	1	0	1	6	0	1	1	0
6	0	1	1	0	7	0	1	1	1
7	0	1	1	1	8	1	0	0	0
8	1	0	0	0	9	1	0	0	1
9	1	0	0	1	10	1	0	1	0
10	1	0	1	0	11	1	0	1	1
11	1	0	1	1	12	1	1	0	0
12	1	1	0	0	13	1	1	0	1
13	1	1	0	1	14	1	1	1	0
14	1	1	1	0	15	1	1	1	1
15	1	1	1	1	0	0	0	0	0

b)

J_A

DC \ BA	00	01	11	10
00	1	x	x	1
01	1	x	x	1
11	1	x	x	1
10	1	x	x	1

$J_A = 1$

J_B

DC \ BA	00	01	11	10
00	0	1	x	x
01	0	1	x	x
11	0	1	x	x
10	0	1	x	x

$J_B = A$

J_C

DC \ BA	00	01	11	10
00	0	0	1	0
01	x	x	x	x
11	x	x	x	x
10	0	0	1	0

$J_C = AB$

J_D

DC \ BA	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	x	x	x	x
10	x	x	x	x

$J_D = ABC$

c)

K_A

DC \ BA	00	01	11	10
00	x	1	1	x
01	x	1	1	x
11	x	1	1	x
10	x	1	1	x

$K_A = 1$

K_B

DC \ BA	00	01	11	10
00	x	x	1	0
01	x	x	1	0
11	x	x	1	0
10	x	x	1	0

$K_B = A$

K_C

DC \ BA	00	01	11	10
00	x	x	x	x
01	0	0	1	0
11	0	0	1	0
10	x	x	x	x

$K_C = AB$

K_D

DC \ BA	00	01	11	10
00	x	x	x	x
01	x	x	x	x
11	0	0	1	0
10	0	0	0	0

$K_D = ABC$

Rys.8.26. Licznik synchroniczny zliczający w przód w naturalnym kodzie dwójkowym: a) tablica stanów, b) tablice Karnaugh dla wejść J , c) tablice Karnaugh dla wejść K

Z tablic Karnaugh otrzymujemy następujące funkcje dla wejść J, K :

$$\left. \begin{aligned} J_A &= K_A = 1 \\ J_B &= K_B = A \\ J_C &= K_C = A B \\ J_D &= K_D = A B C \end{aligned} \right\} \quad (8.8)$$

Zatem przerzutnik wchodzący w skład licznika dwójkowego może zmienić swój stan tylko wtedy, kiedy wszystkie przerzutniki poprzednie są w stanie jeden. Jak już omówiono w rozdz. 8.3.1, ze względu na sposób realizacji funkcji (8.8), wyróżnia się liczniki synchroniczne z przeniesieniami równoległymi lub szeregowymi. Schematy logiczne liczników dla obydwu rodzajów przeniesień przedstawiono na rys.8.20. W układzie z przeniesieniami równoległymi w miarę zwiększenia pojemności licznika występuje potrzeba stosowania bramek o zwiększającej się liczbie wejść oraz zwiększa się obciążenie wyjść przerzutników. Z kolei szybkość działania licznika z przeniesieniami szeregowymi jest znacznie mniejsza od szybkości licznika z przeniesieniami równoległymi, ze względu na sposób realizacji funkcji przełączających J, K poszczególnych przerzutników.

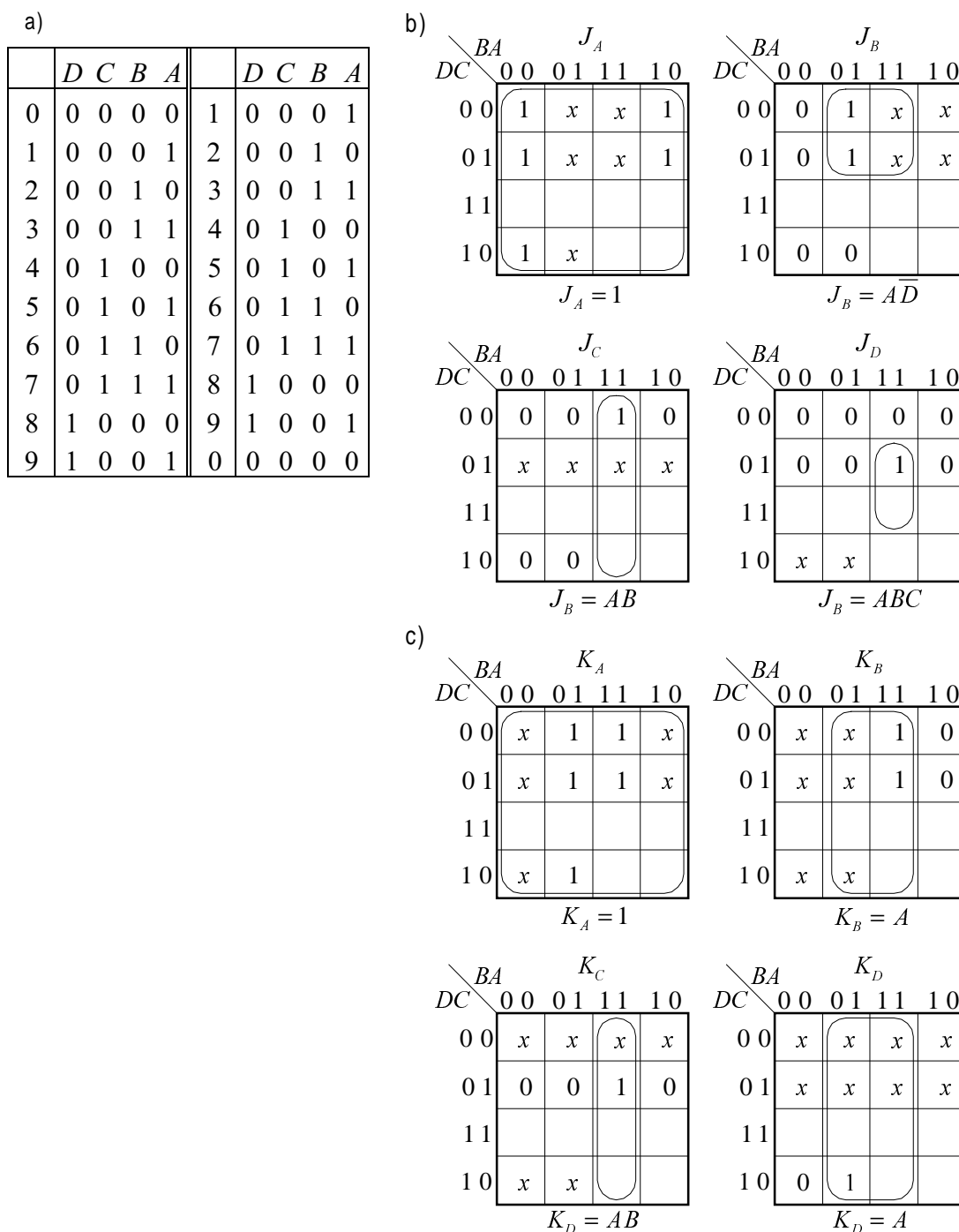
W podobny sposób jak dla licznika dwójkowego można wyznaczyć funkcje przełączające na wejściach informacyjnych przerzutników oraz strukturę logiczną liczników synchronicznych o mniejszej pojemności niż liczba stanów wynikająca z liczby zastosowanych przerzutników ($p < 2^n$).

Rozważmy dla przykładu dekadę liczącą w kodzie 8421. Na rys.8.27a przedstawiono tablicę stanów licznika mod.10, a na rys.8.27b i c tablice Karnaugh, odpowiednio dla wejść J i K przerzutników. Klatki puste odpowiadają stanom niewykorzystywanym, zatem przy zapisie funkcji przełączających nie mają one znaczenia.

Funkcje przełączające dla poszczególnych wejść J, K przerzutników mają postać:

$$\left. \begin{aligned} J_A &= 1 & K_A &= 1 \\ J_B &= A \overline{D} & K_B &= A \\ J_C &= A D & K_C &= A B \\ J_D &= A B C & K_D &= A \end{aligned} \right\} \quad (8.9)$$

Schemat logiczny dekady liczącej w kodzie 8421 przedstawiono na rys.8.28.



Rys. 8.27. Dekada licząca w kodzie 8421: a) tablica stanów, b) tablice Karnaugh dla wejść J , c) tablice Karnaugh dla wejść K

Przykładem seryjnie produkowanych liczników synchronicznych mogą być liczniki: czterobitowe 74LS163A, 40163(CMOS), ośmiobitowe 74LS590 oraz w wykonaniu specjalnym układy 40102, 40103, 74HC40102, 74HC40103 itp, jako programowane liczniki ośmiobitowe z pojedynczym wejściem.

przerzutników tak, że po 10 impulsach układ ponownie znajduje się w stanie 00000.

Tablica 8.8. Tablica stanów dziesiętnego licznika Johnsona.

	<i>E</i>	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>		<i>E</i>	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>
0	0	0	0	0	0	1	0	0	0	0	1
1	0	0	0	0	1	2	0	0	0	1	1
2	0	0	0	1	1	3	0	0	1	1	1
3	0	0	1	1	1	4	0	1	1	1	1
4	0	1	1	1	1	5	1	1	1	1	1
5	1	1	1	1	1	6	1	1	1	1	0
6	1	1	1	1	0	7	1	1	1	0	0
7	1	1	1	0	0	8	1	1	0	0	0
8	1	1	0	0	0	9	1	0	0	0	0
9	1	0	0	0	0	0	0	0	0	0	0

Bardzo istotną cechą licznika Johnsona jest to, że zbocze każdego kolejnego impulsu zegara powoduje przełączenie tylko jednego przerzutnika. Dlatego przy dekodowaniu stanów licznika nie występują zakłócające impulsy szpilkowe, jak to ma miejsce w licznikach synchronicznych omówionych wcześniej, w których przy dekodowaniu stanów wyjściowych mogą pojawiać się krótkie impulsy szpilkowe, będące rezultatem szybko następujących po sobie (nieco przesuniętych w czasie) przełączeń kilku przerzutników. Ponadto dekodery licznika Johnsona jest bardzo prosty, ponieważ każdy stan licznika można zdekodować na podstawie stanu tylko dwóch przerzutników. Licznik Johnsona jest licznikiem synchronicznym z przeniesieniami równoległymi, nie wymagający stosowania żadnych dodatkowych funkcji przełączających na wejściach programujących przerzutników. Jest zatem licznikiem o ekstremalnej szybkości zliczania impulsów wejściowych. Najbardziej znanymi licznikami Johnsona są: licznik modulo 8 typu 4022 / 74HC4022 i licznik modulo 10 typu 4017 / 74HC4017.

8.3.4. Liczniki dwukierunkowe (rewersyjne)

Wyróżnić można dwa typy *liczników rewersyjnych* (ang. *up-down counters*):

- liczniki o jednym wejściu dla impulsów zliczanych i drugim wejściu określającym kierunek zliczania,

- liczniki o dwóch wejściach dla impulsów zliczanych, z których jedno powoduje zwiększanie, a drugie zmniejszanie stanu licznika.

Jako przykład syntezy dwukierunkowego licznika dwójkowego zostanie rozpatrzony licznik 4 - bitowy, zaprojektowany przy użyciu przerzutników JK-MS. W tablicy stanów 8.9 zestawiono kolejne stany, jakie przyjmuje czterobitowy licznik rewersyjny o jednym wejściu dla impulsów zliczanych i drugim wejściu X_K określającym kierunek zliczania, przy czym $X_K = 1$ oznacza dodawanie, zaś $X_K = 0$ oznacza odejmowanie.

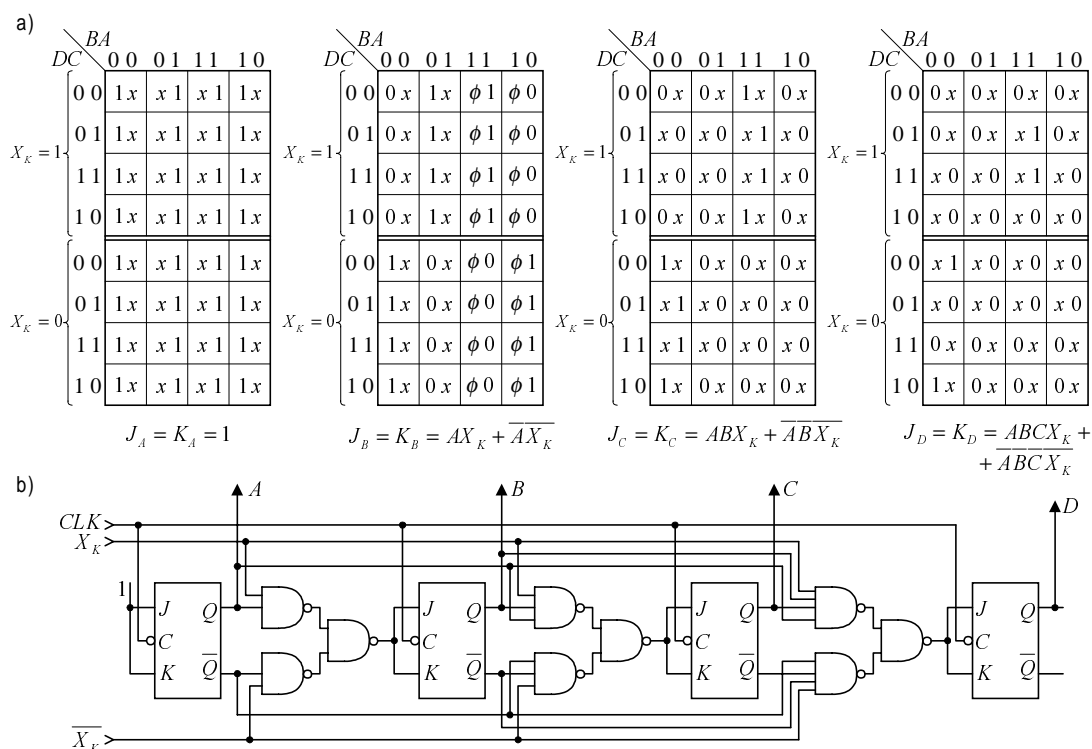
Tablica 8.9. Tablica stanów czterobitowego licznika rewersyjnego

	X_K	D	C	B	A		X_K	D	C	B	A
0	1	1	0	0	0	0	0	0	0	0	0
1	1	0	0	0	1	1	0	1	1	1	1
2	1	0	0	1	0	2	0	1	1	1	0
3	1	0	0	1	1	3	0	1	1	0	1
4	1	0	1	0	0	4	0	1	1	0	0
5	1	0	1	0	1	5	0	1	0	1	1
6	1	0	1	1	0	6	0	1	0	1	0
7	1	0	1	1	1	7	0	1	0	0	1
8	1	1	0	0	0	8	0	1	0	0	0
9	1	1	0	0	1	9	0	0	1	1	1
10	1	1	0	1	0	10	0	0	1	1	0
11	1	1	0	1	1	11	0	0	1	0	1
12	1	1	1	0	0	12	0	0	1	0	0
13	1	1	1	0	1	13	0	0	0	1	1
14	1	1	1	1	0	14	0	0	0	1	0
15	1	1	1	1	1	15	0	0	0	0	1

Na podstawie tablicy wzbudzeń dla przerzutnika JK-MS (rys.8.14b) i tablicy stanów licznika (8.9) otrzymuje się tablice Karnaugh'a (rys.8.30a), z których wyznacza się funkcje przełączające dla poszczególnych przerzutników licznika (dla uproszczenia wpisano w poszczególnych tablicach stany zero - jedynkowe dla wejść J i K łącznie). Funkcje te mają postać:

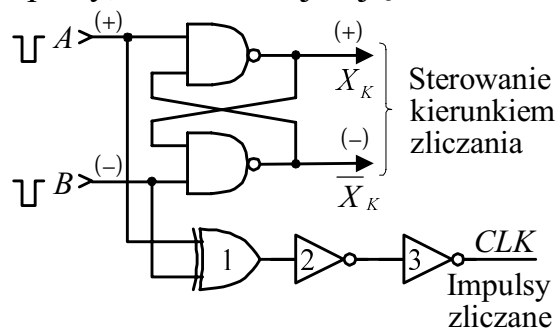
$$\left. \begin{aligned} J_A &= K_A = 1 \\ J_B &= K_B = X_K A + \overline{X_K} \overline{A} \\ J_C &= K_C = X_K A B + \overline{X_K} \overline{A} \overline{B} \\ J_D &= K_D = X_K A B C + \overline{X_K} \overline{A} \overline{B} \overline{C} \end{aligned} \right\} \quad (8.10)$$

Schemat logiczny synchronicznego, dwójkowego licznika dwukierunkowego jest przedstawiony na rys.8.30b.



Rys. 8.30. Synchroniczny rewersyjny licznik dwójkowy: a) tablice Karnaugh, b) schemat logiczny

Na rys.8.31 przedstawiono sposób dwukanałowego podawania impulsów zliczanych do licznika rewersyjnego. Kanałem A są podawane impulsy, które zwiększają zawartość licznika, natomiast kanałem B impulsy, które zmniejszają zawartość licznika.



Rys. 8.31. Układ do dwukanałowego wprowadzania impulsów do licznika rewersyjnego.

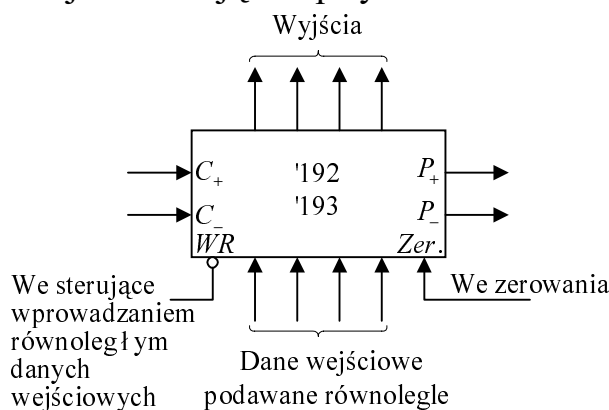
Bramka EXOR nie reaguje, gdy równocześnie pojawią się impulsy na wejściach A i B. Bramki B₂ i B₃ wnoszą dodatkowe opóźnienie, aby wcześniej ustaliły się poziomy napięcie na wejściach X_K, \overline{X}_K , określających kierunek zliczania, zanim pojawi się impuls na wejściach zegarowych CLK.

Przykładem bardzo popularnych synchronicznych liczników rewersyjnych są układy typu '192 i '193, przy czym apostrof oznacza

rodziny układów scalonych: 40, 74LS, 74HC i inne. Licznik '192 jest rewersyjną dekadą liczącą w kodzie 8421, zaś licznik '193 jest czterobitowym rewersyjnym licznikiem binarnym.

Obydwa układy są przystosowane do kaskadowego łączenia w celu realizacji liczników o dowolnie dużej pojemności. W tym celu posiadają następujące wejścia i wyjścia (rys.8.32):

- wejście równoległe A', B', C', D' ,
- wyjścia równoległe A, B, C, D ,
- wejście C_+ dla impulsów dodawanych do zawartości licznika,
- wejście C_- dla impulsów odejmowanych od zawartości licznika,
- wyjście przeniesienia P_+ ,
- wyjście pożyczki P_- ,
- wejście zerujące Zer ,
- wejście sterujące wpisywaniem równoległym informacji \overline{WR} .



Rys. 8.32. Sygnały wejściowe i wyjściowe liczników rewersyjnych '192, '193.

W liczniku '192 przeniesienie P_+ generowane jest przy zdekodowaniu stanu 9 (1001) i C_+ , zaś pożyczka P_- przy zdekodowaniu stanu 0 (0000) i C_- . Zatem licznik ten jest dekadą służącą do budowy dziesiętnych liczników w kodzie BCD. Licznik '193 posiada taką samą strukturę, lecz przeniesienie P_+ jest generowane przy zdekodowaniu stanu 15 (1111) i C_+ , zaś pożyczka P_- przy zdekodowaniu stanu 0 (0000) i C_- . Może zatem służyć do budowy binarnych liczników rewersyjnych.

8.4. REJESTRY

8.4.1. Ogólna charakterystyka i podział rejestrów

Rejestr stanowi pewnego rodzaju nieadresowalną pamięć o stosunkowo małej pojemności. Podobnie jak pamięci adresowane

rejestry mogą być *statyczne lub dynamiczne*. Rejestr statyczny jest złożony z n przerzutników i zapisana w nim informacja w postaci słowa n - bitowego może w nim pozostawać dowolnie długo. Informacja zapisana w rejestrze dynamicznym zmienia się samoistnie z biegiem czasu i podobnie jak w pamięciach dynamicznych wymaga *odświeżania zawartości rejestru*. Ze względu na sposób wprowadzania i wyprowadzania informacji rejestry dzielą się na:

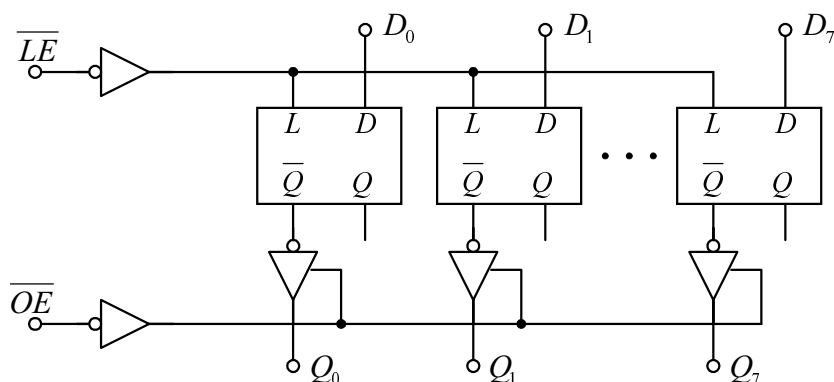
- *szeregowe*, umożliwiające szeregowe wprowadzanie i wyprowadzanie informacji, tzn. kolejno bit po bicie,
- *równoległe*, umożliwiające równoległe wprowadzanie i wyprowadzanie informacji jednocześnie do wszystkich i ze wszystkich pozycji rejestru,
- *szeregowo - równoległe*, umożliwiające szeregowe wprowadzanie i równoległe wyprowadzanie informacji,
- *równoległo - szeregowe*, umożliwiające równoległe wprowadzanie i szeregowe wyprowadzanie informacji.

Rejestry z wejściem szeregowym posiadają możliwość przesuwania wprowadzonej informacji w prawo lub w lewo (*rejestry jednokierunkowe*), bądź też zarówno w prawo jak i w lewo (*rejestry dwukierunkowe*), nazywane też, *rejestrami rewersyjnymi*. Z zespołu rejestrów równoległych budowane są często tzw. *pamięci buforowe*, służące do przechowywania informacji podawanej w sposób równoległy.

8.4.2. Rejestry równoległe

Rejestry równoległe, określane również jako rejestry buforowe realizowane są w postaci scalonej jako zespoły 4, 6 lub najczęściej 8 przerzutników zatrzaskowych lub przerzutników D wyzwanych zboczem. Najbardziej popularnymi rejestrami zatrzaskowymi są układy czterobitowe 4042, '75, '77, '375 oraz ośmiobitowe typu '373 i pochodne. Na rys.8.33 przedstawiono schemat logiczny ośmiobitowego rejestru zatrzaskowego '373 z wyjściem trójstanowym.

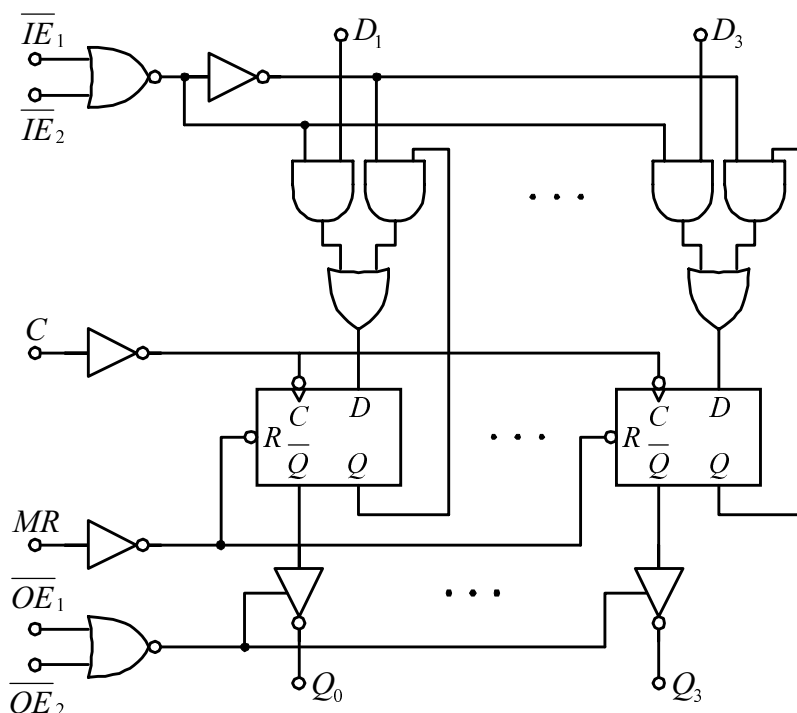
Gdy wejście LE (ang. *latch enable*) jest w stanie wysokim informacja z wejść D_i ($i = 0, 1, \dots, 7$) jest przenoszona na wyjścia Q_i przerzutników, a następnie jest pamiętana tak długo, jak długo trwa niski stan na wejściu LE . Dostęp do zapamiętanej informacji jest możliwy poprzez bramki buforowe w każdej chwili przy wymuszeniu niskiego stanu na wejściu \overline{OE} (ang. *output enable*). Natomiast gdy wejście \overline{OE} jest w stanie wysokim, wszystkie wyjścia rejestru (Q_0, Q_1, \dots, Q_7) znajdują się w stanie dużej impedancji.



Rys. 8.33. Struktura rejestru zatraskowego typu '373

Trójstanowe wyjścia rejestru umożliwiają bezpośrednie przyłączenie tych wyjść do magistrali systemowej.

Druga grupa rejestrów równoległych, to zespoły przerzutników D, w których zapamiętanie informacji wejściowej odbywa się synchronicznie z dodatnim zboczem impulsu zegara. Reprezentantem tej grupy rejestrów mogą być np. czterobitowy układ '173 lub ośmiobitowy '377. Na rys.8.34 przedstawiono strukturę rejestru '173.



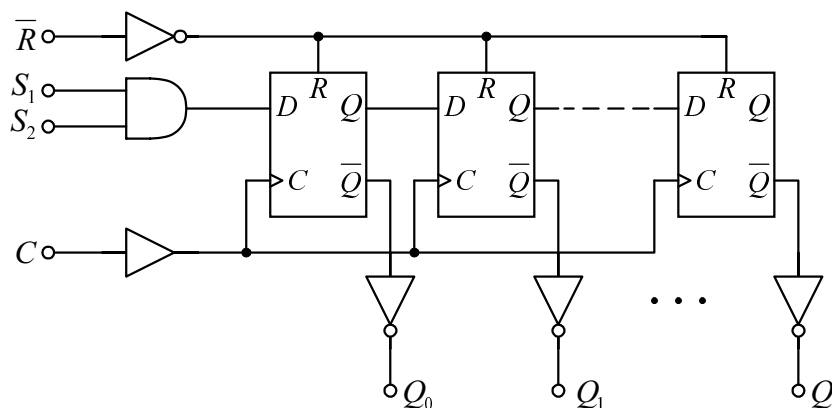
Rys. 8.34. Struktura rejestru typu '173

Informacja wejściowa D_i ($i = 0, \dots, 3$) wprowadzona jest do wyjść przerzutników dodatnim zboczem impulsu zegara, jeżeli wejścia IE_1 oraz IE_2 (ang. *input enable*) są w stanie niskim. Gdy chociaż jedno z wejść IE jest w stanie wysokim, wejście D_i przerzutnika jest dołączone do jego wyjścia Q_i i ta sama informacja jest ciągle przepisywana z

wejścia na wyjście przez każde dodatnie zbocze impulsu zegara. Rejestr posiada wyjścia trójstanowe, których uaktywnienie umożliwiają niskie poziomy sygnałów \overline{OE}_1 lub \overline{OE}_2 . Rejestr '377 ma zwykłe wyjścia dwustanowe.

8.4.3. Rejestry przesuwne

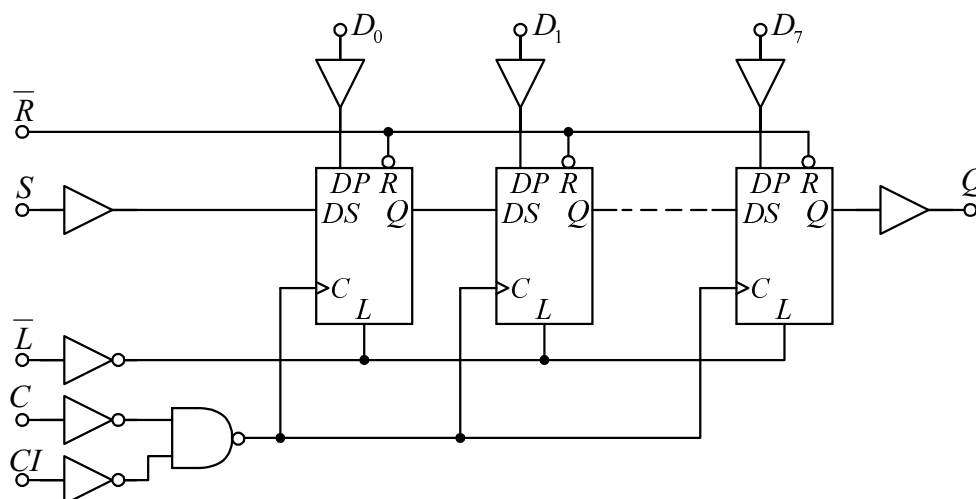
Rejestr przesuwany stanowi grupę przerzutników D, JK lub dynamicznych SR, połączonych kaskadowo w ten sposób, że synchronicznie z impulsami zegarowymi stan logiczny każdego przerzutnika zostaje przesunięty do następnego przerzutnika w łańcuchu lub na zewnątrz układu. Przykład realizacji rejestru przesuwego przedstawiono na rys.8.35.



Rys. 8.35. Rejestr przesuwany SIPO typu '164

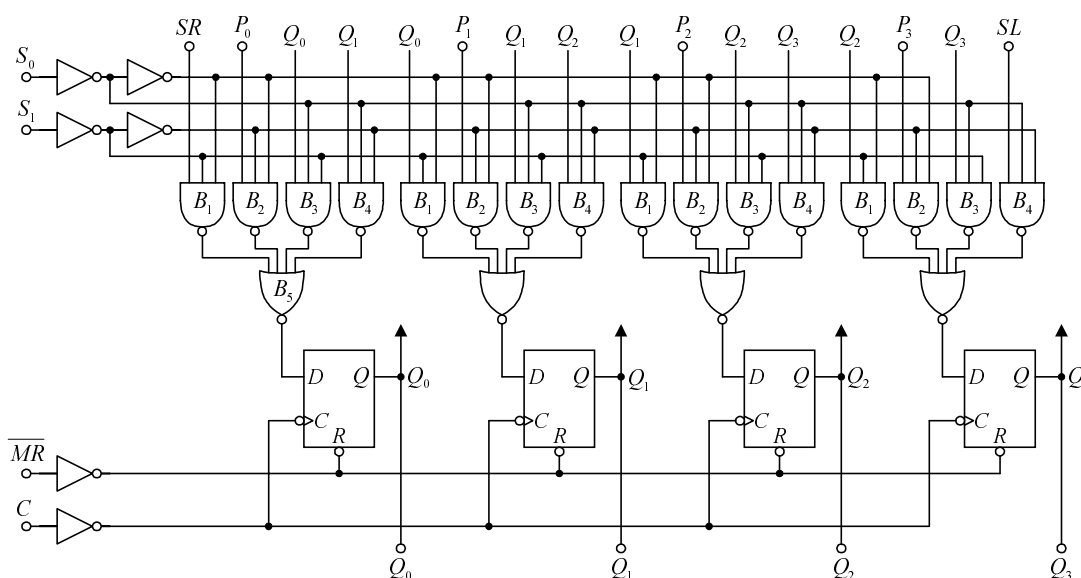
Najprostszym rejestrem przesuwym jest taki rejestr, w którym zarówno wprowadzanie jak i wyprowadzanie informacji jest szeregowe. Rejestr taki nazywany jest *szeregowym* i oznaczany akronimem SISO (ang. *serial - in serial - out register*). Rejestr '164, przedstawiony na rys.8.35, może pracować jako rejestr SISO, jeżeli wykorzystamy szeregowe wejście informacyjne S_1 i S_2 oraz szeregowe wyjście Q_7 . Możliwość wykorzystania tylko ostatniego z wyjść (Q_7) równoległych rejestru przedstawionego na rys.8.35 oznacza, że rejestry szeregowo SISO są szczególnym przypadkiem rejestrów *szeregowo - równoległych* SIPO (ang. *serial - in parallel - out register*). Rejestry przesuwne SIPO służą głównie do zamiany informacji z postaci szeregowej na równoległą.

Konwersji w odwrotną stronę, tj. zamiany informacji z postaci równoległej na szeregową można dokonać za pomocą rejestru przesuwego *równoległo - szeregowego* PISO (ang. *parallel - in serial - out register*). Przykładem takiego rejestru jest układ '166, którego schemat logiczny przedstawiono na rys.8.36.



Rys.8.36. Rejestr przesuwany PISO typu '166

Najbardziej uniwersalną grupę rejestrów przesuwanych stanowią rejestry *równoległe PIPO* (ang. *parallel - in parallel - out register*), w których dzięki odpowiednim połączeniom wejść i wyjść możliwy jest zarówno szeregowy jak i równoległy zapis oraz odczyt informacji, jak również przesuwanie informacji w prawo lub w lewo (rejestr rewersyjny). Przykładem takiego rejestru może być układ '194, którego schemat logiczny przedstawiono na rys.8.37.



Rys. 8.37. Schemat logiczny rejestru przesuwanego PIPO typu '194

Asynchroniczne zerowanie rejestru jest możliwe przez doprowadzenie impulsu o niskim poziomie do wejścia \overline{MR} (ang. *master reset*). Gdy wejście \overline{MR} jest w stanie wysokim, kontrolę nad funkcjonowaniem rejestru przejmują wejścia S_0 i S_1 .

Tablica 8.10. Funkcje rejestru przesuwnego PIPO typu '194
(z rys.8.37)

Funkcja	\overline{MR}	S_0	S_1	Otwarta bramka
Zerowanie	L	x	x	
Zatrzymanie przesuwu i wpisu	H	L	L	B_3
Przesuw w lewo	H	L	H	B_4
Przesuw w prawo	H	H	L	B_1
Wpis równoległy	H	H	H	B_2

Zależnie od poziomów logicznych wejść S_0 i S_1 oraz ich negacji, otwarta jest jedna z bramek AND B_1 - B_4 , powodując, zgodnie z tablicą funkcji (8.10), jedną z wyszczególnionych operacji: gdy $S_0 = L$, $S_1 = H$, to otwarte są bramki B_4 i informacja dostarczona w postaci szeregowej do wejścia SL przesuwana jest w lewo. Z kolei przy $S_0 = H$, $S_1 = L$ otwarte są bramki B_1 i informacja dostarczana w postaci szeregowej do wejścia SR jest przesuwana w prawo.

Przy $S_0 = S_1 = H$ otwarte są bramki B_2 i informacja z wejść równoległych $P_0...P_4$ jest wpisywana do rejestru. Przy $S_0 = S_1 = L$ otwarte są bramki B_3 i wejście D_i każdego przerzutnika połączone jest z jego wyjściem Q_i i każdy impuls zegara podtrzymuje stan rejestru.

Podobnie jak rejestr '194 zbudowane są ośmiobitowe rejestry PIPO typu '299 i 74HC323.