

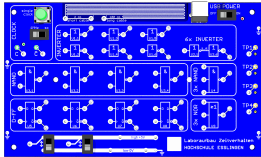
Laborversuch Digitaltechnik 1: Zeitverhalten

Hochschule Esslingen

Fakultät Informationstechnik

Labor Digitaltechnik 1

Versuch: Zeitverhalten digitaler Schaltungen



Laborbericht von:

Iris Walib

Labor durchgeführt am:

19.12.24

Laborpartner:

Youssef Laouti

Gruppennummer:

2

Semester:

WS 24/25

- Vorbereitung:

Jeder Laborteilnehmer hat seine **eigene handschriftlich** ausgearbeitete **Laborvorbereitung** sowie alle geforderten Simulationen ausgedruckt, mit Name und Versuchsnummer versehen sowie möglichst farbig kommentiert mit in die Laborveranstaltung zu bringen.
- Laborbericht:

Jede **Laborgruppe** muss einen Bericht mit vollständig ausgearbeiteter Vorbereitung sowie allen Ergebnissen der Labordurchführung abgeben. Der Bericht ist in einem Schnellhefter, alle Seiten eingeklebt, abzugeben. Lose Blätter werden nicht angenommen.

Inhaltsverzeichnis

1	Inhalt, Ziel und Ablauf des Versuchs	2
1.1	Aufgabenstellung	2
1.2	Versuchsvorbereitung	2
2	Untersuchung des dynamischen Verhaltens digitaler Schaltungen	3
2.1	Anstiegs- und Verzögerungszeiten von Gattern	4
2.2	Ringoszillator	5
2.3	Erzeugen kurzer Impulse	8
2.4	Fehlimpulse (engl.: Spikes, Glitches)	9
2.5	Hazards (engl., Risiko)	12
2.6	Taktteiler	15
2.7	Schieberegister, Taktversatz (engl.: Clock-Skew)	16
3	Anhang	19

# 1 Inhalt, Ziel und Ablauf des Versuchs

Thema: Zeitverhalten digitaler Schaltungen

- Inhalt:
- Messung von Anstiegs- und Verzögerungszeiten von Gattern
  - Untersuchungen an einem Ringoszillator
  - Erzeugen kurzer Impulse und Untersuchung von Fehlimpulsen (Glitches, Spikes, Hazards)
  - Untersuchung eines Taktteilers
  - Untersuchung von Clock-Skew am Beispiel eines Schieberegisters

Ziel: Mit dem Versuch soll das Verständnis für das Zeitverhalten digitaler Schaltungen sowohl durch Simulation der Schaltung in der Vorbereitung als auch einen diskreten Aufbau der Schaltung im Labor und entsprechende Messungen vertieft werden. Im Besonderen sollen wesentliche Problemstellungen des Zeitverhaltens adressiert werden.

## 1.1 Aufgabenstellung

In diesem Versuch soll das Zeitverhalten digitaler Schaltungen betrachtet werden. Die zu untersuchenden Schaltungen werden in der Versuchsvorbereitung simuliert, im Labor mit Hilfe von integrierten Logikbausteinen der TTL-Schaltkreisfamilie 74xx auf einem Laborstecksystem aufgebaut und mittels eines Digitalspeicheroszilloskops vermessen. Die Simulation erfolgt als Digitalsimulation mit ModelSim in VHDL.

## 1.2 Versuchsvorbereitung

Dieser Umdruck enthält eine Reihe von Simulationen und Fragen, die zwingend vor dem Versuch zu bearbeiten sind. Diese Punkte sind im Umdruck als VORBEREITUNGSFRAGE gekennzeichnet.

Die während des Versuchs durchzuführenden Versuchsaufbauten und Messungen sind im Umdruck als AUFGABE gekennzeichnet. Die Ergebnisse der Vorbereitungsfragen, insbesondere handschriftlich kommentierte Ausdrücke zu den Impulsdiagrammen der Simulationen, sind zum Laborversuch mitzubringen (1 Exemplar je Teilnehmer!) und im Labor zu erläutern. Dazu sind wesentliche Punkte in den Ausdrücken am besten farbig zu markieren.

Für die Durchführung der VHDL-Simulationen wird auch auf die Laborversuche 1 (7-Segment) und 2 (ALU) verwiesen.

## 2 Untersuchung des dynamischen Verhaltens digitaler Schaltungen

In diesem Laborversuch sollen Schaltungen untersucht werden, bei denen Impulse mit Anstiegs- und Impulsdauern im Nanosekundenbereich gemessen werden. Ein schlechter Schaltungsaufbau oder ein falscher Anschluss des Oszilloskops können die Messergebnisse und die Funktion der Schaltung massiv beeinflussen. In Abbildung 2 ist das Stecksystem, mit dem die verschiedenen Schaltungen des Laborversuchs aufgebaut werden, dargestellt.

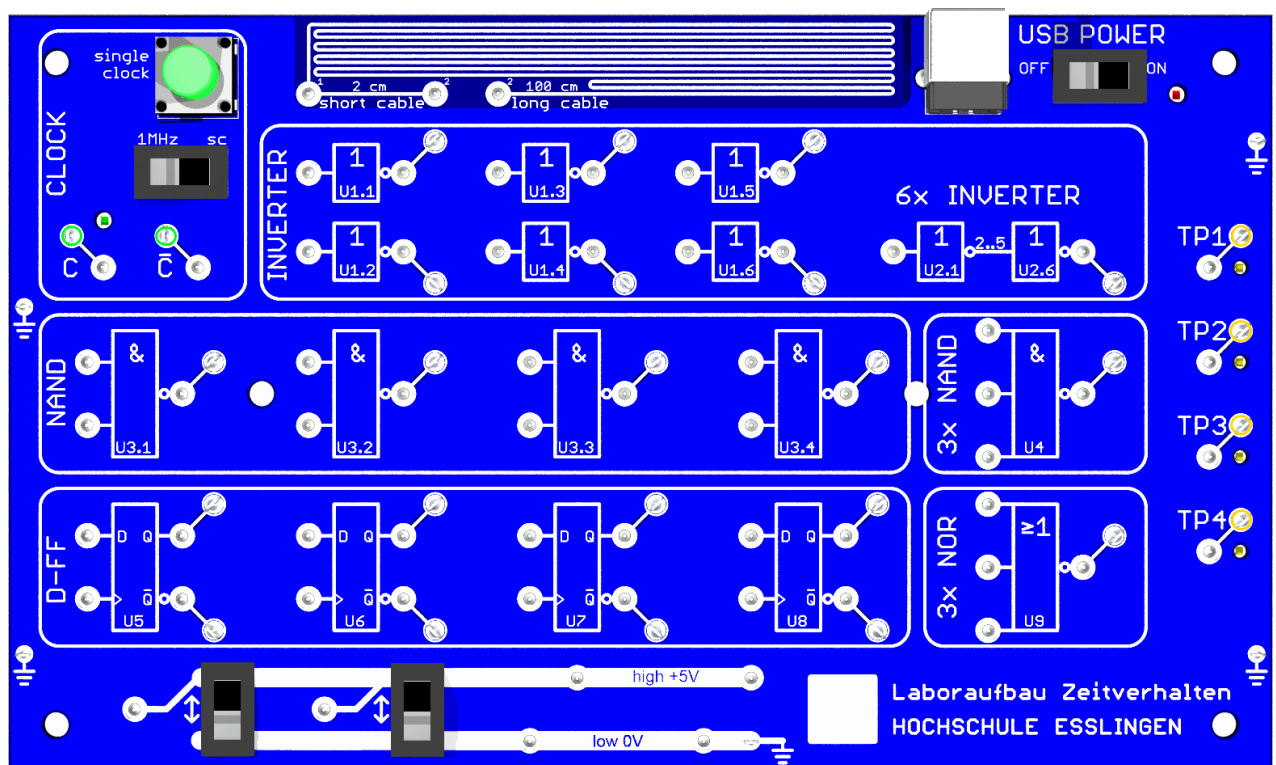


Abbildung 2: Stecksystem zum Aufbau der verschiedenen Schaltungen des Laborversuchs.

Beachten Sie bitte bei allen Schaltungsaufbauten folgende Regeln:

- Veränderungen am Hardwareaufbau dürfen Sie nur durchführen, wenn Sie zuvor die Spannungsversorgung des Stecksystems ausgeschaltet haben (Schalter USB Power in Stellung OFF).
- Überprüfen Sie das Impulsverhalten der Tastköpfe des Oszilloskops vor der Messung und wenden Sie sich bei Unregelmäßigkeiten an den Betreuer. Verwenden Sie zur Prüfung das Rechtecksignal an der Taktausgangsbuchse C des Laborversuchssystems bei 1MHz (Schalter und Buchse C im Block CLOCK links oben in Abbildung 2). Stellen Sie sicher, dass am Oszilloskop der Teilungsfaktor der Tastköpfe auf 10 : 1 eingestellt ist.
- Schließen Sie die Tastkopfspitzen des Oszilloskops direkt an die Messpunkte der jeweiligen Bausteine an.
- Verbinden Sie den Masse-Clip aller Tastköpfe mit den Massefahnen des Stecksystems.
- Verwenden Sie keine Kabel mit Bananenstecker, Krokodilklemmen oder Prüfspitzen.
- Für Zeitmessungen verwenden Sie bitte die  $\Delta t$ -Marker, für Spannungsmessungen und für Schaltschwellen die  $\Delta u$ -Marker.

Verwendet werden die TTL-Logikbausteine 7400 (4 NAND mit je 2 Eingängen), 7404 (6 INVERTER), 74LVC1G74 (positiv flankengetriggerte D-Kippglieder, bei denen die Preset- und Clear-Eingänge fest auf high gelegt sind). Datenblätter zu den verwendeten Bausteinen werden im Moodle-Kurs zu der Veranstaltung bereitgestellt.

## 2.1 Anstiegs- und Verzögerungszeiten von Gattern

Bauen Sie mit dem Laborstecksystem die in Abbildung 2.1a dargestellte Schaltung mit dem Baustein 7400 auf. Das Gatter U3.1 ist zunächst das eigentliche Messobjekt. Gatter U3.2 dient als Belastung für U3.1.

**Laboraufgabe 2.1.1:** Messen Sie die Verzögerungszeiten  $T_{P,HL}$  und  $T_{P,LH}$  des Gatters U3.1 sowie die Anstiegszeit  $T_r$  und die Fallzeit  $T_f$  des Signals  $y$  (zur Definition dieser Zeiten siehe auch Kap. 5 der Vorlesung; die Schwellspannung wird wie in den Datenblättern zu  $U_{th} = 1,5V$  gewählt). Vergleichen Sie Ihre Messwerte mit den Datenblattangaben für  $T_{P,HL}$  und  $T_{P,LH}$ . Erstellen Sie auf einem zusätzlichen Blatt zu jeder Messung auch jeweils eine Skizze, die alle wichtigen Elemente der Messung beinhaltet.

Ergebnisse:

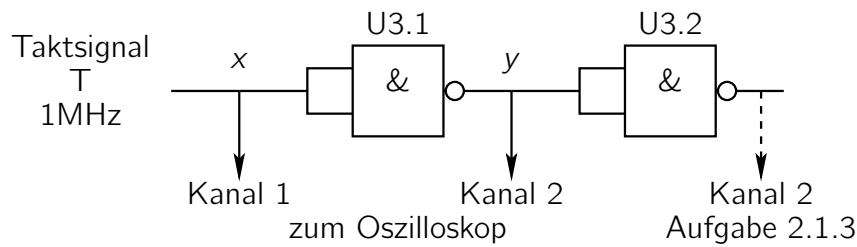


Abbildung 2.1a: Zwei Inverter in Serie zur Messung der Flankensteilheiten und intrinsischen Gatterlaufzeiten des Gatters U3.1.

Messung	Datenblatt	Messung
$T_{P,HL} =$	$T_{P,HL} =$	$T_f =$
$T_{P,LH} =$	$T_{P,LH} =$	$T_r =$

**Laboraufgabe 2.1.2:** Zeigen Sie, dass die Impulse erheblich verfälscht werden, wenn die Tastkopfmasse über ein langes Kabel angeschlossen wird oder wenn die Verbindungen zwischen den Gattern über lange Kabel erfolgen. Beschreiben Sie in Stichworten die Änderungen des Signal-Erscheinungsbilds.

- Bei Anschluss eines langes Kabel ändert das Signal an  $f_r$
- Schwingen



**Laboraufgabe 2.1.3:** Verändern Sie im Aufbau nach Abbildung 2.1a die Länge der Leitung zwischen Baustein U3.1 und U3.2. Verwenden Sie dazu das kurze bzw. lange „Kabel“, das im Laborsystem nach Abbildung 2 oben in der Mitte des Laboraufbaus zur Verfügung steht. Ermitteln Sie aus den unterschiedlichen Leitungslängen und den Verzögerungszeiten die Laufzeit des Signals auf der Leitung (Angabe in  $[cm/ns]$ !). Messen Sie dazu die Signale am Eingang von U3.1 und am Ausgang von U3.2.

$$\frac{100 - 98}{19,16 - 15,18} = 24,623$$

$$\begin{aligned} 100 &\rightarrow 19,16 \\ 2 &\rightarrow 15,18 \end{aligned}$$

Lassen Sie sich die Bearbeitung der Aufgabe von Ihrem Betreuer bestätigen: ☐

## 2.2 Ringoszillator

Die Messung der Verzögerungszeiten nach Abbildung 2.1a ist nur mit „langsamen“ Bausteinen oder alternativ mit einem sehr schnellen Oszilloskop möglich. Eine einfachere Messschaltung

zeigt Abbildung 2.2a, allerdings lässt sich damit nur der Mittelwert der Verzögerungszeiten messen.

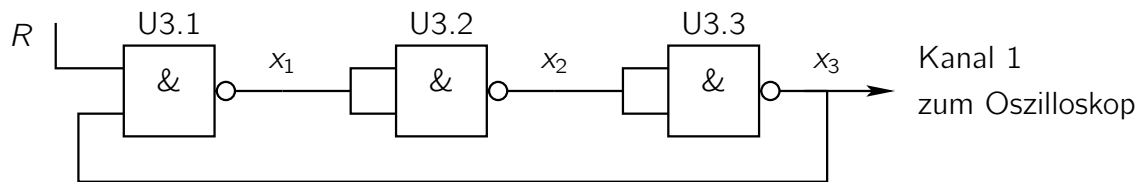


Abbildung 2.2a: Ringoszillator aus drei NAND-Gattern.

**Vorbereitungsaufgabe 2.2.1:** Simulieren Sie diese Schaltung mit ModelSim unter Verwendung des als Vorlage vorhandenen Quartus-Projekts *ZVH\_220\_ROsz*. Die Verzögerungszeiten sind für die Simulation über Parameter der einzelnen Gatter des Quartus-Projekts änderbar. Modellieren Sie die Verzögerungszeiten der Gatter mit  $T_{P,LH} = T_{P,HL} = 5ns$ . Das Signal an Eingang *R* (Reset\_n) dient dazu, den Grundzustand der Schaltung herzustellen. Es wird zu Simulationsbeginn zunächst auf '0' gelegt und bleibt anschließend dauernd auf '1'.

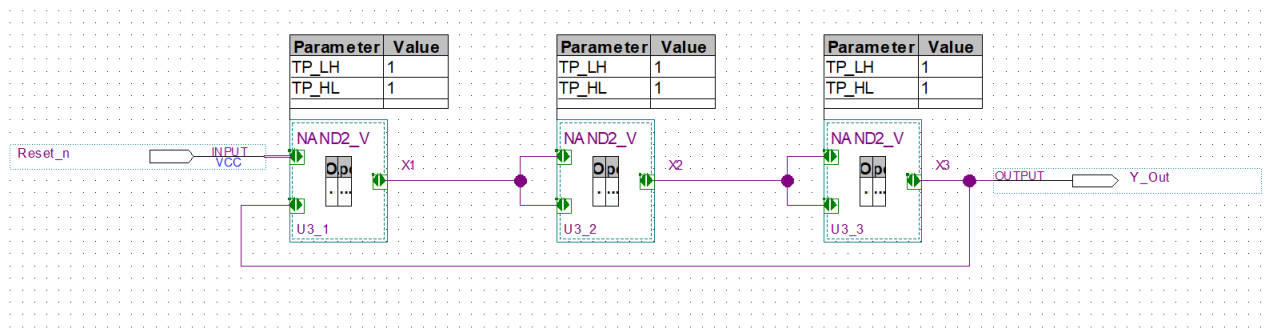


Abbildung 2.2b: Top-Level Entity des Quartus-Projekts *ZVH\_220\_ROsz*.

Kurzbeschreibung Ablauf zur Durchführung der Simulation (Details siehe Labor 1):

- *ZVH\_220\_ROsz.zip* in das Projektverzeichnis expandieren.
- Quartus starten, Projekt *ZVH\_220\_ROsz* öffnen (**File**→**OpenProject**).
- Laufzeitparameter wie gewünscht setzen.
- Projekt compilieren (**Processing**→**Start**→**Start Analysis & Synthesis**).
- BDF-Dateien in VHDL-Dateien konvertieren (TCL-Konsole: *source bdf2vhd.tcl*).
- ModelSim starten (**Tools**→**Run Simulation Tool**→**RTL Simulation**).
- Sollte sich kein Impulsdigramm zeigen, bitte in den FAQs zu Quartus und ModelSim nachlesen (Datei *FAQ\_Quartus\_ModelSim.html*).
- Geeigneten Ausschnitt des Impulsdigramms („Wave“) ausdrucken.
- Markieren wesentlicher Teile des Impulsdigramms: Taktrate, alle einzelnen Verzögerungszeiten über eine Taktperiode.
- Ausdruck beschriften (Titel, Name)

**Vorbereitungsaufgabe 2.2.2:** Wie hängen die Frequenz  $f$  bzw. die Periodendauer  $T$  der Rechteckschwingung des Signals  $x_3$  und der Mittelwert der Verzögerungszeiten der drei Gatter

$$T_P = \frac{1}{6} \cdot (T_{P,LH3.1} + T_{P,HL3.1} + T_{P,LH3.2} + T_{P,HL3.2} + T_{P,LH3.3} + T_{P,HL3.3})$$

zusammen?

$$T = 6 \cdot T_P$$

$$f = \frac{1}{T} = \frac{1}{6 \cdot T_P}$$

**Laboraufgabe 2.2.3:** Bauen Sie die Schaltung nach Abbildung 2.2a auf. Das Rücksetzsignal  $R$  ist in der realen Schaltung nicht notwendig. Verbinden Sie den Eingang  $R$  ebenfalls mit dem Signal  $x_3$ . Messen Sie die Periodendauer  $T$  der Schwingung und ermitteln Sie  $T_P$  mit Ihrer Lösung zu Aufgabe 2.2.2. Stimmt dieser Wert mit  $T'_P = 1/2 \cdot (T_{P,LH} + T_{P,HL})$  nach Aufgabe 2.1.1 überein?

$$T = 40 \text{ ns} \quad \Rightarrow \quad T_P = \frac{40}{6} = 6,6 \text{ ns} \quad (T'_P = \frac{1}{2} \cdot (8,13 + 5,5) = 7,1)$$

Lassen Sie sich die Bearbeitung der Aufgabe von Ihrem Betreuer bestätigen: ☐

Derartige Ringoszillatoren werden häufig in integrierten Schaltungen als interne Taktgeneratoren eingesetzt. Schaltet man statt drei eine kleine (Vermeidung von Schwingungen in höheren Moden) ungerade Anzahl von Gattern zusammen, kann man auch andere, niedrigere

Taktfrequenzen erzeugen. Nachteilig ist allerdings, dass die Verzögerungszeiten und damit die Taktfrequenz von Exemplar zu Exemplar sehr stark streuen und dass die Temperatur- und Betriebsspannungsabhängigkeit deutlich höher ist als bei einem Taktgenerator mit Schwingquarz. Dieser Effekt kann aber auch gewünscht sein. Wenn sich der Taktgenerator und die Logikschaltung im gleichen IC befinden, passt sich die Taktfrequenz 'automatisch' an die herstellungs- und temperaturabhängigen Verzögerungszeiten der Logikschaltung an.

## 2.3 Erzeugen kurzer Impulse

Gelegentlich werden Schaltungen benötigt, die Impulse erzeugen, deren Dauer der Verzögerungszeit eines Gatters oder eines Vielfachen davon entspricht. Abbildung 2.3a zeigt als Beispiel eine Schaltung, die ein periodisches, kurzes Rücksetzsignal für ein RS-Kippglied erzeugt.

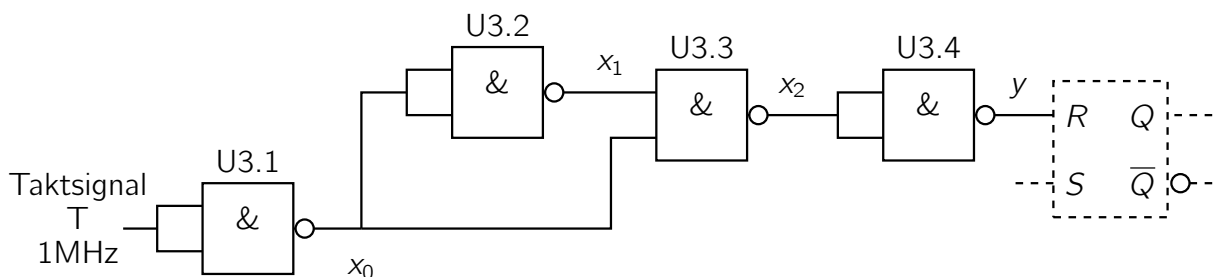


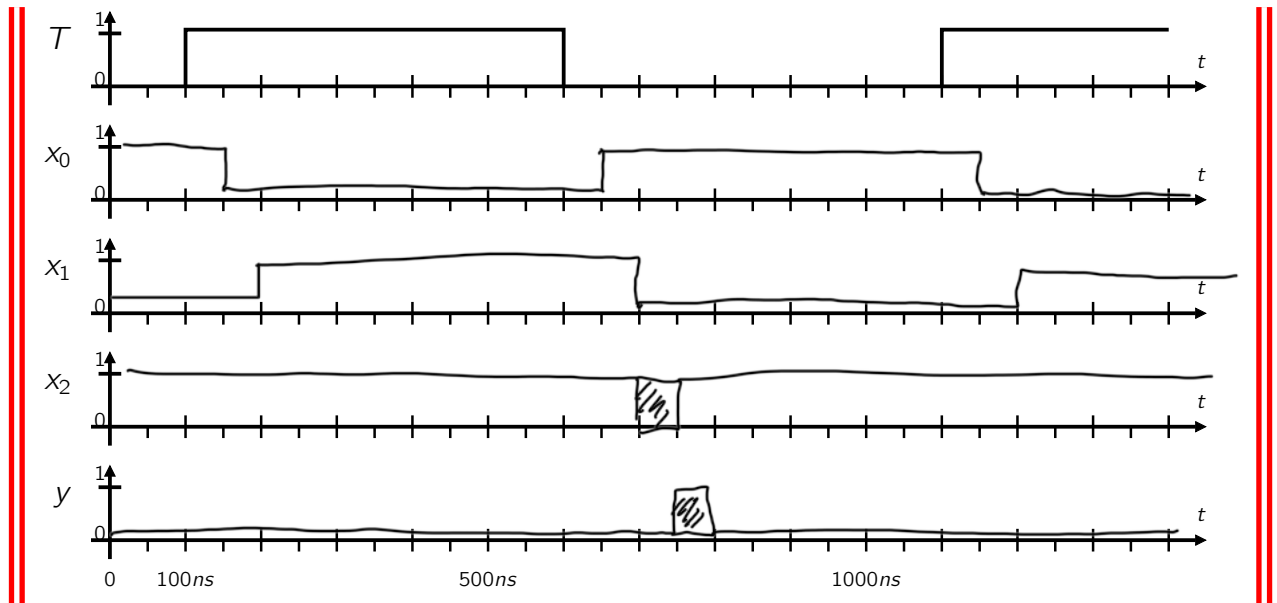
Abbildung 2.3a: Schaltung zur Erzeugung eines kurzen Impulses.

**Vorbereitungsaufgabe 2.3.1:** Erstellen Sie die statische Funktionstabelle der Schaltung nach Abbildung 2.3a mit der Eingangsgröße  $T$  und der Ausgangsgröße  $y$ . Füllen Sie dazu die nachfolgende Funktionstabelle vollständig aus. Wie nennt man die sich ergebende Boole'sche Funktion für  $y$ ?

$T$	$x_0$	$x_1$	$x_2$	$y$
0	1	0	1	0
1	0	1	1	0

**Vorbereitungsaufgabe 2.3.2:** Ergänzen Sie die Signale  $x_0$ ,  $x_1$ ,  $x_2$  und  $y$  im folgenden Impulsdiagramm unter Berücksichtigung einer Verzögerungszeit  $T_{P,LH} = T_{P,HL} = 50ns$  je Gatter.





## 2.4 Fehlimpulse (engl.: Spikes, Glitches)

Die Durchlaufverzögerungen von Gattern können dazu führen, dass sich eine Schaltung dynamisch nicht so verhält, wie es die logischen Gleichungen für stationäre Eingangsgrößen erwarten lassen. Als Beispiel soll hier eine sogenannte Multiplexer-Schaltung nach Abbildung 2.4a untersucht werden, bei der zwei Signale A und B in Abhängigkeit eines Auswahlsignals (select) S auf einen Ausgang Y durchgeschaltet werden.

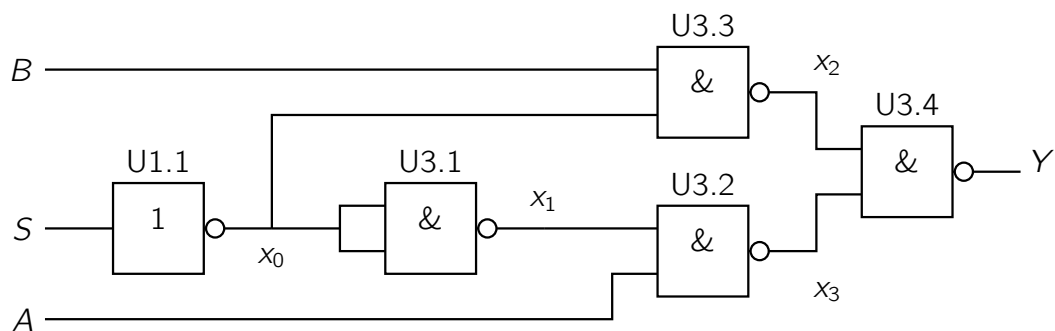
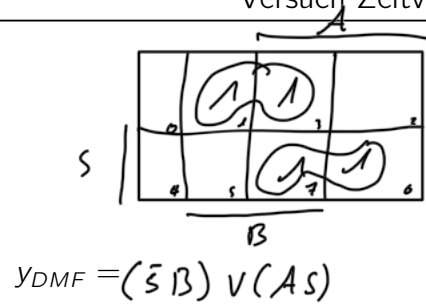


Abbildung 2.4a: Schaltung eines Multiplexers.

**Vorbereitungsaufgabe 2.4.1:** Füllen Sie die folgende statische Funktionstabelle mit den Eingangsgrößen (S, A, B) und der Ausgangsgröße Y vollständig aus und geben Sie  $Y = f(S, A, B)$  in disjunktiver Minimalform an.

$S$	$A$	$B$	$x_0$	$x_1$	$x_2$	$x_3$	$y$
0	0	0	1	0	1	1	0
0	0	1	1	0	0	1	1
0	1	0	1	0	1	1	0
0	1	1	1	0	0	1	1
1	0	0	0	1	1	1	0
1	0	1	0	1	1	1	0
1	1	0	0	1	1	0	1
1	1	1	0	1	1	0	1



**Vorbereitungsaufgabe 2.4.2:** Simulieren Sie die Schaltung mit ModelSim für die unten angegebenen Belegungen der Signale  $A$  und  $B$  unter Verwendung des als Vorlage vorhandenen Quartus-Projekts *ZVH\_240\_FImp*. Die Verzögerungszeiten für die Simulation sind wieder über Parameter der einzelnen Gatter des Quartus-Projekts änderbar. Modellieren Sie die Verzögerungszeiten der Gatter mit  $T_{P,LH} = T_{P,HL} = 5ns$ . Das Steuersignal  $S$  ist ein Rechtecksignal mit einem Tastverhältnis von 1 : 1 und einer Frequenz von 1MHz. Gehen Sie wie bei Aufgabe 2.2.1 vor und erstellen Sie je einen Ausdruck für die Fälle

- 2.4.2.1  $A = B = 0$
- 2.4.2.2  $A = B = 1$
- 2.4.2.3  $A = 0; B = 1$

Hinweis: Die Signale  $A$  und  $B$  sind in dem Prozess *Sig\_AB* der Testbench zu ändern. Wählen Sie für Ihren Ausdruck einen geeigneten Ausschnitt, beschriften Sie die drei Ausdrücke (Titel, Name) und markieren Sie wichtige Sachverhalte am besten farbig. Die Ausdrücke sind im Rahmen des Labortermins dem Betreuer zu erläutern.

Sie werden feststellen, dass die Schaltung bei der Kombination  $A = B = 1$  im Ausgangssignal  $Y$  bei jeder zweiten Taktflanke Fehlpulse kurzer Dauer aufweist. Für die Entstehung der Fehlpulse ist anschaulich die Laufzeit des Gatters U3.1 verantwortlich, das das Signal  $x_1$  gegenüber dem Signal  $x_0$  verzögert. Das prinzipielle Problem der Schaltung besteht darin, dass ein Wertwechsel des Signals  $x_0$  auf zwei Pfaden durch die Schaltung läuft. Dies wäre unkritisch, wenn diese beiden Signalfade nicht beim Gatter U3.4 wieder zusammen laufen würden. Es entsteht eine sogenannte Race-Condition zwischen  $x_2$  (oberer Pfad, auf dem das Signal durch das Gatter U3.3 zum oberen Eingang von U3.4 läuft) und  $x_3$  (unteren Pfad, auf dem das Signal durch die Gatter U3.1 und U3.2 zum unteren Eingang von U3.4 läuft). Man sagt, dass die Schaltung einen reconvergenten Fan-Out-Stamm besitzt. Dies kann zu einem Fehlpuls am Ausgang des Gatters U3.4 führen. Solche Fehlpulse, deren Dauer gleich oder kleiner ist als

die Durchlaufverzögerungen  $T_{P,HL}$  bzw.  $T_{P,LH}$  eines Gatters, heißen englisch 'Spikes' oder 'Glitches'. Sie können zu einem nicht vorhersehbaren Verhalten am Ausgang eines nachfolgenden Gatters führen. Das exakte Verhalten eines solchen Gatters bei einem Spike am Eingang kann nur mit einer analogen Schaltungssimulation (oder einer Messung) untersucht werden. Digital-simulatoren modellieren das Verhalten bei Spikes mit zwei verschiedenen Methoden, die beide das Verhalten der realen Schaltung nicht exakt beschreiben. Bei der Trägheitsmethode wird ein Impuls, dessen Impulsdauer  $T_H$  bzw.  $T_L$  kürzer ist als  $T_P$  unterdrückt. Bei der Transportmethode wird ein Impuls unabhängig von der Impulsdauer weitergeleitet. Diese beiden Laufzeitmodelle sind in Abbildung 2.4b in Impulsdigrammen am Beispiel eines Buffers dargestellt. In VHDL können beide Methoden eingesetzt werden. Beachten Sie, dass bei dem Inverter des Projekts *ZVH\_240\_FImp* die Transportmethode, ansonsten die Trägheitsmethode eingesetzt wird (dies spielt aber hier für das Ergebnis der Simulation keine Rolle).

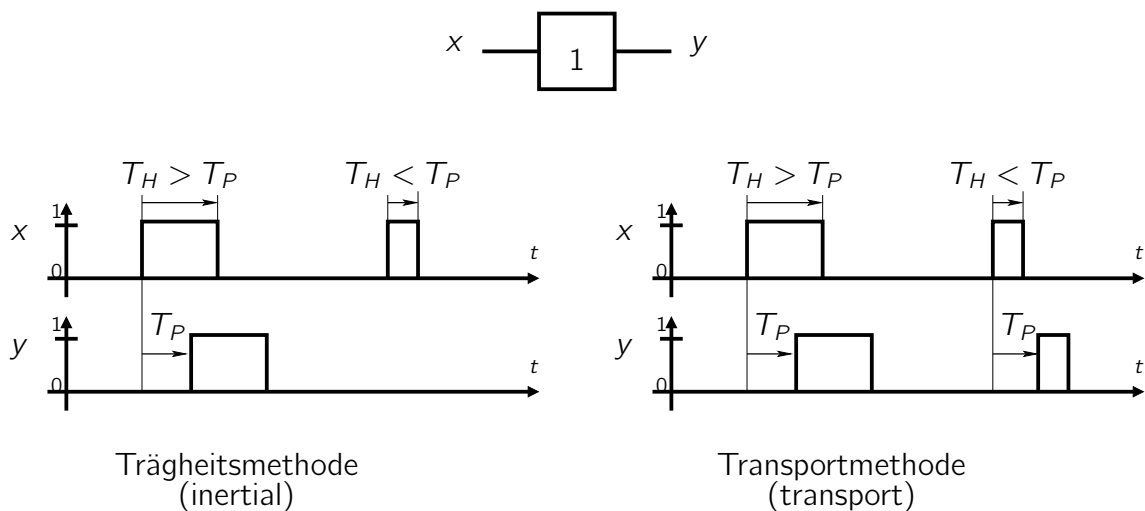


Abbildung 2.4b: Laufzeitverhalten eines Buffers bei den verschiedenen Laufzeitmodellen unter der vereinfachenden Annahme  $T_P = T_{P,LH} = T_{P,HL}$ .

**Laboraufgabe 2.4.3:** Bauen Sie die Schaltung nach Abbildung 2.4a auf und messen Sie das Signal Y bei  $A = B = 0$  und bei  $A = B = 1$ , wenn S mit dem Taktgenerator des Laborversuchssystems verbunden wird. Schließen Sie dazu die Signale A und B an die durch die beiden Schalter veränderbaren Signalbuchsen unten links in Abbildung 2 an. Wie wirkt sich eine Vergrößerung des Laufzeitunterschieds der Laufzeiten zwischen  $x_0 \rightarrow x_2$  und  $x_0 \rightarrow x_3$  auf die Dauer des Fehlimpulses aus? Sie können die Verzögerungszeit von U3.1 künstlich vergrößern, indem Sie z.B. nach diesem Gatter eine gerade Anzahl Inverter U1.x einfügen.

Lassen Sie sich die Bearbeitung der Aufgabe von Ihrem Betreuer bestätigen:

☐

## 2.5 Hazards (engl., Risiko)

Gatterlaufzeiten können nicht nur zu Fehlimpulsen, sondern auch zu einer Fehlfunktion der gesamten Schaltung führen. Dies soll am Beispiel eines aus einzelnen Gattern aufgebauten zustandsgesteuerten D-Kippglieds untersucht werden.

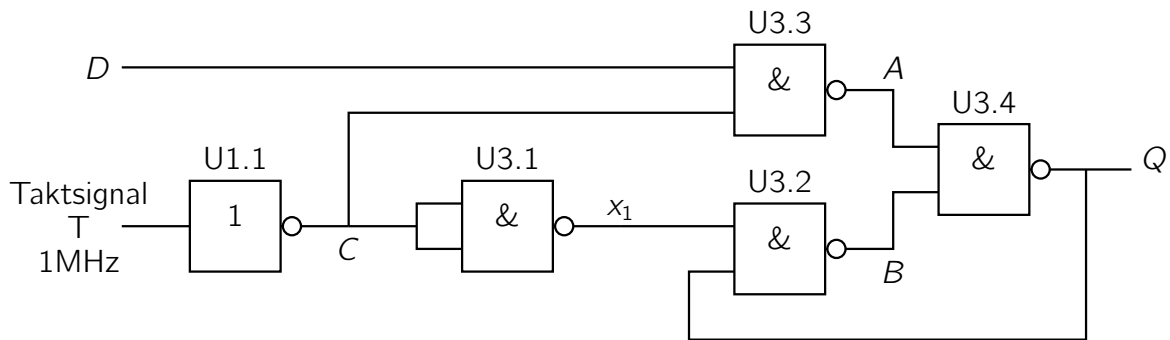


Abbildung 2.5a: D-Flip-Flop aus Einzelgattern aufgebaut.

Hinweis: Diese Schaltung entspricht mit Ausnahme der Rückkopplung des Ausgangs Q auf das Gatter U3.3 der Schaltung aus Abbildung 2.4a!

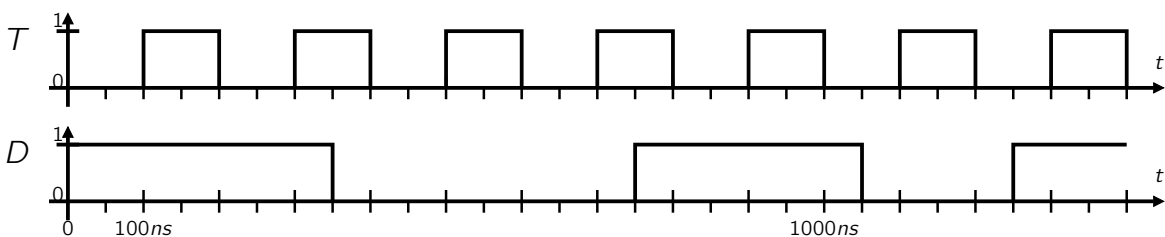
Die Schaltung hat die verkürzte statische Funktionstabelle

T	Q
0	D
1	Q

**Vorbereitungsaufgabe 2.5.1:** Simulieren Sie die Schaltung mit ModelSim unter Verwendung des als Vorlage vorhandenen Quartus-Projekts *ZVH\_250\_Haz*. Dabei sind alle in Abbildung 2.5a enthaltenen Signale zu betrachten. Verwenden Sie zunächst für alle Gatter mit Ausnahme von U3.2 die Verzögerungszeiten  $T_{P,LH} = T_{P,HL} = 5ns$  und für das Gatter U3.2 die Zeiten  $T_{P,LH} = 7ns$  und  $T_{P,HL} = 3ns$ . Wegen der besseren Auflösung wird in der Simulation ein Takt mit 5MHz verwendet. Gehen Sie wieder wie bei Aufgabe 2.2.1 vor, drucken Sie das Ergebnis der Simulation aus und beschriften Sie wieder.

Diese Vorgehensweise gilt auch für die nachfolgenden Simulationen.

Der Verlauf der Eingangssignale ist wie folgt zu wählen:



**Vorbereitungsaufgabe 2.5.2:** Ändern Sie nun die Verzögerungszeiten für U3.2 in  $T_{P,LH} = 7ns$  und  $T_{P,HL} = 5ns$  und wiederholen Sie die Simulation.

Sie werden feststellen, dass im Signal Q jetzt Fehlimpulse auftreten.

**Vorbereitungsaufgabe 2.5.3:** Ändern Sie nun die Verzögerungszeiten für U3.2 in  $T_{P,LH} = 5ns$  und  $T_{P,HL} = 5ns$  und wiederholen Sie die Simulation nochmals.

Sie werden jetzt feststellen, dass das Signal Q sogar zeitweise mit hoher Frequenz schwingt.

Kleine Unterschiede in den Verzögerungszeiten zwischen den einzelnen Gattern, wie sie in der Praxis unvermeidlich sind, führen hier also zu einem katastrophalen Fehlverhalten. Die Schaltung ist in der vorliegenden Form für den praktischen Einsatz unbrauchbar, obwohl sie bei rein statischer Betrachtung die gewünschte Funktion einwandfrei erfüllt.

**Hinweis:** Daher darf man in einer zu entwerfenden Schaltung Speicherglieder niemals selbst aus diskreten Gattern aufbauen. Sie bekommen Warnungen wie z.B. „combinational feedback loop“ und die Entwurfstools können das Laufzeitverhalten nicht mehr überprüfen. Verwenden Sie immer die entsprechenden Flip-Flop Bausteine. Diese Flip-Flops werden analog auf Transistor-Ebene entworfen, verifiziert und charakterisiert.

**Laboraufgabe 2.5.4:** Bauen Sie die Schaltung nach Abbildung 2.5a auf und messen Sie C und Q, wobei Sie D wahlweise dauernd auf 0 bzw. auf 1 legen (schließen Sie dazu D an eine der beiden Schalter-Buchsen links unten am Laboraufbau an). Wie verhält sich Ihre Schaltung? Sehen Sie Fehlimpulse oder gar ein Schwingen?

Die Ursache des Spikes in Q beim Übergang des Taktsignals T (bei  $D = 1$ ) lässt sich leicht verstehen. Messen Sie dazu die Signale A und B am Eingang des NAND-Gatters U3.4. Alle Eingangssignale dieses Gatters ändern sich an den Stellen, an denen die Spikes entstehen, gleichzeitig in gegensinniger Richtung. Dies ist in Abbildung 2.5b dargestellt.

Da immer eines der beiden Eingangssignale des NAND-Gatters 0 ist, müsste theoretisch immer  $\overline{A \cdot B} = 1$  sein (Abbildung 2.5b links). Aufgrund der unterschiedlichen Verzögerungszeiten erfolgen die Signalwechsel in A und B aber nicht exakt gleichzeitig, so dass doch kurzzeitig  $A = B = 1$  und damit  $\overline{A \cdot B} = 0$  wird. Der dadurch entstehende Fehlimpuls kann durch die Rückkopplung des Ausgangs Q über U3.3 und U3.4 sogar eine Schwingung auslösen.

Solche gleichzeitigen, gegensinnigen Signalwechsel am Eingang eines Gattes werden englisch als Hazards bezeichnet. Hazards sind vor allem deshalb kritisch, weil die daraus resultierenden Fehlfunktionen bei einer Simulation oder sogar beim Test von Musterschaltungen unter Umständen nicht erkannt werden (sh. die Simulation in Vorbereitungsaufgabe 2.5.1). Wenn die Schaltung dann in größerer Stückzahl aufgebaut wird, ist die Wahrscheinlichkeit groß, dass

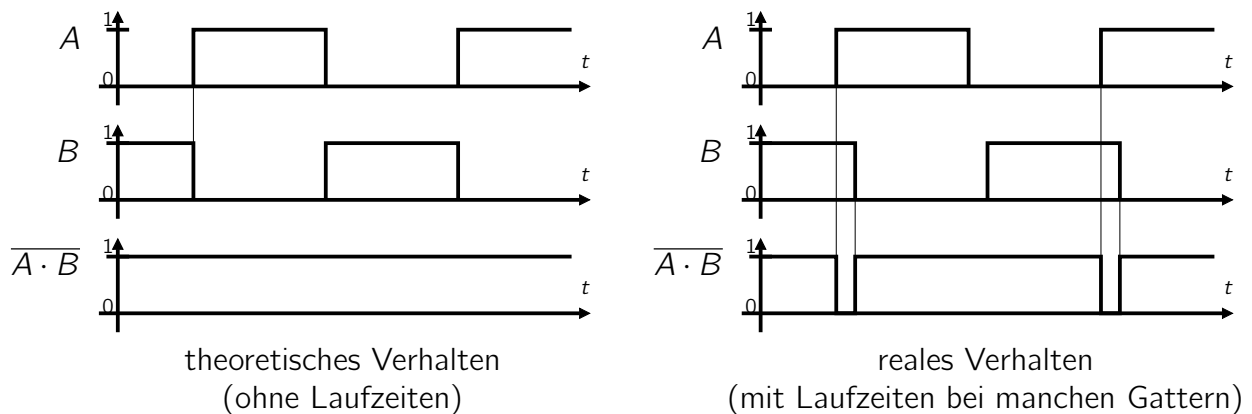


Abbildung 2.5b: Erklärung des Entstehens des Fehlimpulses.

sich Kombinationen von Verzögerungszeiten ergeben, bei denen die Fehlfunktion — eventuell nur bei einer bestimmten Umgebungstemperatur oder Betriebsspannung — dann tatsächlich auftritt. Schaltungen sollten daher grundsätzlich hinsichtlich des Auftretens gleichzeitiger, gegensinniger Signalwechsel an den Eingängen jedes Gatters geprüft und untersucht werden, ob die daraus eventuell resultierenden Fehlimpulse zu einer Fehlfunktion der Schaltung führen können. Bei guten Schaltungsentwürfen werden Hazards grundsätzlich vermieden. Im vorliegenden Fall kann dies dadurch geschehen, dass man die Schaltung nach Abbildung 2.5a bei U3.4 durch einen weiteren Eingang  $H$  und ein weiteres Gatter (schattiert dargestellt) ergänzt (siehe Abbildung 2.5c).

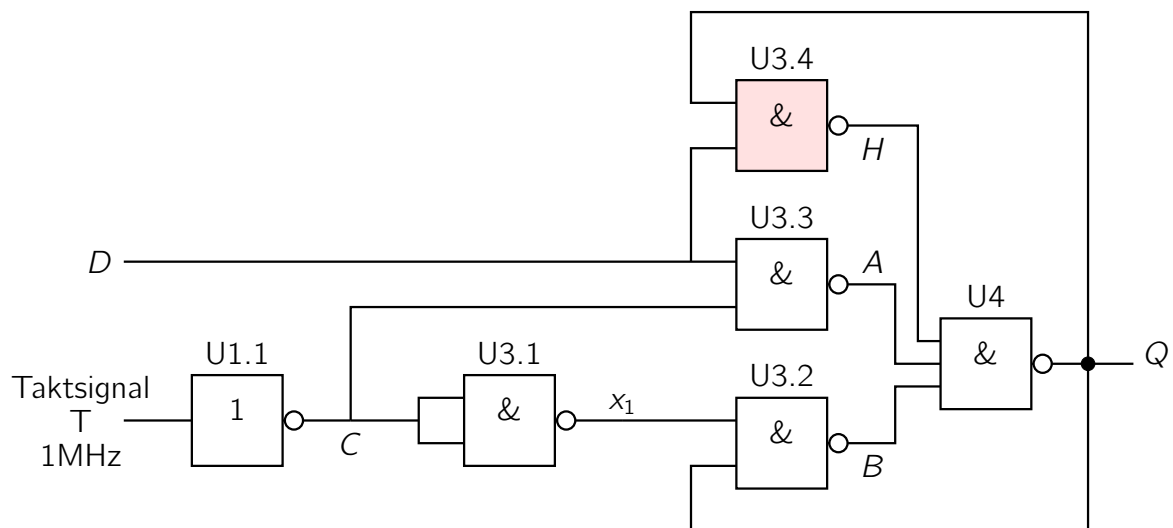


Abbildung 2.5c: D-Flip-Flop aus Einzelgattern mit Vermeidung des Glitches.

**Laboraufgabe 2.5.5:** Bauen Sie die Schaltung nach Abbildung 2.5c auf und überprüfen Sie für  $D = 0$  bzw.  $D = 1$ , dass an den Gattereingängen, insbesondere an U4 tatsächlich

keine Hazard-Bedingungen mehr auftreten.

Lassen Sie sich die Bearbeitung der Aufgabe von Ihrem Betreuer bestätigen: ☐

## 2.6 Taktteiler

Aus einem Taktsignal  $T$  mit der Frequenz  $f = 1\text{MHz}$  soll ein Taktsignal mit der Frequenz  $f/2$  erzeugt werden. Dazu wird die Schaltung in Abbildung 2.6a verwendet.

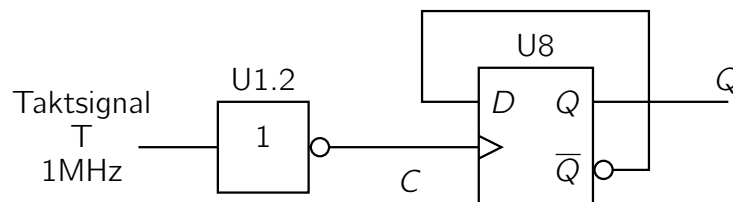
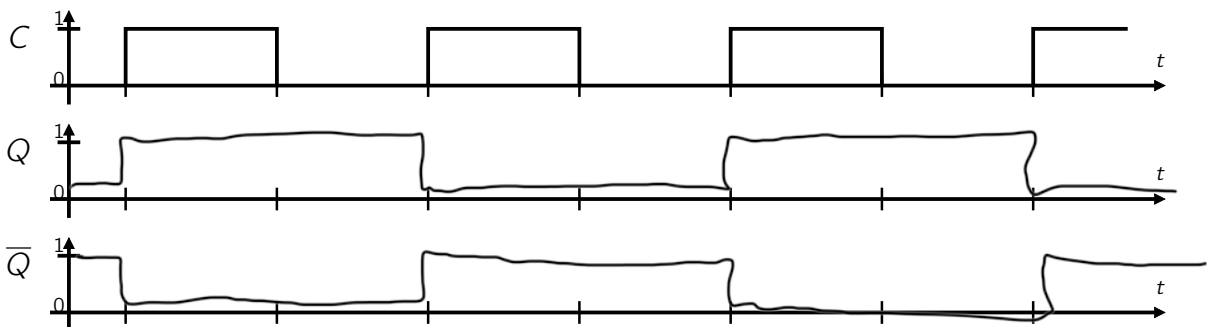


Abbildung 2.6a: Schaltung zur Halbierung der Frequenz eines Taktsignals.

**Vorbereitungsaufgabe 2.6.1:** Ergänzen Sie unter Berücksichtigung, aber graphischer Vernachlässigung aller Verzögerungszeiten das folgende Impulsdiagramm für  $Q$  und  $\bar{Q}$ . (Bei  $t = 0$  gilt  $Q = 0$ )



**Vorbereitungsaufgabe 2.6.2:** Simulieren Sie die Schaltung nach Abbildung 2.6a mit ModelSim unter Verwendung des als Vorlage vorhandenen Quartus-Projekts ZVH\_260\_TT. Wählen Sie alle Verzögerungszeiten zu  $7\text{ns}$ . Die asynchronen Setz- und Löscheingänge des Kippglieds werden in der Testbench zunächst konstant auf den Wert 1 gelegt. Gehen Sie wieder wie bei Aufgabe 2.2.1 vor und drucken Sie das Ergebnis der Simulation aus.

Wenn Sie das Simulationsergebnis dieser Vorbereitungsaufgabe im Fenster „Wave“ betrachten, stellen Sie fest, dass der Simulator offensichtlich nicht in der Lage ist, die Ausgangsgrößen  $Q$

und  $\overline{Q}$  des Kippglieds zu bestimmen. Die Signale werden als nicht initialisiert ('U') angezeigt. Grund ist, dass das Kippglied als T-Flipflop verschaltet ist, d.h. dass  $Q$  bei jeder Flanke des Taktsignals  $C$  den Zustand wechselt (engl.: toggle). Der Zustand von  $Q$  zur Zeit  $t = 0$ , wenn die Simulation beginnt, kann sowohl  $Q = 0$  als auch  $Q = 1$  sein und ist damit für den Simulator auch für  $t > 0$  unbestimmt.

**Vorbereitungsaufgabe 2.6.3:** Durch einen kurzen Rücksetzimpuls am Eingang  $CLR_n$  kann der Ausgangszustand des Kippglieds festgelegt werden. Ergänzen Sie die Testbench um einen kurzen Rücksetzimpuls (Datei *ZVH\_260\_TT.vht* im Unterverzeichnis *simulation/modelsim* des Projekts) und wiederholen Sie die Simulation dann nochmals. Erstellen Sie einen Ausdruck des Simulationsergebnisses und beschriften Sie diesen wie gehabt.

**Optionale Laboraufgabe 2.6.4:** Bauen Sie die Schaltung nach Abbildung 2.6a auf und messen Sie die Verzögerungszeiten  $T_{P,clk \rightarrow Q,HL}$  und  $T_{P,clk \rightarrow Q,LH}$  des Kippglieds. Zur Definition dieser Zeiten siehe auch Kap. 5 der Vorlesung. Die Schwellspannung wird wie in den Datenblättern zu  $U_{th} = 1,5V$  gewählt. Das Rücksetzsignal muss in der realen Schaltung nicht unbedingt erzeugt werden, da jedes Flip-Flop bei Power-Up zufällig in einen definierten Zustand fällt. Die im Laborsystem verbauten D-Flip-Flops haben asynchrone Preset- und Clear-Eingänge, die im Laboraufbau nicht zugänglich sind. Diese Eingänge der Flip-Flops sind intern auf high gelegt, wodurch diese inaktiv sind.

$$T_{P,clk \rightarrow Q,HL} =$$

$$T_{P,clk \rightarrow Q,LH} =$$

## 2.7 Schieberegister, Taktversatz (engl.: Clock-Skew)

Um ein Eingangssignal  $E$  taktsynchron zu verschieben, setzt man sogenannte Schieberegister (Abbildung 2.7a) ein. Das eigentliche Schieberegister besteht aus den D-Kippgliedern U7 und U8, die durch das Taktsignal  $T$  getaktet werden. Das Eingangssignal  $E$  wird hier durch einen Takteiler mit U5 und U6 erzeugt.

**Vorbereitungsaufgabe 2.7.1:** Ergänzen Sie die Signale  $Q_1$  und  $Q_2$  im folgenden Impulsdiagramm unter Berücksichtigung, aber graphischer Vernachlässigung aller Signallaufzeiten. Dabei sind der Takt  $T$  und das Eingangssignal  $E$  des eigentlichen Schieberegisters (gestrichelter Teil in Abbildung 2.7a) vorgegeben. Zur Zeit  $t = 0$  gelte  $Q_1 = Q_2 = 0$ .



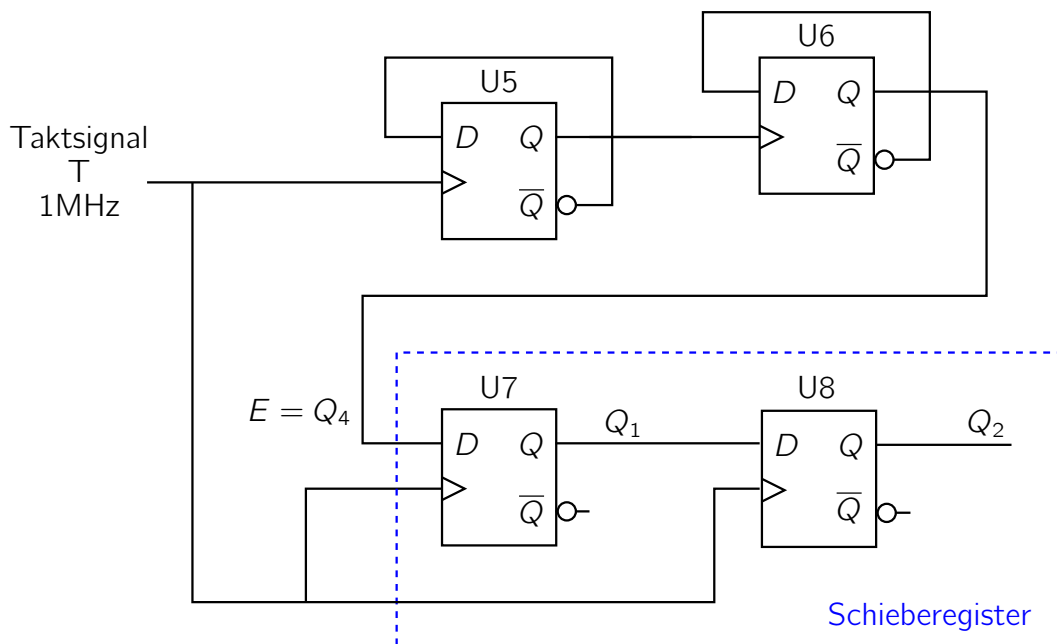
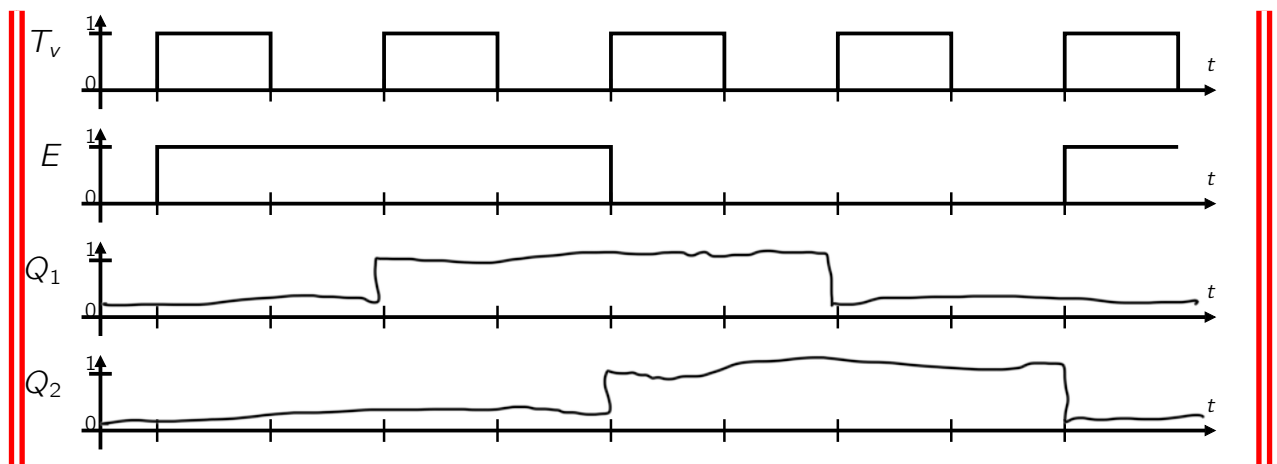


Abbildung 2.7a: Schieberegister



**Laboraufgabe 2.7.2:** Bauen Sie die Schaltung nach Abbildung 2.7a auf und stellen Sie die Signale  $T$ ,  $E$ ,  $Q_1$  und  $Q_2$  auf dem Oszilloskop dar. Verwenden Sie dabei das Signal  $E$  zum Triggern als Kanal 1.

Ein Schieberegister ist ein sogenanntes synchrones Schaltwerk, d.h. alle Kippglieder (hier U7 und U8) werden vom selben Taktsignal (hier  $T$ ) gleichzeitig getaktet. Solche Schaltwerke haben den Vorteil, gegen Spikes, Hazards und Races relativ unempfindlich zu sein. Setzt man in diesen Schaltwerken allerdings flankengetriggerte Kippglieder ein, so ist es wichtig, dass die aktive Taktflanke (hier die positive Taktflanke) bei allen Speichergliedern tatsächlich gleichzeitig auftritt. Wird das Taktsignal aber an sehr viele Speicherglieder angeschlossen, so muss das

Taktsignal gepuffert werden, da die Belastbarkeit (Fan Out) des Taktsignals natürlich auch begrenzt ist. In Abbildung 2.7b wurde daher in der Schaltung nach Abbildung 2.7a in die Taktverbindung zu U8 ein zusätzlicher Takttreiber eingefügt. Dieser Takttreiber führt nun aber zu einer zusätzlichen Verzögerung der aktiven Taktflanke an U8 gegenüber der Taktflanke an U7 (Um eine deutliche Verzögerung zu erhalten, schalten wir 6 Inverter in Reihe). Dieser Taktversatz zwischen den einzelnen Kippgliedern wird englisch als Skew bezeichnet und kann zu einer Fehlfunktion synchroner Schaltwerke führen.

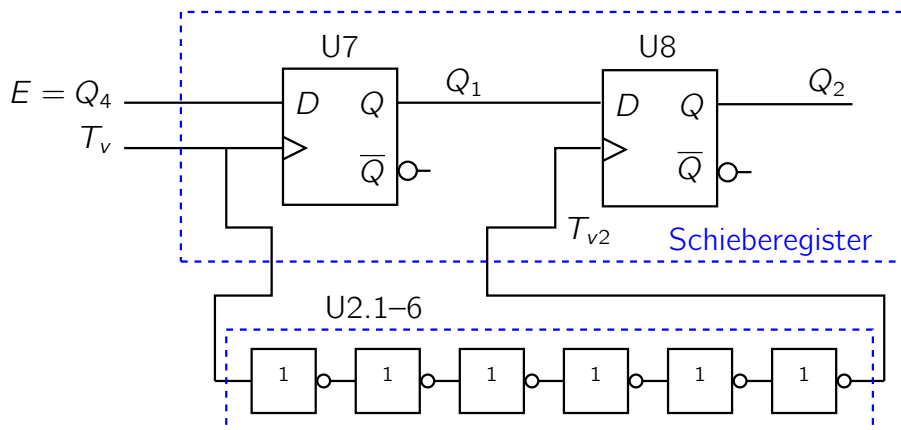


Abbildung 2.7b: Schieberegister mit verzögertem Taktsignal bei U8.

**Laboraufgabe 2.7.3:** Ergänzen Sie die aufgebaute Schaltung um die Takttreiberstufe nach Abbildung 2.7b und untersuchen Sie nochmals die Signale  $T_v$ ,  $E$ ,  $Q_1$ , und  $Q_2$  mit dem Oszilloskop. Arbeitet Ihre Schaltung noch einwandfrei? Falls nein: Erklären Sie bitte, wodurch die Fehlfunktion verursacht wird. Welche Laufzeitnebenbedingung ist hierbei an U8 verletzt?

Verletzte Bedingung:

Hinweis: Wenn Sie den Takt am Laborsystem in Einzeltaktung betreiben und die Flip-Flop Ausgänge  $Q_4$ ,  $Q_1$  und  $Q_2$  mit den Testpunkten (TP1 bis TP3) verbinden, können Sie den „Durchschuss“ durch das Schieberegister sehr gut an den LEDs erkennen.

Was passiert, wenn man die Treiberstufen aus Abbildung 2.7b alternativ in die Taktverbindung zu U7 statt in die Verbindung zu U8 einfügt? Dabei soll nur der Takt von U7 verzögert werden. U8 erhält den Takt ohne Zeitverzögerung.

Ihre Erwartung:

**Lassen Sie sich die Bearbeitung der Aufgabe von Ihrem Betreuer bestätigen:** ☐

Offensichtlich reagiert die Schaltung auf Verzögerungen an verschiedenen Stellen unterschiedlich. Beim Entwurf synchroner Schaltwerke mit flankengetriggerten Kippgliedern muss der Taktverzögerung daher besondere Beachtung geschenkt werden. Schaltwerke mit zustands-

gesteuerten Kippgliedern sind in dieser Beziehung weniger kritisch. Um den Clock-Skew zu minimieren wird in wirklichen Schaltungen ein sogenannter Clock-Tree oder ein Clock-Trunk eingesetzt. Ziel ist es dabei, die Taktversorgung möglichst symmetrisch zu gestalten. Falls man die Verdrahtung des Taktsignals von Hand und ohne Clock-Tree oder -Trunk durchführt, gilt bei Schieberegistern die Regel, dass das Taktsignal entgegen der Datenflussrichtung zu verdrahten ist.

**Laboraufgabe 2.7.4:** Bauen Sie die Schaltung wieder ab und räumen Sie die Kabel wieder in die Aufbewahrungsbox ein. Hinterlassen Sie den Arbeitsplatz wie Sie ihn vorgefunden haben.

### 3 Anhang

Im Moodle-Kurs zu der Veranstaltung werden für den Laborversuch bereitgestellt:

- Datenblätter der verwendeten TTL-Bausteine
- Komprimierte Quartus-Projekte für die Simulationen  
(Datei *CA1\_Lab3\_ZVH\_Projekte.zip*)
- Hinweise zu Altera Quartus II, Simulation mit ModelSim-Altera  
(Datei *FAQ\_Quartus\_ModelSim.html*)