

# 实验一 进位加法器

## 一、实验目的

- 1、了解半加器和全加器的电路结构。
- 2、掌握串行进位加法器和并行进位加法器的原理及设计方法。

## 二、实验内容

设计拥有共同输入端的 4 位带符号位串行加法器和并行加法器，比较两者运算结果。

## 三、实验器件

- 1、2/3/4 与门 (74LS08/74LS11/74LS21)、非门 (74LS04)、或门 (74LS32)、异或门 (74LS86) 等逻辑门。
- 2、三态门 (74LS244)、LED 指示灯及数码显示管。
- 3、单刀双掷开关 (SW\_SPDT)、拨码开关 (DIPSWC\_8)。

## 四、实验原理

加法器是最常见的运算逻辑电路，用来执行二进制的加减法运算（减法可以通过补码相加实现）。根据功能的不同，加法器可以分为半加器和全加器（FA）。半加器不考虑低位的进位，只考虑两个二进制数相加的结果和向高位的进位，如图 2-7 所示；而全加器(FA)是在半加器的基础上又考虑了低位过来的进位信号，如图 2-8 所示。

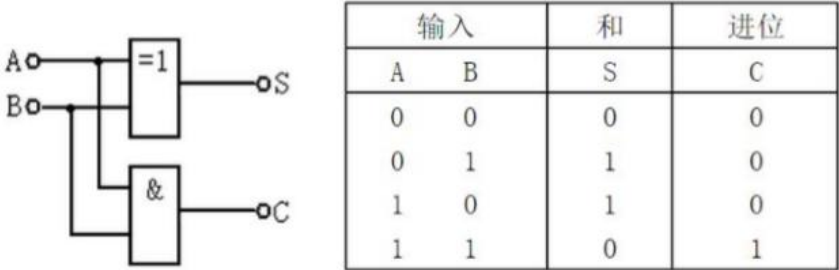


图 2-7 一位半加器逻辑电路图

半加器逻辑公式:  $S_i = A_i \oplus B_i$ , 且  $C_{i+1} = A_i \cdot B_i$   
全加器逻辑公式:  $S_i = A_i \oplus B_i \oplus C_i$  且  $C_{i+1} = A_i \cdot B_i + (A_i \oplus B_i) \cdot C_i$

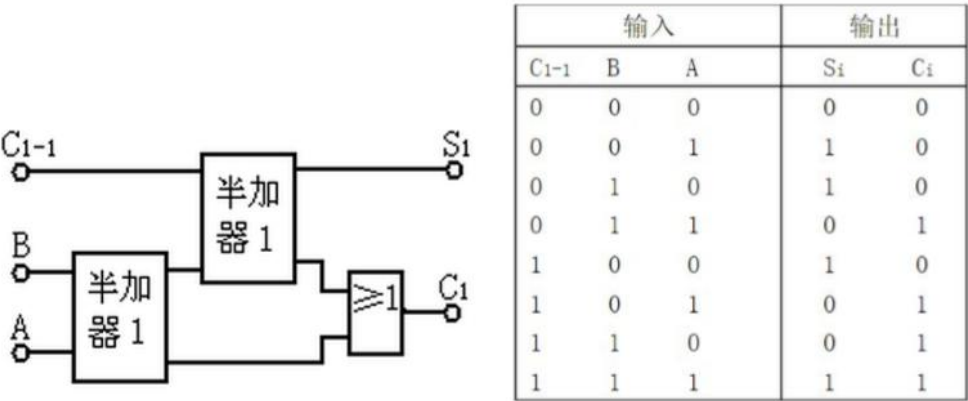


图 2-8 一位全加器（FA）逻辑电路图

本实验设计的加法器电路如图 2-9 所示：两个四位加法器（串行和并行进位加法器）、以及输入单元（拨码开关）和输出单元（数码显示管）。输入单元是由开关SW\_BUS控制拨码开关向总线输入数据，数据总线 BUS 同时为两个加法器提供相同的输入端：BUS\_[0..3]和BUS\_[4..7]，便于对两个加法器的运算结果进行比较。输出单元是一对数码显示管，绿色显示管是并行进位加法器的输出端，红色显示管是串行进位加法器的输出端。

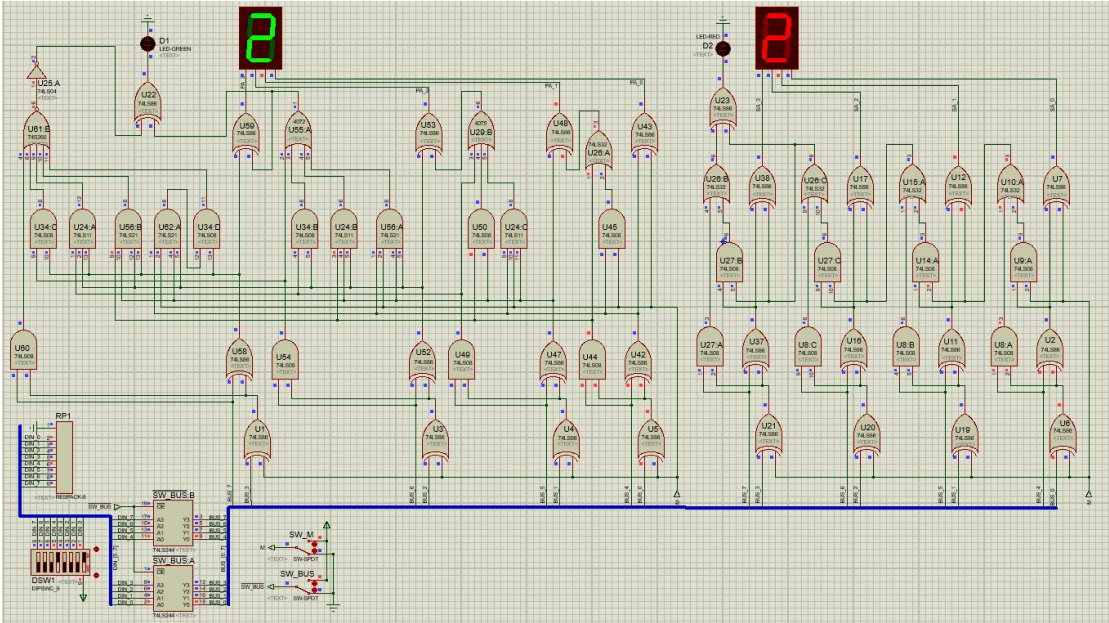


图 2-9 进位加法器电路图

本实验所使用的串行进位加法器，又称为行波进位加法器，其原理图如图 2-10 所示：由若干位全加器 FA 串行相连得到，其中低位 FA 的进位输出直接与相邻高位 FA 的进位输入相连，加法器的位间进位从低位往高位逐位串行传送。

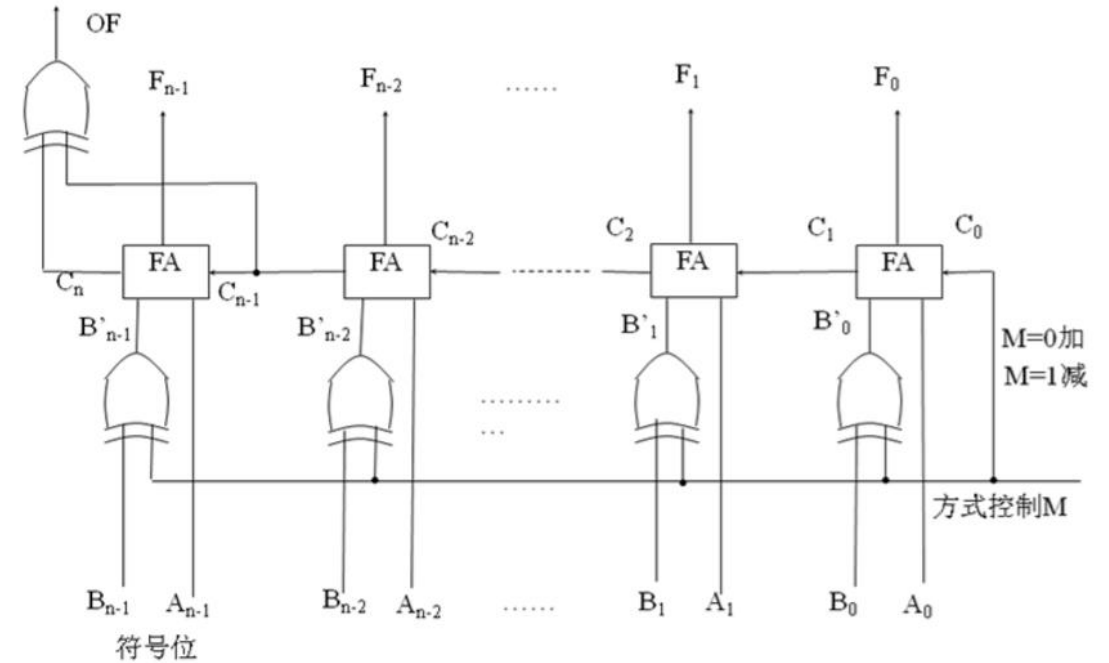


图 2-10 串行加法器（行波进位加法器）逻辑电路图

图 2-10 中,  $A_{n-1}$  和  $B_{n-1}$  是符号位, 判溢位  $OF=C_n \oplus C_{n-1}$ 。FA 的运算形式由 M 决定, 当方式控制位  $M=0$ , FA 是补码加法器:  $B_i' = M \oplus B_i = B_i$ ,  $C_0=0$ , 则  $[F]补=[A]补+[B]补=[A+B]补$ ; 当方式控制位  $M=1$ , FA 是补码减法器:  $B_i' = M \oplus B_i = \bar{B}_i$ ,  $C_0=1$ , 则  $[F]补=[A]补+[-B]补=[A-B]补$ ; 图 2-11 (左) 所示是四位串行加法器, 由图 2-11 (右) 所示的一位全加器串行形成, 最高位是符号位, 数字有效位是三位。M 端控制器件做加法 ( $M=0$ ) 或减法 ( $M=1$ ), 因为“任意两数之差的补码等于被减数的补码与减数相反数的补码之和”, 所以 M 端的工作原理基于“ $[Y]补 \rightarrow [-Y]补$ ”求补运算原则: 取反再加 1。图 2-11 中执行的运算是:  $1010+0101=1111$ 。

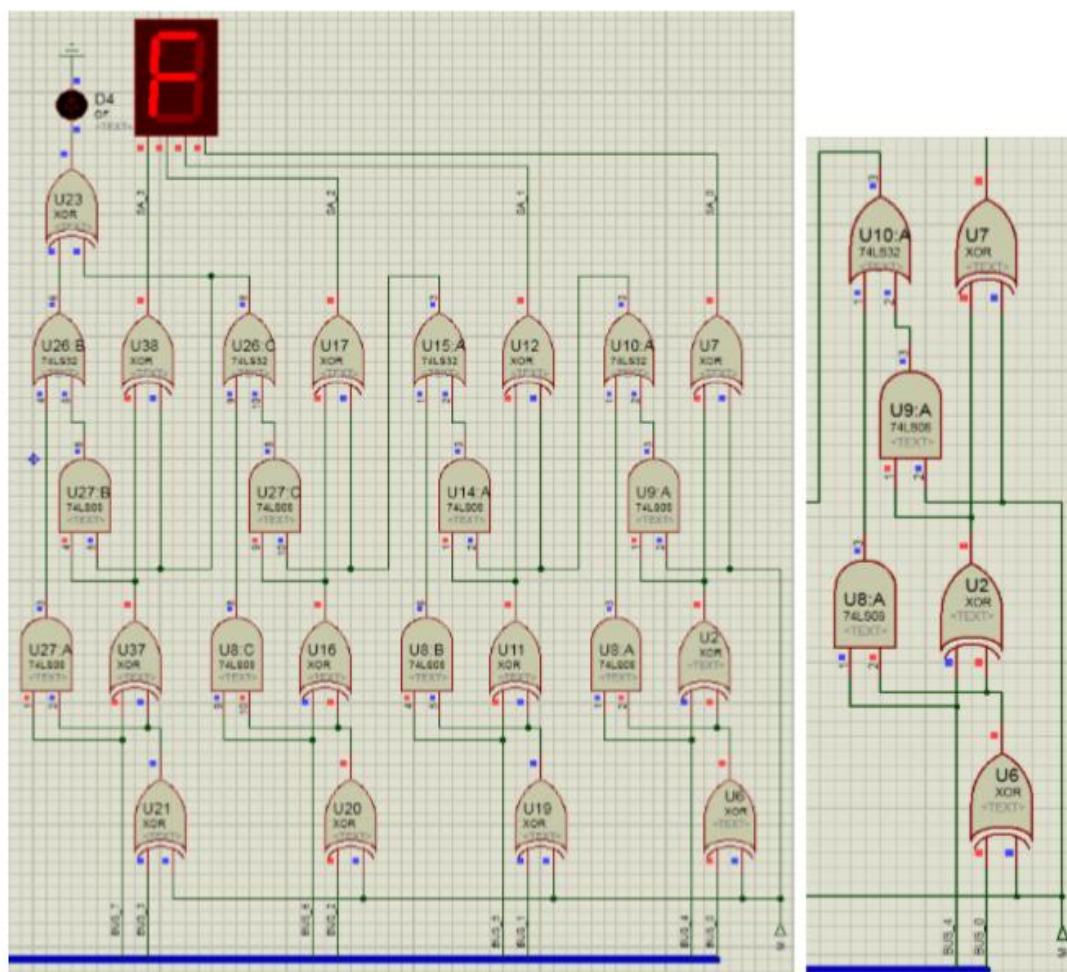


图 2-11 串行加法器电路图

本实验的并行加法器又称为超前进位加法器, 如图 2-12 所示: 也是由若干位全加器 FA 组成, 但是每一个 FA 所需的低位进位都不依赖其他 FA, 而是根据最低进位  $C_0$  及各个位的加数、被加数即可同时计算所有进位  $C_n$ 。因此称之为“并行”加法器, 其推导公式如下:

$$C_{i+1} = A_i B_i + (A_i \oplus B_i) C_i \quad \text{假设 } G_i = A_i B_i \text{ 且 } P_i = A_i \oplus B_i$$

$$\text{则 } C_{i+1} = G_i + P_i C_i$$

$$\text{即 } C_1 = G_0 + P_0 C_0$$

$$C_2 = G_1 + P_1 G_0 + P_1 P_0 C_0$$

$$C_3 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_0$$

$$C_4 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0$$



由图 2-12 可以看出，每一个 FA 所需的低位进位都只跟  $A_i$ 、 $B_i$  和  $C_0$  相关，与相邻 FA 产生的进位无关。从右到左，随着位数越高，进位  $C_n$  生成电路越复杂。图 2-12 中执行的运算是： $1010-0101=1010+1011=0101$ ；因为进位导致符号位改变（溢出），0F 指示灯点亮。

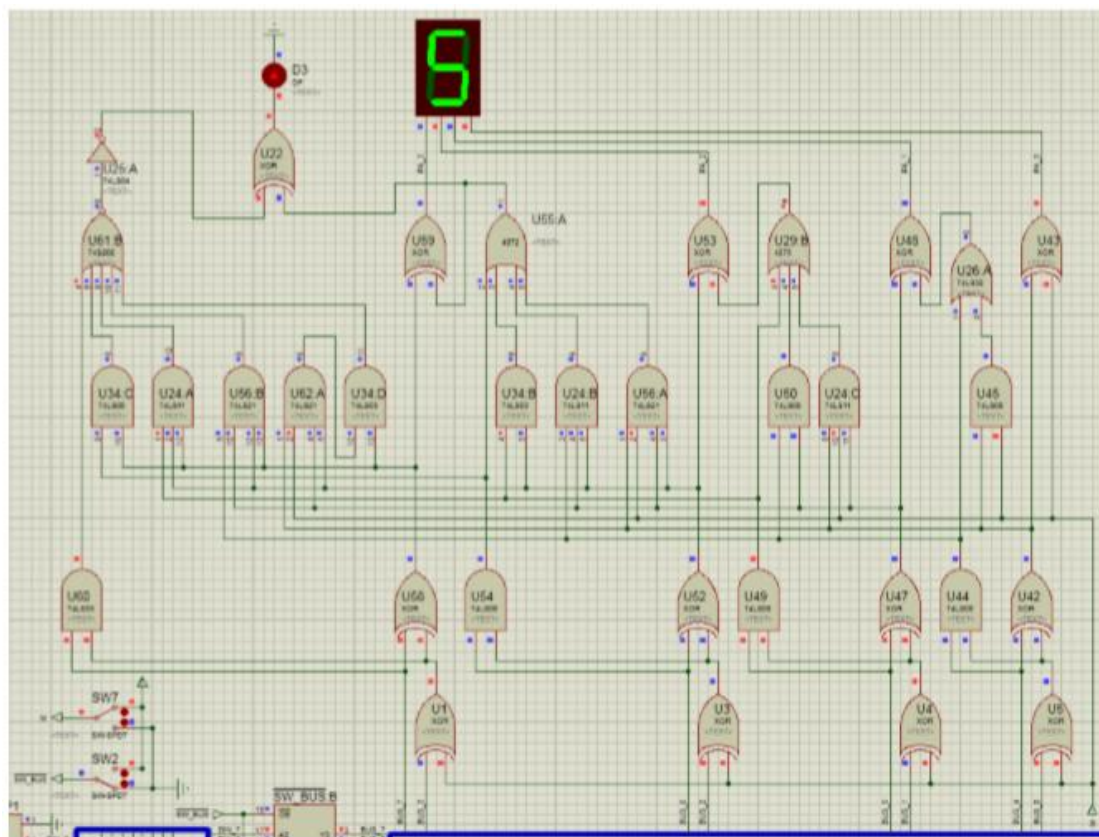


图 2-12 并行加法器电路图

## 五、实验步骤

- 请根据图 2-7 和图 2-8 制作半加器和全加器电路，并验证输入输出与真值表是否一致。
- 启动仿真，令  $BUS_{[7..4]}=0101$ ， $BUS_{[3..0]}=0010$ ， $M=0$ ，记录并比较串行与并行加法器的运算结果，是否溢出？如果改为  $BUS_{[3..0]}=0011$ ，结果如何？
- 启动仿真，令  $BUS_{[7..4]}=0101$ ， $BUS_{[3..0]}=0011$ ， $M=1$ ，记录并比较串行与并行加法器的运算结果，是否溢出？如果运算器的输入改为  $BUS_{[7..4]}=0011$ ， $BUS_{[3..0]}=0101$ ， $M=1$  不变，结果如何？
- 启动仿真，令  $BUS_{[7..4]}=1101$ ， $BUS_{[3..0]}=0011$ ， $M=0$ ，记录并比较串行与并行加法器的运算结果。是否溢出？如果改为  $M=1$ ，结果如何？

## 六、思考题

- 1、请问本实验的运算器是补码运算器、原码运算器还是无符号数运算器？与串行进位加法器相比，并行进位加法器的优势是什么？所谓的“并行”体现在哪里？
- 2、本实验中，运算器可以表示的数值范围是多少？请把运算器电路分别修改为四位无符号数运算器和五位补码运算器（一位符号位），并分别写出各自新的数值范围。