

## 实验二 运算器实验

### 一、实验目的

- 1、了解算术逻辑运算器（74LS181）的组成和功能。
- 2、掌握基本算术和逻辑运算的实现方法。

### 二、实验内容

运用算术逻辑运算器 74LS181 进行有符号数/无符号数的算术运算和逻辑运算。

### 三、实验器件

1. 算术逻辑运算器（74LS181）。
2. 三态门（74LS244）及寄存器（74LS273、74LS373）。
3. RESPACK-8：排阻
4. DIPSWC\_8：拨码开关
5. 7SEG-BCD：显示一位数字
6. 7SEG-BCD-GRN：显示一位数字
7. 4078：8 输入端的或门
8. 74LS04：反相器，非门
9. BUS：总线
10. SW-SPDT：单刀双掷开关
11. LED-GREEN：用来表示 ZF/CF/SF 的值
12. LED-RED：用来表示 ZF/CF/SF 的值
13. LED-YELLOW：用来表示 ZF/CF/SF 的值

本实验的算术逻辑运算器电路：输入单元（拨码开关）用来提供参与运算的数据，输出单元（数码显示管 7SEG-BCD /7SEG-BCD-GRN）显示总线 BUS 的内容。运算器则由两个集成电路芯片 74LS181 以串行进位形式构成 8 位运算器（ALU）：ALU\_L4B 为低 4 位运算芯片，ALU\_H4B 为高 4 位运算芯片。ALU\_L4B 的进位输出端 CN+4 与 ALU\_H4B 的进位输入端 CN 相连，使低 4 位运算产生的进位送进高 4 位运算中。ALU\_L4B 的进位输入端 CN 连接到外来进位端开关 ALU\_CN，ALU\_H4B 的进位输出端 CN+4 经过反相器 74LS04，通过三态门接到溢出标志位 CF 指示灯（CF=1，即 ALU 运算结果溢出）。

ALU 有三个标志位：溢出标志位 CF（最高位产生进位），零标志位 ZF（ZF=1，ALU 运算结果为 0）和符号标志位 SF（SF=1，运算结果为负数；SF=0，运算结果为正数或 0）。

ALU 的工作方式可通过设置两个 74LS181 芯片的控制信号（ALU\_S0、S1、S2、S3、M 及 CN）来实现，其逻辑功能表如表 2-1 所示，表中“A”和“B”分别表示参与运算的两个数，“+”表示逻辑或，“加”表示算术求和。

表 2-1 74LS181 逻辑功能表

S3	S2	S1	S0	M=0（算术运算）		M=1 （逻辑运算）
				CN=1 无进位	CN=0 有进位	
0	0	0	0	$F=A$	$F=A$ 加 1	$F=\overline{A}$
0	0	0	1	$F=A+B$	$F=(A+B)$ 加 1	$F=\overline{A+B}$
0	0	1	0	$F=A+\overline{B}$	$F=(A+\overline{B})$ 加 1	$F=\overline{AB}$
0	0	1	1	$F=0$ 减 1	$F=0$	$F=0$
0	1	0	0	$F=A$ 加 $\overline{AB}$	$F=A$ 加 $\overline{AB}$ 加 1	$F=\overline{AB}$
0	1	0	1	$F=(A+B)$ 加 $\overline{AB}$	$F=(A+B)$ 加 $\overline{AB}$ 加 1	$F=\overline{B}$
0	1	1	0	$F=A$ 减 $B$ 减 1	$F=A$ 减 $B$	$F=A\oplus B$
0	1	1	1	$F=\overline{AB}$ 减 1	$F=\overline{AB}$	$F=\overline{AB}$
1	0	0	0	$F=A$ 加 $AB$	$F=A$ 加 $AB$ 加 1	$F=\overline{A+B}$
1	0	0	1	$F=A$ 加 $B$	$F=A$ 加 $B$ 加 1	$F=\overline{A\oplus B}$
1	0	1	0	$F=(A+\overline{B})$ 加 $AB$	$F=(A+\overline{B})$ 加 $AB$ 加 1	$F=B$
1	0	1	1	$F=AB$ 减 1	$F=AB$	$F=AB$
1	1	0	0	$F=A$ 加 $A$	$F=A$ 加 $A$ 加 1	$F=1$
1	1	0	1	$F=(A+B)$ 加 $A$	$F=(A+B)$ 加 $A$ 加 1	$F=A+\overline{B}$
1	1	1	0	$F=(A+\overline{B})$ 加 $A$	$F=(A+\overline{B})$ 加 $A$ 加 1	$F=A+B$
1	1	1	1	$F=A$ 减 1	$F=A$	$F=A$

注意：+表示或，加表示算数加法，0 表示 8 位全零，1 表示 8 位全 1。

运算器 ALU 的输出经过三态门（74LS244）和数据总线 BUS 相连。当运算器使能开关低电平有效（ $\overline{ALU\_OE}=0$ ）的时候，运算器三个部位的三态门 244 状态为直通：74LS181 的控制信号（S0~S3、M、CN）全部连通；74LS181 的运算标志位（CF、ZF 和 SF）的指示灯全部连通；以及 74LS181 的运算结果输出到数据总线 BUS。当  $ALU\_OE=1$  的时候，74LS181 停止工作，此时 74LS181 的输出端数据为无效数据，与数据总线 BUS 隔断。

运算器 ALU 的两个数据输入端分别由两个数据锁存器（74LS273）DRA、DRB 锁存，74LS181 将 DRA、DRB 内的数据作为上述表 2-1 中参与运算的数 A 和 B。由于 DRA、DRB 已经把数据暂存，只要 74LS181 的控制信号不变，那么 74LS181 的输出数

据也不会发生改变。数据锁存器 DRA、DRB 的输入连至数据总线 BUS，在 DRA\_CLK、DRB\_CLK 端开关出现上升沿跳变的时候，总线 BUS 的数据分别打入 DRA、DRB 锁存。

## 五、实验步骤

1、放置 RESPACK-8 和 DIPSWC\_8，通过总线将这两个器件连接起来，注意接电源和接地。

2、放置多个单刀双掷开关，用来控制 S0，S1，S2，S3，CN，M，还有 ALU 输出（低电平有效），DIPSWC\_8（低电平有效）输出和两个存储 A 和 B 的寄存器，并且都高电平连接电源，低电平接地。

3、放置两个 74LS244 和 74LS273，DIPSWC\_8 与两个 74LS244 通过总线相连，74LS244 与 74LS273 通过总线相连，74LS244 的作用为控制总线上 DIPSWC\_8 的数据流通，避免与结果数据冲突，74LS273 的作用为储存进行运算的两个数值。

4、放置两个 74LS181 和 74LS244，74LS273 通过总线与 74LS181 相连，依次连接单刀双掷开关（S0，S1...）和 74LS244 和 74LS181。

5、放置 3 个 74LS244，一个 4078，一个 74LS04，三个 LED，其中一 74LS244 与三个 LED 相连。

6、放置一个 7SEG-BCD，一个 7SEG-BCD-GRN，用来显示数字，与总线相连。每一个总线都必须命名，总线的命名格式为：name[0..n]，name 为总线的名字，n 为总线数量，与总线相连的每一条线都要命名，格式为：namei，name 为相连的总线的名字，i=0，1，2，3.....n

7、启动仿真前，令 (S3,S2,S1,S0,M,CN) = (1,1,1,1,1,1)，DRA\_CLK = DRB\_CLK = 0， $\overline{SW\_BUS} = \overline{ALU\_OE} = 1$ ；

8、启动仿真后， $\overline{SW\_BUS} = 0$ ，使用拨码开关，选择一个 8 位的二进制值 0xAA，将 DRA-CLK 置为 1，将值存进锁存器 DRA，再将 DRA-CLK 置为 0，再次使用拨码开关，选择一个 8 位的二进制值 0x55，将 DRB-CLK 置为 1，将值存进锁存器 DRB，再将 DRB-CLK 置为 0，再令  $\overline{SW\_BUS} = 1$ 。

9、设置  $\overline{ALU\_OE} = 0$ ，然后改变运算器的控制信号 (S3,S2,S1,S0,M,CN)，观察运算器的输出 F 和标志位 CF、SF、ZF，并且把输出 F 填入下表。

DRA	DRB	S3	S2	S1	S0	M=0 (算术运算)		标志位 CF/ZF/SF		M=1 逻辑运算
						CN=1 无进位	CN=0 有进位	CN=1 无进位	CN=0 有进位	
0xAA	0x55	0	0	0	0	F=	F=			F=
		0	0	0	1	F=	F=			F=
		0	0	1	0	F=	F=			F=
		0	0	1	1	F=	F=			F=
		0	1	0	0	F=	F=			F=
		0	1	0	1	F=	F=			F=
		0	1	1	0	F=	F=			F=
		0	1	1	1	F=	F=			F=
		1	0	0	0	F=	F=			F=
		1	0	0	1	F=	F=			F=
		1	0	1	0	F=	F=			F=
		1	0	1	1	F=	F=			F=
		1	1	0	0	F=	F=			F=
		1	1	0	1	F=	F=			F=
		1	1	1	0	F=	F=			F=
		1	1	1	1	F=	F=			F=

## 六、思考题

1. 74LS181 运算器可以区分有符号数运算和无符号数运算么？可以执行无符号数的加法和减法运算么？对于有符号数的运算，74LS181 运算器是补码运算器还是原码运算器？
2. 在 74LS181 运算器的通路中，输入锁存器 DRA、DRB 的作用是什么？运算结果输出端连接的 74LS244 缓冲器的作用是什么？假设去掉其中一个输入锁存器，使得 74LS181 的输入直连总线，运算器还能正常工作么？假设去掉输出端 74LS244 缓冲器，使得 74LS181 运算器的输出直连总线，运算器还能正常工作么？
3. 当 74LS181 运算器进行无符号数运算的过程中，运算结果的标志位 SF 有无意义？在有符号数运算过程中，标志位 CF 的含义是一致的么？如果做两个有符号数加法“A+0”，标志位 CF 会置位么？如果做两个有符号数减法“A-0”，标志位 CF 会置位么？在什么情况下有符号数的加法会出现标志位 CF 置位？

## FAQ:

答:、启动仿真后,  $\overline{\text{SW\_BUS}} = 0$ , 使用拨码开关, 选择一个 8 位的二进制值 0xAA, 将 DRA-CLK 置为 1, 将值存进锁存器 DRA, 再将 DRA-CLK 置为 0; 再次使用拨码开关, 选择一个 8 位的二进制值 0x55, 将 DRB-CLK 置为 1, 将值存进锁存器 DRB, 再将 DRB-CLK 置为 0, 再令  $\overline{\text{SW\_BUS}} = 1$ 。这样 DRA 和 DRB 就分别存有你输入的两个值。

答：这种一般是连接总线的问题，检查是否总线没有命名，端口与总线相连的线是否有命名，是否存在端口与总线相连的线的命名重复。

答：用来控制向 DRA 或者 DRB 输入值，高电平有效。比如当 DRA-CLK=1 时，拨码开关的值将会存入 DRA。