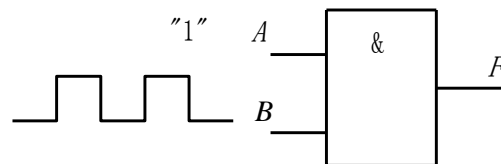
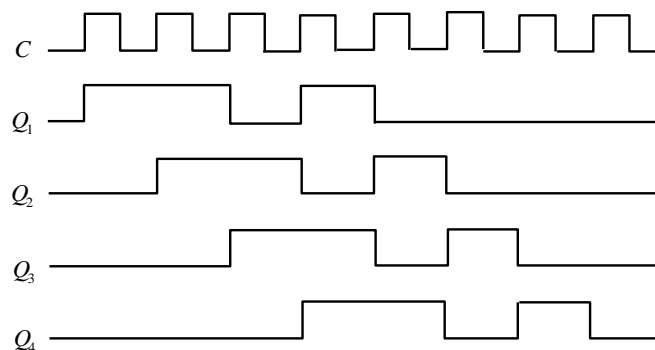


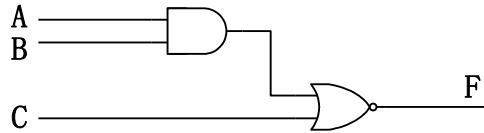
- 与十进制数 64 对应的二进制数是 (C)。
A. 10000000 B. 00100000 C. 01000000 D. 01100100
- 与二进制数 1101101 对应的十六进制数是 (A)。
A. 6D B. DA C. CD D. AD
- 四位二进制数 1111 所对应的十进制数为 (B)。
A. 14 B. 15 C. 16 D. 17
- 用 n 位二进制数为信息编码, 最多可以有 (B) 个编码。
A. 2^{n-1} B. 2^n C. 2^{n+1} D. n^2
- 为 35 个信息编码, 至少需要 (C) 位二进制代码。
A. 4 B. 5 C. 6 D. 7
- 数字电路中的工作信号为 (B)。
A. 随时间连续变化的电信号 B. 脉冲信号
C. 直流信号 D. 交流信号
- 逻辑电路如图所示, 当输入 $A=1$, 输入 B 为方波时, 则输出 F 应为 (C)。
A. “1” B. “0” C. 方波 D. 正弦波



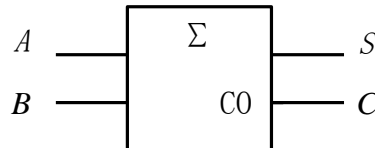
- 逻辑式 $F = A\bar{B} + B\bar{C} + A\bar{B}\bar{C} + AB\bar{C}\bar{D}$, 化简后 $F =$ (C)。
A. $\bar{A}B + \bar{B}C$ B. $A\bar{B} + C\bar{D}$ C. $A\bar{B} + B\bar{C}$ D. $A + B\bar{C}$
- 时序逻辑电路与组合逻辑电路的主要区别是 (C)。
A. 时序电路只能计数, 而组合电路只能寄存
B. 时序电路没有记忆功能, 组合电路则有
C. 时序电路具有记忆功能, 组合电路则没有
D. 时序电路具有记忆功能, 组合电路有寄存器
- 某时序逻辑电路的波形如图所示, 由此判定该电路是 (C)。
A. 二进制计数器 B. 十进制计数器
C. 移位寄存器 D. 计算器



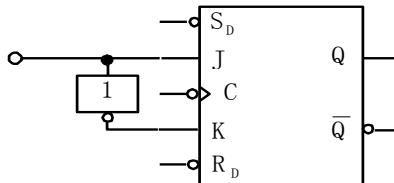
- 与十进制数 127 相应的二进制数是 (B)。
A. 11111111 B. 01111111 C. 00111111 D. 00011111
- 如图所示逻辑电路的逻辑式为 (A)。
A. $F = \overline{AB + C}$ B. $F = \overline{(A + B)C}$ C. $F = AB + C$ D. $F = AB + \bar{C}$



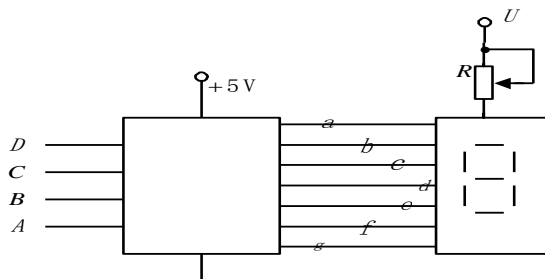
13. n 位二进制数对应的最大十进制数为(B)。
- A. $2^{n+1}-1$ B. 2^n-1 C. 2^n D. $2^{n-1}-1$
14. 半加器的逻辑符号如图所示, 当 $A=“1”$, $B=“1”$ 时, C 和 S 分别为(C)。
- A. $C=0$ $S=0$ B. $C=0$ $S=1$ C. $C=1$ $S=0$ D. $C=1$ $S=0$



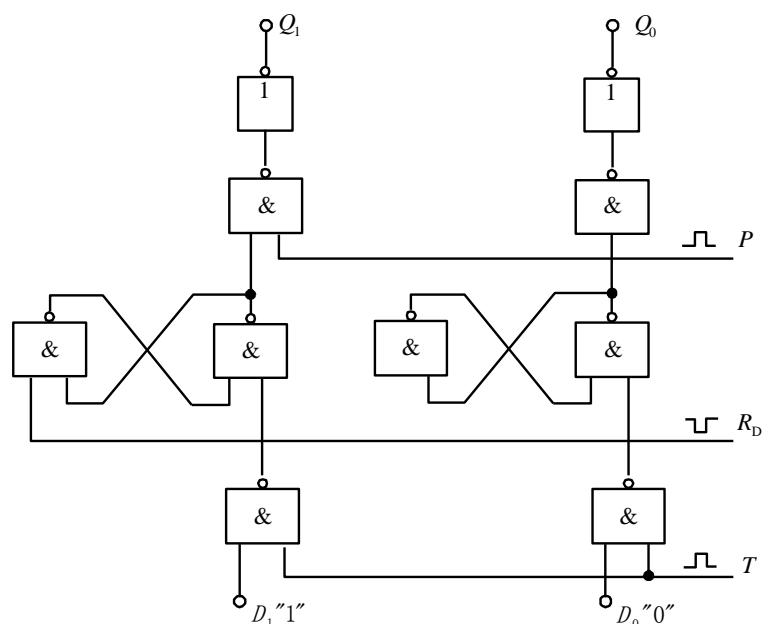
15. 编码器的逻辑功能是(B)。
- A. 把某种二进制代码转换成某种输出状态
B. 将某种状态转换成相应的二进制代码
C. 把二进制数转换成十进制数
D. 把二进制数转换成十六进制数
16. 寄存器与计数器的主要区别是(B)。
- A. 寄存器具有记忆功能, 而计数器没有
B. 寄存器只能存数, 不能计数, 计数器不仅能连续计数, 也能存数
C. 寄存器只能存数, 计数器只能计数, 不能存数
D. 寄存器与计数器只有存储容量不同
17. 逻辑电路如图所示, 它具有(A)。
- A. D 触发器功能 B. T 触发器功能 C. T' 触发器功能 D. RS 触发器功能



18. 逻辑代数是研究逻辑关系的主要数学工具, 逻辑代数中变量的取值是(A)。
- A. “0” 和 “1” 两个值 B. $0\sim 9$ 中的任意值
C. 普通代数中的任何值 D. $0\sim 7$ 中的任意值
19. 采用共阳极数码管的译码显示电路如图所示, 若显示码数是 5, 译码器输出端应为(A)。
- A. $a=c=d=f=g=“0”$, $b=e=“1”$ B. $a=c=d=f=g=“1”$, $b=e=“0”$
C. $a=c=b=d=e=“1”$, $f=g=“0”$ D. $a=c=d=f=g=“0”$, $b=e=“0”$



20. 如图所示逻辑电路为(B)。
- A. 组合逻辑电路 B. 时序逻辑电路 C. 其它电路



21. 设两输入或非门的输入为 x 和 y , 输出为 z , 当 z 为高电平时, 有(D)。
- A. x 和 y 同为高电平 ; B. x 为高电平, y 为低电平 ;
- C. x 为低电平, y 为高电平 ; D. x 和 y 同为低电平。
22. 设两输入与非门的输入为 x 和 y , 输出为 z , 当 z 为低电平时, 有(A)。
- A. x 和 y 同为高电平 ; B. x 为高电平, y 为低电平 ;
- C. x 为低电平, y 为高电平 ; D. x 和 y 同为低电平。
23. 组合逻辑电路的输出与输入的关系可直观用(A)描述。
- A. 真值表 B. 流程图
- C. 逻辑表达式 D. 状态图
24. 描述逻辑电路的真值表如表 1-1 所示, 则其逻辑表达式是 $F =$ (C)。
- A. AB B. $A+B$ C. $\bar{A}B + A\bar{B}$ D. $AB+BA$

表1-1

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

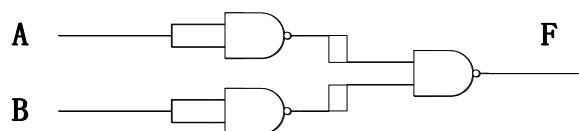


图1-1

25. 根据图 1-1 所示的逻辑电路图, 写出其逻辑表达式是 $F =$ (B)。
- A. AB B. $A+B$ C. $\bar{A} + \bar{B}$ D. $\bar{A} \bar{B}$
26. 根据图 1-2 所示的卡诺图, 写出逻辑函数 $F_1 =$ (C)。
- A. $AB\bar{C} + A\bar{B}C + ABC + \bar{A}\bar{B}\bar{C}$ B. $\bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}C + ABC$
- C. $\bar{A}\bar{B}\bar{C} + \bar{A}BC + AB\bar{C} + A\bar{B}\bar{C}$ D. $\bar{A}\bar{B}\bar{C} + A\bar{B}C + ABC + A\bar{B}\bar{C}$

	AB			
C	1		1	1
		1		

图1-2

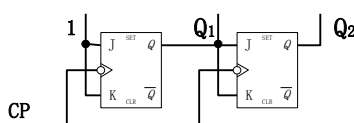


图1-3

27. 在图 1-3 所示的电路图中, 设现态 $Q_1Q_2=00$, 经过三个脉冲作用后, Q_1Q_2 的状态应当为 (D)。

A. 00 B. 01 C. 10 D. 11

28. 将十六进制数 $(11)_{16}$ 转换成二进制数是 (B)。

A. 11 B. 10001 C. 1100 D. 1001

29. 电路在任一时刻的输出仅仅与该时刻电路的输入有关, 而与该时刻之前电路的状态无关, 这样的数字逻辑电路称为 (B)。

A. 基本放大电路 B. 组合逻辑电路
C. 时序逻辑电路 D. 波形变换电路

30. 根据图 1-2 所示的卡诺图描述, 写出逻辑表达式 $F=$ (A)。

A. $\sum M(2,3,4,5,7,13,15)$ B. $\sum M(0,1,4,5,8,13,15)$ C. $\sum M(0,2,3,4,7,8,15)$

		AB			
CD	00	00	01	11	10
	00		1		
	01		1	1	
	11	1	1	1	
	10	1			

图1-2

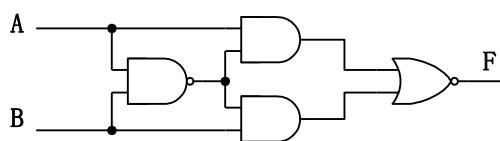


图1-3

31. 如图 1-3 所示的逻辑电路, 当输入 $A=1, B=0$ 时, 则 F 的值是 (A)。

A. 0 B. 1 C. 10 D. 不确定

32. 要使 JK 触发器在时钟作用下的次态与现态相反, JK 端取值应为 (D)。

A. $JK=00$ B. $JK=01$ C. $JK=10$ D. $JK=11$

33. 描述触发器逻辑功能的方法有 (B)。

A. 状态转换真值表 B. 特征方程 C. 状态转换图 D. 波形图

34. 下列触发器中没有约束条件的是 (D)

A. 基本 RS 触发器 B. 主从 RS 触发器
C. 维持阻塞 RS 触发器 D. 边沿 D 触发器

35. 逻辑函数 $F = A \oplus (A \oplus B) =$ (A)

A. B B. A C. $A \oplus B$ D. $A \odot B$

36. 逻辑函数 $F = \overline{A} \overline{B} E + \overline{C} E (B \overline{E} + A \overline{C} \overline{E}) + A \overline{E} + A C \overline{E}$ 的反函数 \overline{F} 的最简与或式为 (A)

A. $\overline{F} = (A + B + \overline{E})(\overline{A} + E)$ B. $\overline{F} = \overline{A} B + \overline{A} \overline{E} + A E$

C. $\overline{F} = \overline{A} \overline{E} + A E + B E$ D. $\overline{F} = A \overline{B} + \overline{A} \overline{E} + A E$

37. 一个 8421BCD 码计数器至少需要 (B) 个触发器。

A. 3 B. 4 C. 5 D. 10

38. 一个四位二进制码减法计数器的起始值为 1001, 经过 100 个时钟脉冲作用之后的值为 (D)。

A. 1100 B. 0100 C. 1101 D. 0101

38. 用 n 个触发器构成计数器, 可得到的最大计数长度 (计数模) 为 (D)。

- A. n B. $2n$ C. n^2 D. 2^n

39. 时序电路输出状态的改变(D)。

- A. 仅与该时刻输入信号的状态有关 B. 仅与时序电路的原状态有关
C. 与时序电路的原状态无关 D. 与 A、B 两项皆有关

40. 断电后还能保存数据的存储器是 (B)。

- A. DRAM B. EEPROM C. SRAM D. DDR 内存

41. 为了保证计数的最大值为 100 个，则所需的最少触发器为 (C) 个。

- A. 5 B. 6 C. 7 D. 8

简答题

1. 说明时序逻辑电路和组合逻辑电路在逻辑功能和电路结构上有何不同。

答：包含触发器的数字电路称为时序逻辑电路，它在任何时刻的输出不仅取决于当前的输入，同时也取决于过去的输入序列，即时序逻辑电路具有对过去事件的记忆能力；仅包含门电路的数字电路称为组合逻辑电路，其输出仅取决于当前的输入。

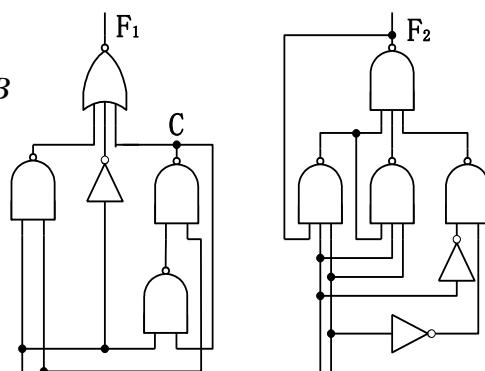
2. 为什么组合逻辑电路用逻辑函数就可以表示其逻辑功能，而时序逻辑电路则用驱动方程、状态方程和输出方程才能表示其功能？

答：因为组合逻辑电路的输出只与当前的输入有关，因此用逻辑函数就可以表示其逻辑功能；而时序逻辑电路在任何时刻的输出不仅取决于当前的输入，同时也取决于过去的输入序列，因此需要用三个方程才能完整表示其逻辑功能。

3. 分析下图所示的两个逻辑电路，哪一个是时序逻辑电路？为什么？

解：根据逻辑图写出表达式

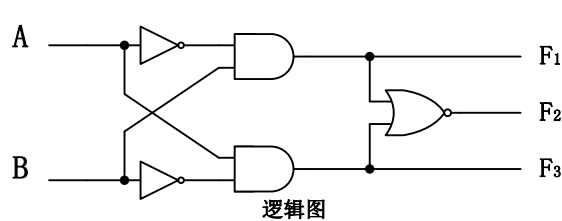
$$F_1 = \overline{AB + \overline{A} + C} = \overline{AB + \overline{A} + AC \cdot B} = AB \cdot A \cdot \overline{AC} \cdot B = AB(\overline{A} + \overline{C})B = AB\overline{C}$$



$$\begin{aligned}
 F_2 &= \overline{ABF_2^n} \cdot \overline{ABF_2^n} \cdot \overline{AB} \cdot \overline{A} \cdot \overline{B} \\
 &= ABF_2^n + \overline{ABF_2^n} \cdot \overline{AB} + \overline{A} \cdot \overline{B} \\
 &= ABF_2^n + \overline{AB} + \overline{A} \cdot \overline{B} = AB (B_2^n + 1) + \overline{A} \cdot \overline{B} \\
 &= AB + \overline{A} \cdot \overline{B}
 \end{aligned}$$

从 F_1 和 F_2 表达式中可知, F_1 的输出不仅和输入有关, 而且和中间变量 C 有关, 所以它是时序逻辑电路。 F_2 只与输入 A, B 有关, 故它为组合逻辑电路。

4. 据列出的逻辑图, 列出逻辑函数 F_1 、 F_2 和 F_3 并完成真值表 3-1。



真值表

A	B	F_1	F_2	F_3
0	0			
0	1			
1	0			
1	1			

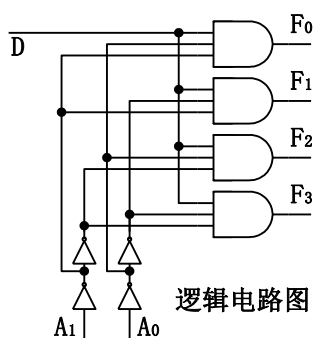
解: $F_1 = \overline{A}B$; $F_3 = A\overline{B}$

$$F_2 = \overline{F_1} + \overline{F_3} = \overline{\overline{A}B} + \overline{A\overline{B}} = AB + \overline{A}\overline{B}$$

真值表

A	B	F_1	F_2	F_3
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

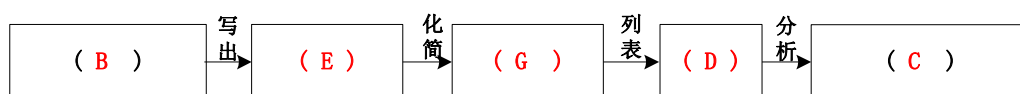
5. 据列出的逻辑图, 完成真值表 3-1。



真值表3-1

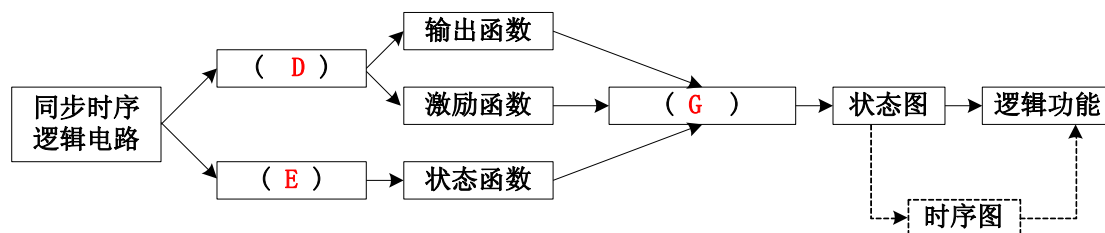
地址码		输出			
A_1	A_0	F_0	F_1	F_2	F_3
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

6. 组合逻辑电路的一般分析步骤如下流程图所示, 请在括号内选择适当的文字。



- A. 实际逻辑问题 B. 组合逻辑电路图 C. 说明电路逻辑功能 D. 真值表
E. 逻辑表达式 F. 卡诺图 G. 最简表达式 H. 逻辑设计

7. 同步时序逻辑电路的一般分析过程如下流程图所示，请在括号内选择适当的文字。



A. 实际逻辑问题 B. 组合逻辑电路图 C. 时序逻辑电路图 D. 组合逻辑电路
E. 记忆电路 F. 卡诺图 G. 状态真值表 H. 逻辑功能

8. 将逻辑函数 $F=ABC+\overline{A}+\overline{B}+C$ 展开为最小项之和式。

解: $F=ABC+A\overline{B}C+A\overline{B}\overline{C}+\overline{A}BC+\overline{A}B\overline{C}+\overline{A}\overline{B}C+\overline{A}\overline{B}\overline{C}$

9. 已知 $\overline{A+B}=\overline{A}\cdot\overline{B}$ 成立，试证明等式 $\overline{A+B+C}=\overline{A}\cdot\overline{B}\cdot\overline{C}$ 也成立。

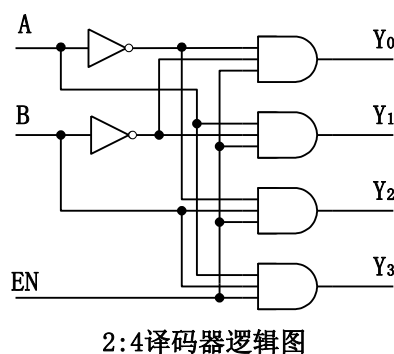
证明: $\because \overline{A+B}=\overline{A}\cdot\overline{B}$

将等式两边出现 B 的地方都用逻辑式 $B+C$ 代入，则有：

$$\overline{A+(B+C)}=\overline{A}\cdot\overline{(B+C)}=\overline{A}\cdot\overline{B}\cdot\overline{C}$$

$$\therefore \overline{A+B+C}=\overline{A}\cdot\overline{B}\cdot\overline{C} \text{ 成立}$$

10. 据给出译码器的逻辑图，完成真值表 3-1。



输入			输出			
EN	A	B	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

真值表

11. 下列用卡诺图化简逻辑函数的圈法是不正确的，请改正过来并写出最简与或表达式。

AB \ CD	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

AB \ CD	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

解: $F=BC+\bar{C}D+\bar{A}BD$

12. 求函数 $F=(A+\bar{B})(\bar{A}+C)AC+BC$ 反函数。

解: 根据求反函数规则得: $F=(\bar{A}\bar{B}+A\bar{C}+\bar{A}+\bar{C})(\bar{B}+\bar{C})$

13. 已知逻辑函数 $Y(A,B,C)=A\bar{B}+\bar{B}C+BC+A$, 要求: (1) 画出该函数的卡诺图; (2) 用卡诺图将函数化为最简, 并写出简化结果。

解: 根据题意, 画三变量卡诺图并化简得:

$Y(A,B,C)=A+C$

C \ AB	00	01	11	10
0			1	1
1	1	1	1	1

14. 试证明等式 $\bar{A}\bar{C}+ABC+AC\bar{D}+CD=A+CD$ 成立。

证明: 左边式 $=A(\bar{C}+BC)+C(A\bar{D}+D)$
 $=A(\bar{C}+B)+C(A+D)$
 $=A\bar{C}+AB+AC+CD$
 $=A(\bar{C}+B+C)+CD=A(1+B)+CD=A+CD=$ 右式

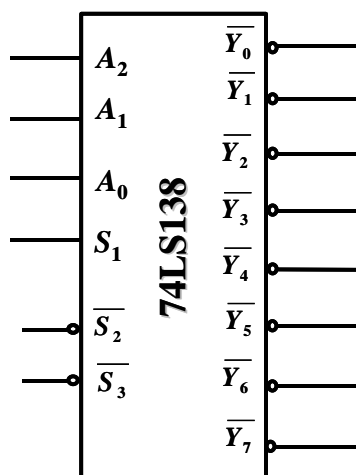
所以原式成立

15. 已知逻辑函数 $Y(A,B,C,D)=\sum m(0,2,5,7,8,10,13,15)$ 。要求: (1) 填写函数 Y 的卡诺图; (2) 用卡诺图将函数 Y 化为最简, 并写出化简结果。

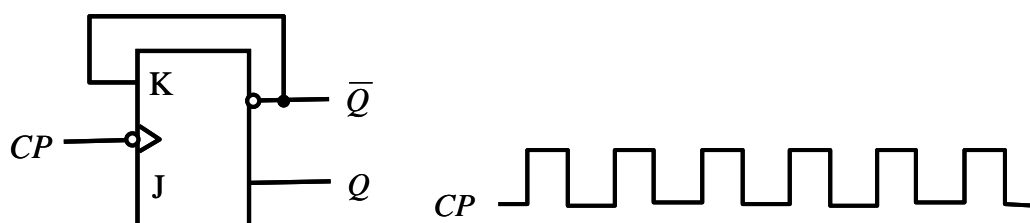
解: 根据题意, 画四变量的卡诺图并化简得:

$Y(A,B,C,D)=BD+\bar{B}\bar{D}$

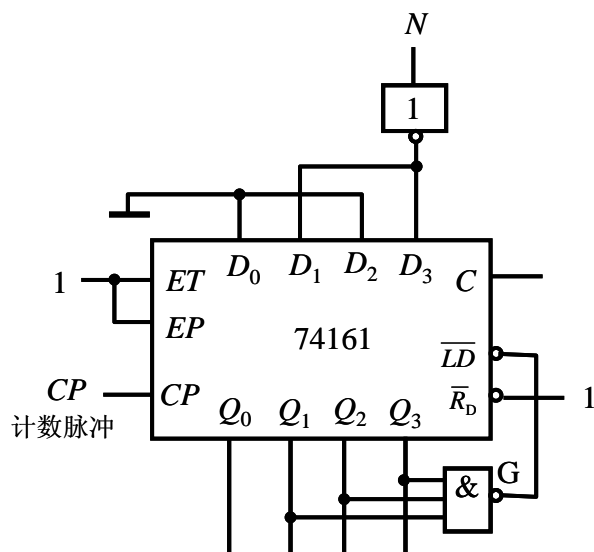
AB \ CD	00	01	11	10
00	1			1
01		1	1	
11		1	1	
10	1			1



19. 电路如图所示，设触发器的初始状态为 0 态。(1) 写出 JK 触发器的特性方程；(2) 试画出触发器在时钟脉冲 CP 作用下 Q 端的波形。



20. 分析图示计数器电路在 $N=0$ 和 $N=1$ 时各是多少进制的计数器。74LS161 是十六进制的计数器，其功能表如下所示。

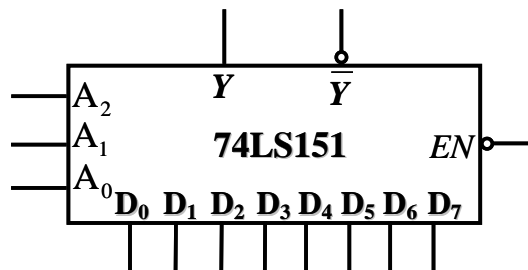


74LS161的功能表

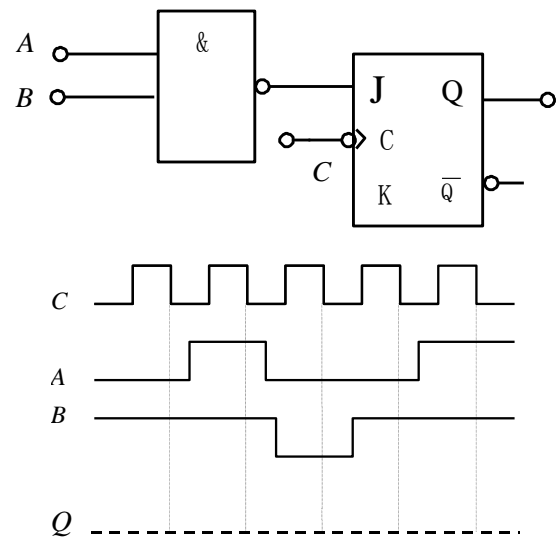
CP	$\overline{R_D}$	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
\downarrow	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
\downarrow	1	1	1	1	计数

21. 用 74LS151 设计一个 3 人投票表决电路，设输入为 A、B、C，输出为 F。
74LS151 的逻辑符号和功能表如图所示。 注：画电路图时，在已有的逻辑符号
号图上添加即可。

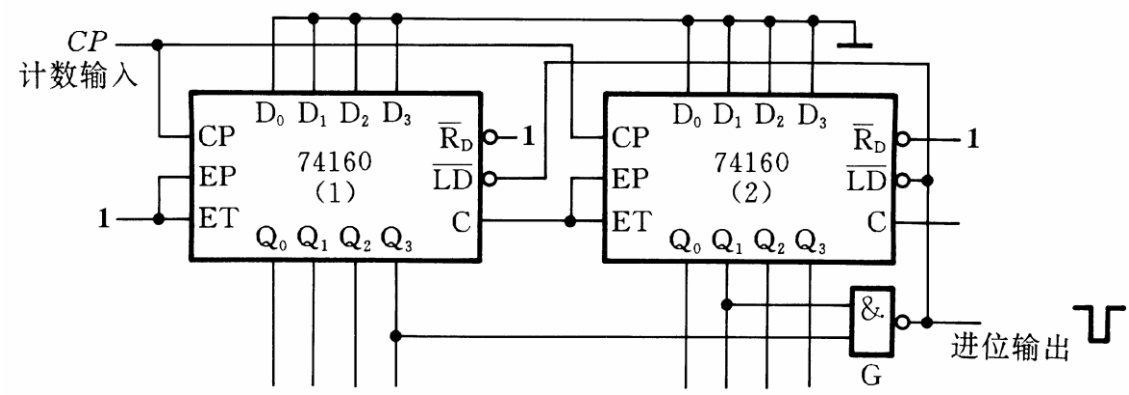
输入				输出	
EN	A ₂	A ₁	A ₀	Y	\overline{Y}
1	×	×	×	0	1
0	0	0	0	D ₀	$\overline{D_0}$
0	0	0	1	D ₁	$\overline{D_1}$
0	0	1	0	D ₂	$\overline{D_2}$
0	0	1	1	D ₃	$\overline{D_3}$
0	1	0	0	D ₄	$\overline{D_4}$
0	1	0	1	D ₅	$\overline{D_5}$
0	1	1	0	D ₆	$\overline{D_6}$
0	1	1	1	D ₇	$\overline{D_7}$



22. 逻辑电路图及 A 、 B 、 C 的波形如图所示，设 Q 的初始状态为 0。（1）写出 JK 触发器的特性方程；（2）试画出 Q 的波形。



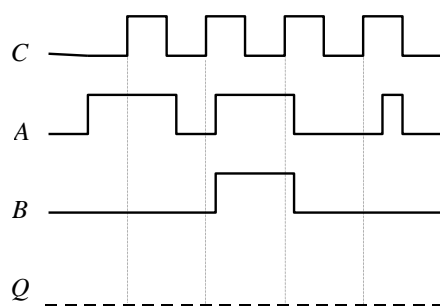
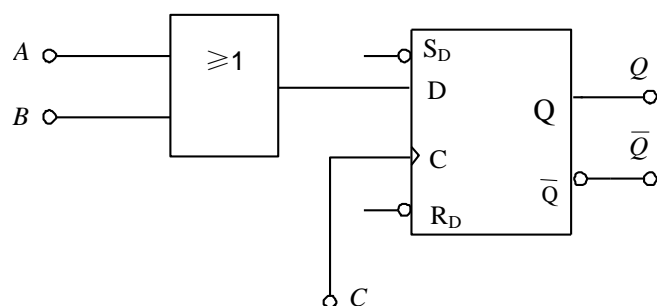
23. 分析图示计数器电路是多少进制的计数器。74LS160 是十进制的计数器，其功能表如下所示。



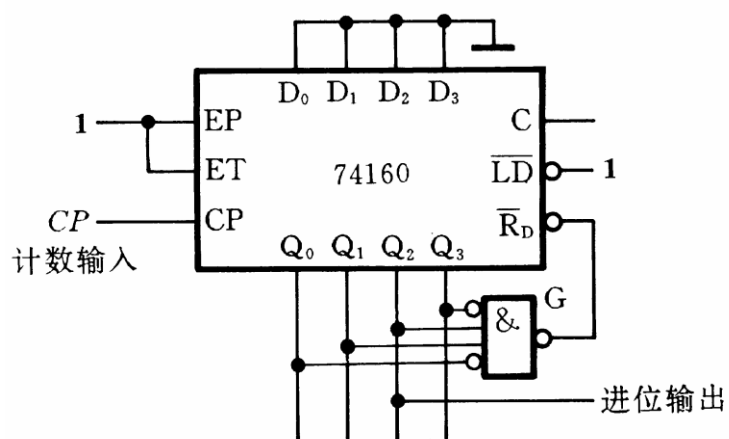
74LS160的功能表

CP	$\overline{R_D}$	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
\lceil	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
\lceil	1	1	1	1	计数

24. 已知逻辑电路图及 C 、 A 、 B 波形，设 Q 的初始状态为“0”。(1) 试写出 D 触发器的特性方程；(2) 画出输出 Q 的波形。



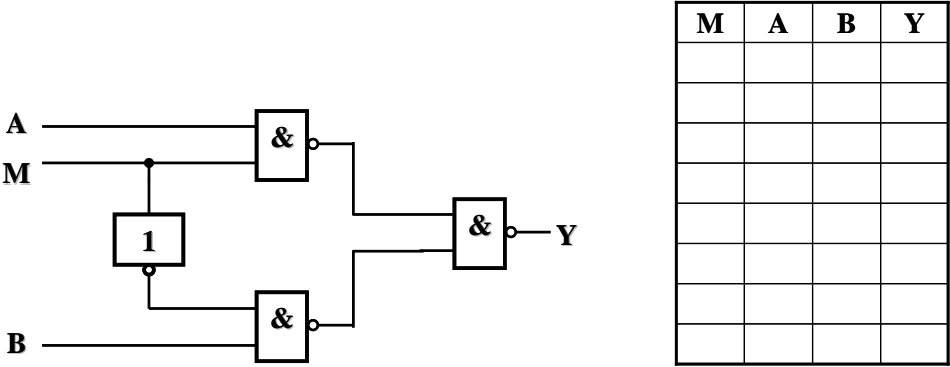
25. 分析图示计数器电路是多少进制的计数器，并指出电路是采用置零法还是置数法。74LS160 是十进制的计数器，其功能表如下所示。（10 分）



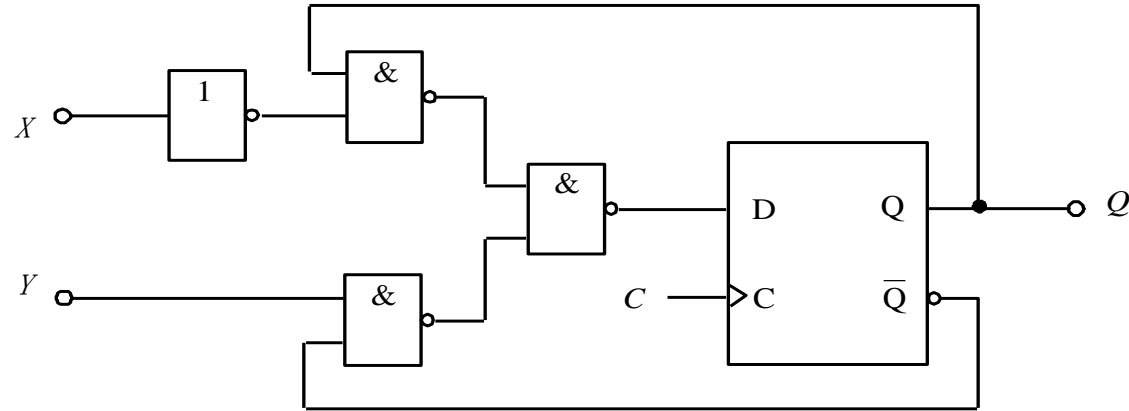
74LS160的功能表

CP	$\overline{R_D}$	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
	1	1	1	1	计数

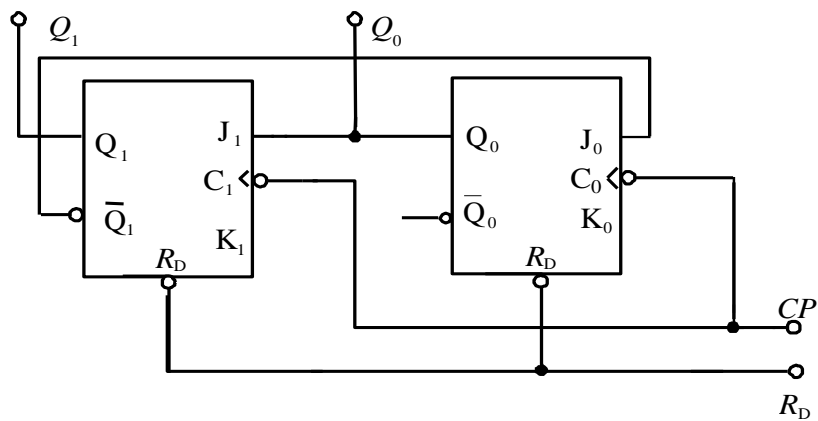
26. 逻辑电路如图所示，试写出逻辑式，并化简之，列出状态表，并说明它的逻辑功能。



27. 由 D 触发器和门电路构成的逻辑电路如图所示，输入为 X, Y, 输出为 Q。试写出输出的表达式，并问：哪一种触发器（RS 触发器、JK 触发器）与此电路功能相同？



28. 试画出如下所示逻辑电路图的波形图，设 Q_0 ， Q_1 的初始状态均为“0”。（1）写出电路的驱动方程、状态方程，画出电路的状态转换图；（2）指出电路的功能，说明电路能否自启动。



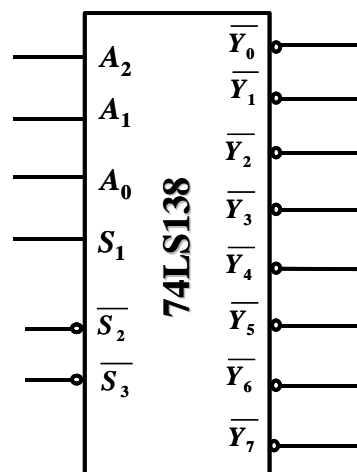
29. 用 74LS138 设计一个二进制数全减器电路（包括低位的借位）。74LS138 的逻辑符号和功能表如图所示。设 A_i 为被减数， B_i 为减数， C_{i-1} 为低位的借位， D_i 为本位差， C_i 为向高位的借位。提示：全减器的真值表如下。

74LS138的功能表

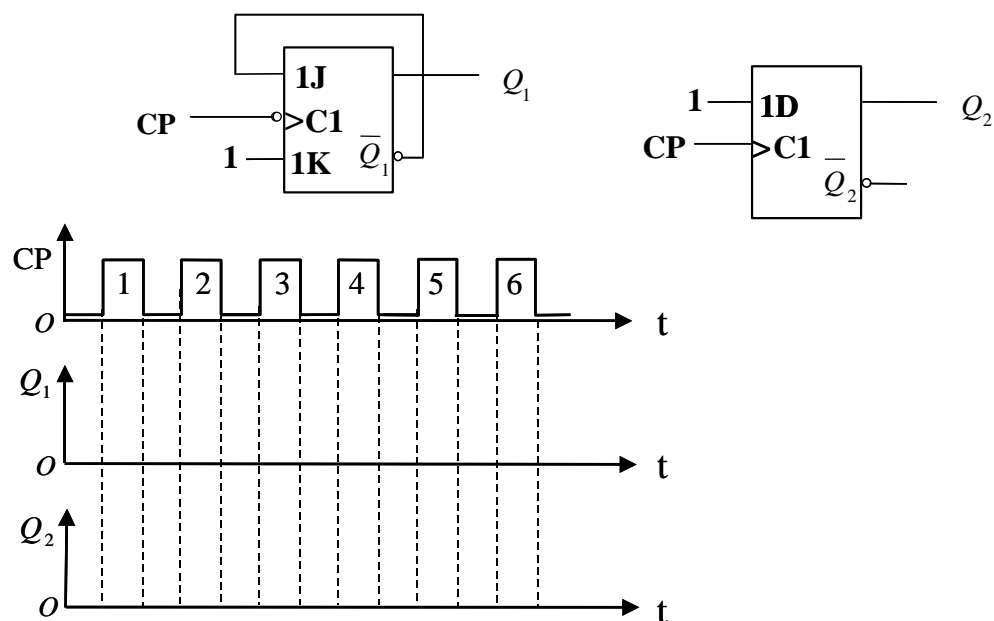
输入					输出							
S_1	$\overline{S_2} + \overline{S_3}$	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

注：画电路图时，在已有的逻辑符号图上添加即可。

A_i	B_i	C_{i-1}	D_i	C_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1



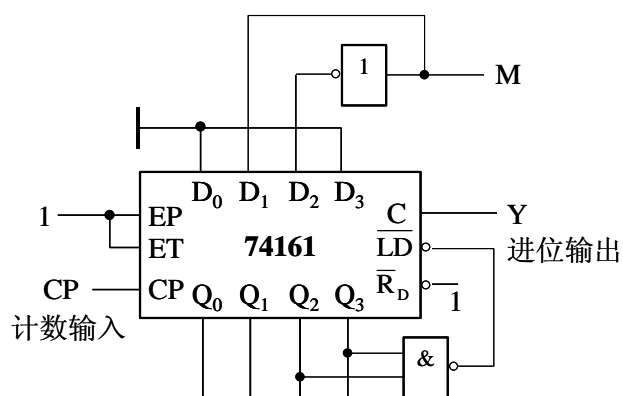
30. 如图所示，设两触发器输出 Q_1 、 Q_2 的初始状态皆为 0。(1) 试分别写出 JK 触发器和 D 触发器的特性方程；(2) 试画出在 CP 信号连续作用下两触发器输出 Q_1 、 Q_2 的电压波形。



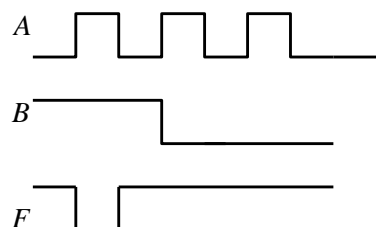
31. 由 74LS161 构成的计数器电路如下图所示，试分析：(1) $M=1$ 时，电路为几进制的计数器？(2) $M=0$ 时，电路又为几进制的计数器？74LS161 的功能见下表。

74161/74LS161的功能表

CP	$\overline{R_D}$	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
	1	1	1	1	计数



32. 已知某逻辑电路图的输入 A 、 B 及输出 F 的波形如图所示，试列出状态表，写出逻辑式、画出逻辑图。（10分）

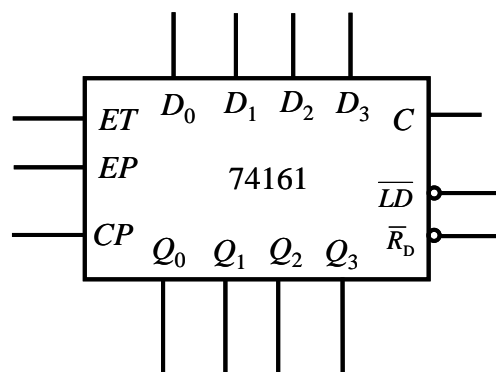


33. 已知某译码器的状态表，试写出其逻辑表达式；画出用“与非”门实现的逻辑图。

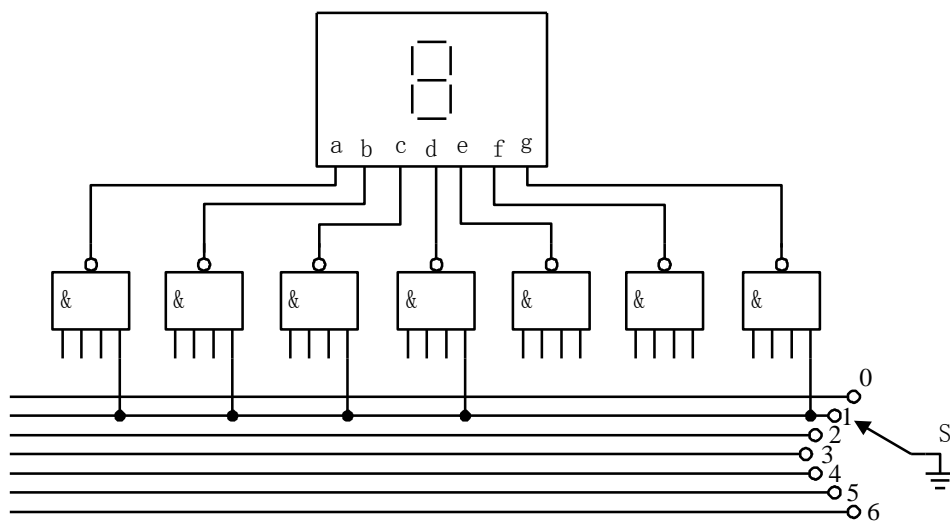
输 入		输 出			
A	B	F_3	F_2	F_1	F_0
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

74LS160的功能表

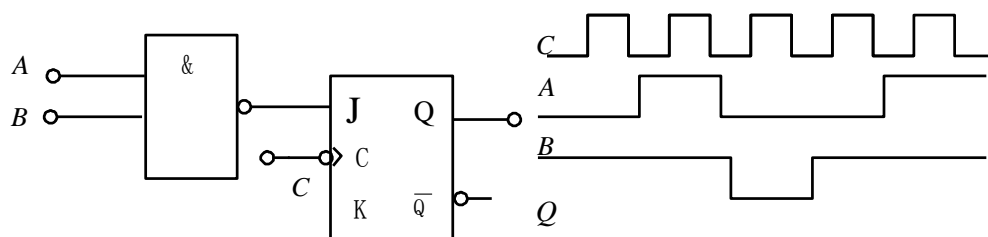
CP	\overline{R}_D	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
	1	1	1	1	计数



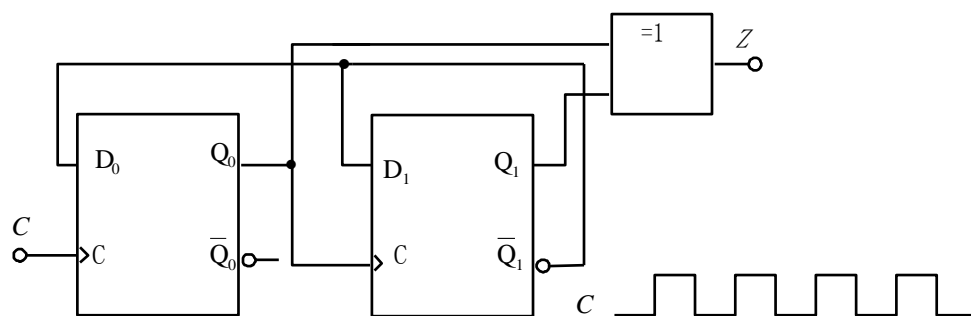
36. 逻辑电路如图所示，当开关 S 拨在“1”位时，七段共阴极显示器显示何种字符（未与开关 S 相连的各“与非”门输入端均悬空）。



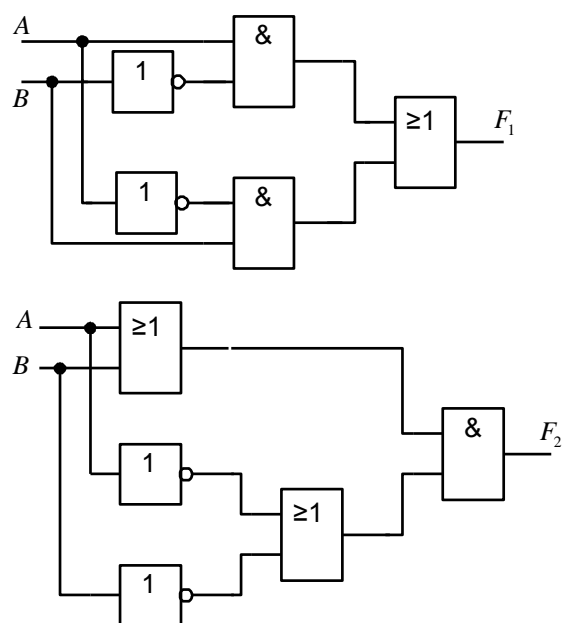
37. 逻辑电路图及 A , B , C 的波形如图所示，设 Q 的初始状态为“0”，试画出 Q 的波形。



38. 已知逻辑电路图和 C 脉冲波形如图所示，试写出 Z 的逻辑式，列出 Q_0 、 Q_1 、 Z 的状态表（设 Q_0 、 Q_1 初始状态均为“0”）。

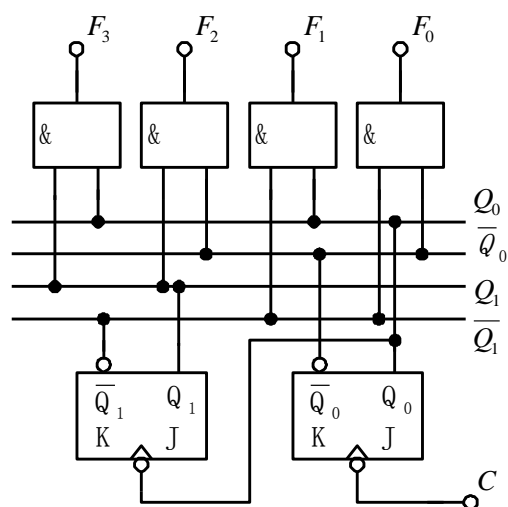


39. 逻辑电路如图所示，试用逻辑代数证明两图具有相同的逻辑功能。

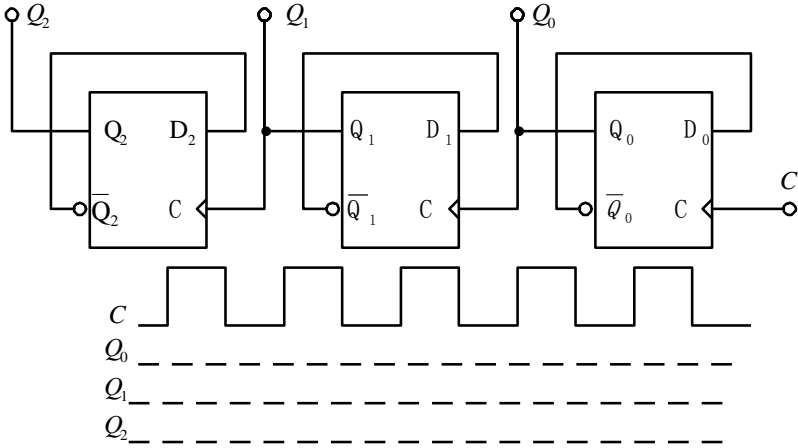


40. 有 3 台电动机 A 、 B 、 C ，正常情况下必须有两台开机，而且只允许两台开机，但是 B 和 C 两台电动机不能同时开机。若用指示灯 F 显示工作情况正常，列出真值表，写出 F 的逻辑表达式并化简，画出用门电路实现的逻辑图。

41. 逻辑电路如图所示，图中 Q_0 、 Q_1 为 J、K 悬空时的触发器输出，其初始状态均为“0”，若 C 端有 4 个计数脉冲依次作用，试列出四个“与”门输出 F_0 ， F_1 ， F_2 ， F_3 的状态表。（10 分）

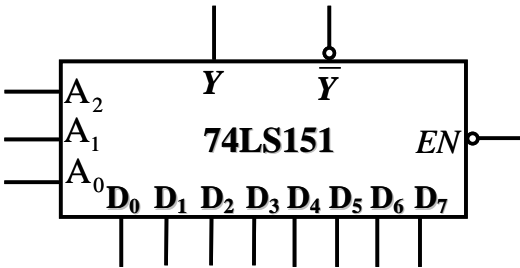


42. 逻辑电路如图所示，若各触发器的初始状态为“1”，已知 C 脉冲波形，试画出输出 Q_0 ， Q_1 及 Q_2 的波形，并说明它属何种类型计数器（计数器的类型是指几进制，同步还是异步，加法还是减法）。

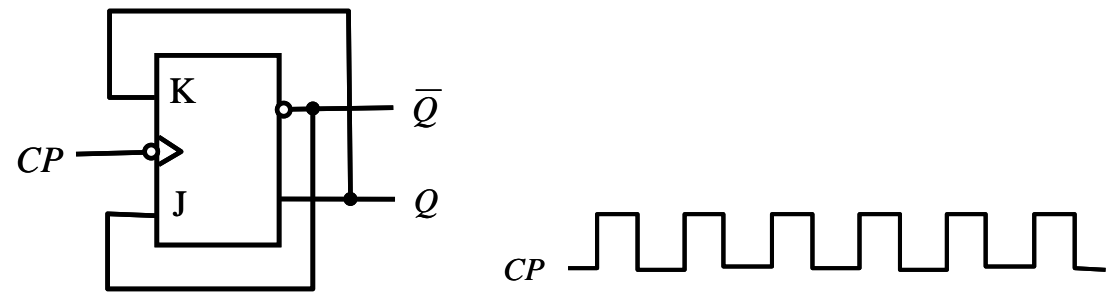


43. 用 74LS151 实现逻辑函数 $L = (A \oplus B)C$ 。74LS151 的逻辑符号和功能表如图所示。 注：画电路图时，在已有的逻辑符号图上添加即可。

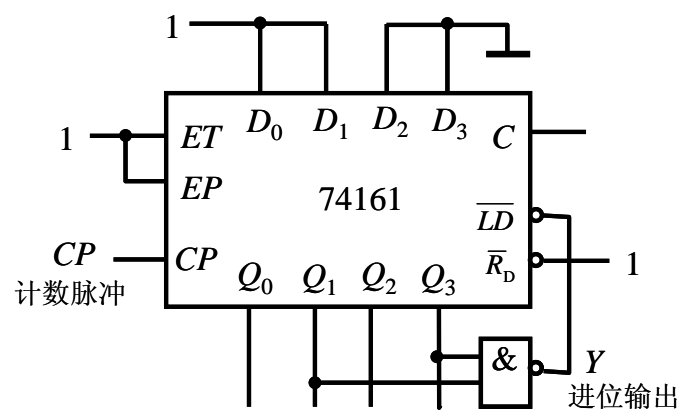
输入				输出	
EN	A ₂	A ₁	A ₀	Y	\overline{Y}
1	×	×	×	0	1
0	0	0	0	D ₀	$\overline{D_0}$
0	0	0	1	D ₁	$\overline{D_1}$
0	0	1	0	D ₂	$\overline{D_2}$
0	0	1	1	D ₃	$\overline{D_3}$
0	1	0	0	D ₄	$\overline{D_4}$
0	1	0	1	D ₅	$\overline{D_5}$
0	1	1	0	D ₆	$\overline{D_6}$
0	1	1	1	D ₇	$\overline{D_7}$



44. 电路如图所示，设触发器的初始状态为 0 态。（1）写出 JK 触发器的特性方程；（2）试画出触发器在时钟脉冲 CP 作用下 Q 端的波形。



45. 分析图示计数器电路，画出电路的状态转换图，说明这是多少进制的计数器。74LS161 是十六进制的计数器，其功能表如下所示。



74LS161的功能表

CP	\overline{R}_D	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
\downarrow	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
\downarrow	1	1	1	1	计数

46. 已知逻辑函数 $Y = \sum m(3, 5, 7, 11, 13, 15)$ ，要求：（1）填写函数 Y 的卡诺图；（2）用卡诺图将函数 Y 化为最简，并写出化简结果。

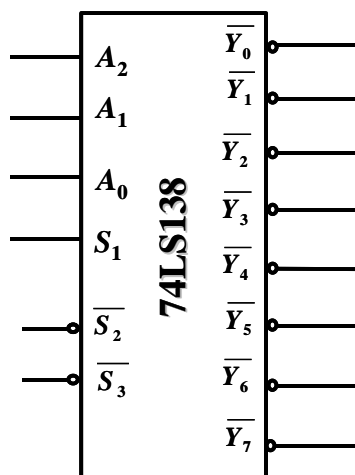
A \ BC	BC			
	00	01	11	10
0				
1				

47. 分别将函数 $Y_1 = AC$ 和 $Y_2 = \overline{A}\overline{B}C + \overline{A}B\overline{C} + BC$ 化为最小项表达式，并用 74LS138 实现。74LS138 的逻辑符号和功能表如图所示。

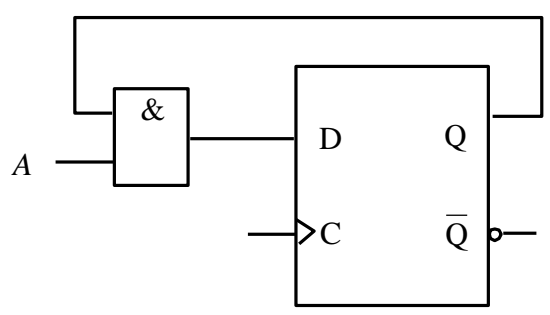
74LS138的功能表

输入					输出							
S_1	$\overline{S_2} + \overline{S_3}$	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

注：画电路图时，在已有的逻辑符号图上添加即可。



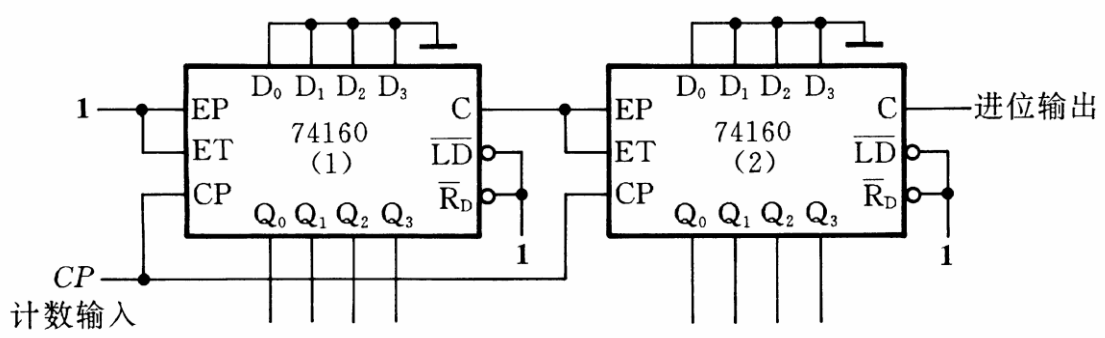
48. 逻辑电路如图所示，写出 D 触发器的特性方程，并分析在 A=0 和 A=1 两种情况下 D 触发器具有何种功能（计数、置 0、置 1、保持）。



49. 由 74LS160 构成的计数器电路如下图所示，问两片之间采取何种连接方式（串行进位、并行进位、整体置零、整体置数）？并分析电路为几进制的计数器。74LS160 是十进制计数器，其功能如下。

74LS160的功能表

CP	$\overline{R_D}$	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
\square	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
\square	1	1	1	1	计数



50. 用代数法求函数 $F(A,B,C)=AB+AC+\overline{B}\cdot\overline{C}+\overline{A}\cdot\overline{B}$ 的最简“与-或”表达式。

51. 用卡诺图化简逻辑函数

$$F(A, B, C, D)=\sum m(2, 3, 9, 11, 12)+\sum d(5, 6, 7, 8, 10, 13)$$

求出最简“与-或”表达式和最简“或-与”表达式。

CD \ AB	AB			
	00	01	11	10
00				
01				
11				
10				

52. 设计一个将一位十进制数的余 3 码转换成二进制数的组合电路，电路框图如图 3 所示。

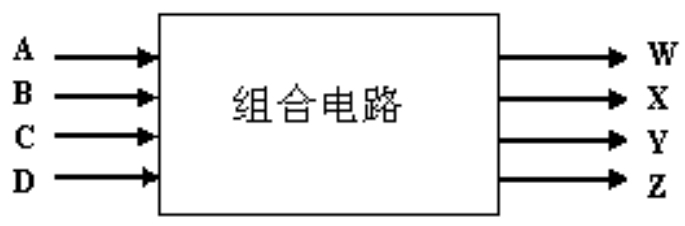


图 3

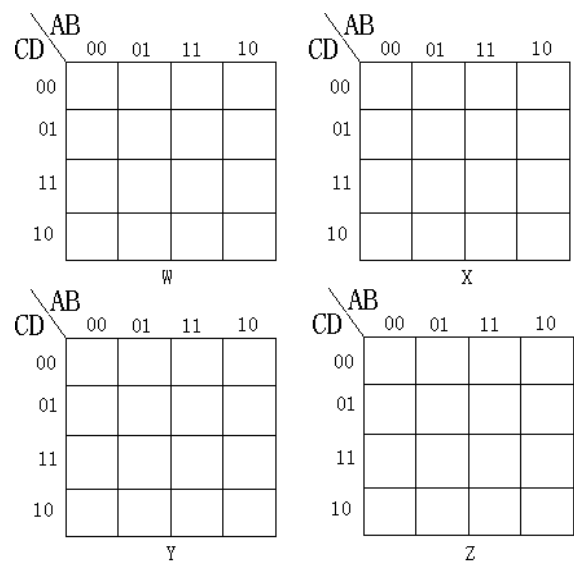
要求：

1. 填写表 1 所示真值表；

表 1

ABCD	WXYZ	ABCD	WXYZ
0000		1000	
0001		1001	
0010		1010	
0011		1011	
0100		1100	
0101		1101	
0110		1110	
0111		1111	

2. 利用图 4 所示卡诺图，求出输出函数最简与-或表达式；



53. 分析与设计

某同步时序逻辑电路如图 5 所示。

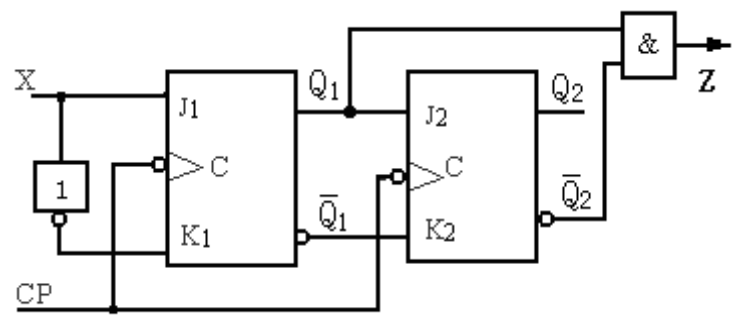


图 5

- (1) 写出该电路激励函数和输出函数；
- (2) 填写表 2 所示次态真值表；

表 2

输入	现态	激励函数	次态	输出
X	$Q_2 \ Q_1$	$J_2 \ K_2 \ J_1 \ K_1$	$Q_2^{(n+1)} \ Q_1^{(n+1)}$	Z

--	--	--	--	--

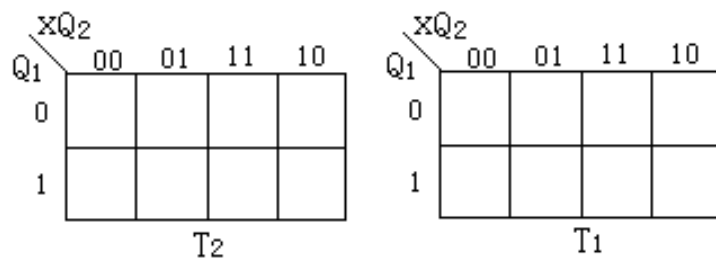


图 7

54. 分析与设计

某组合逻辑电路的芯片引脚图如图 9 所示。

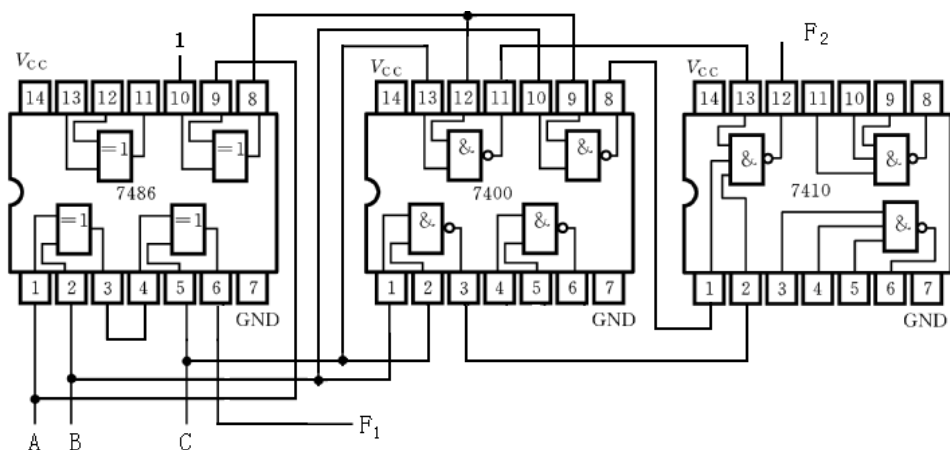
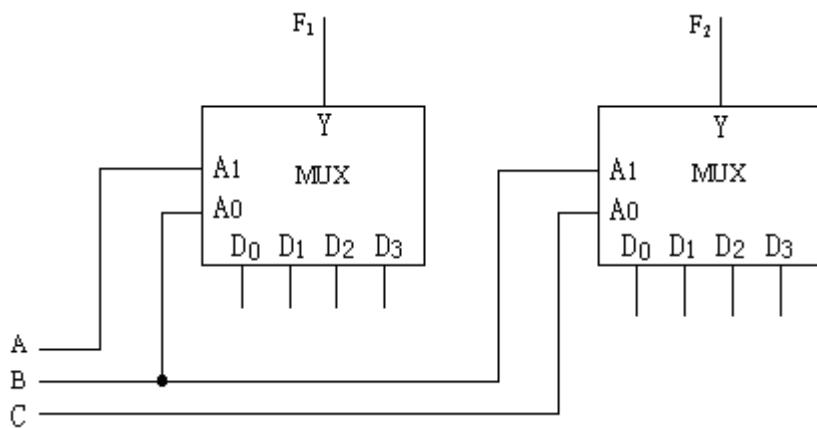
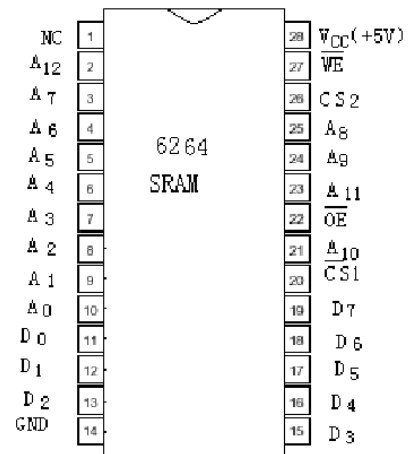


图 9

1. 分析图 9 所示电路，写出输出函数 F_1 、 F_2 的逻辑表达式，并说明该电路功能。
2. 假定用四路数据选择器实现图 9 所示电路的逻辑功能，请确定图 10 所示逻辑电路中各数据输入端的值，完善逻辑电路。



55. 集成电路的引脚图如下图所示，则此集成电路的型号是什么？地址线有多少根？数据线有多少根？总容量有多少？



《数字逻辑》习题案例

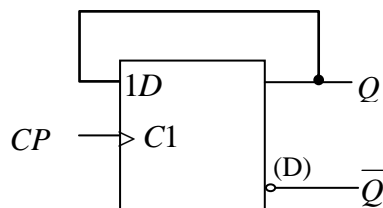
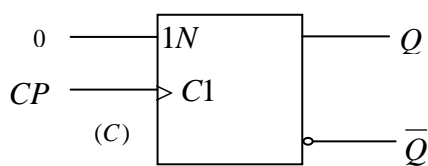
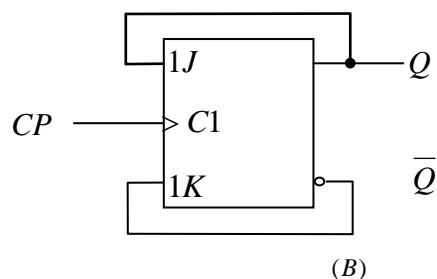
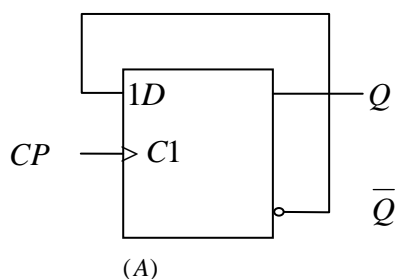
（计算机科学与技术专业、信息安全专业）

2004 年 7 月

计算机与信息学院、计算机系统结构教研室

一、选择题

- 十进制数 33 的余 3 码为_____。
A. 00110110 B. 110110 C. 01100110 D. 100100
- 二进制小数 -0.0110 的补码表示为_____。
A. 0.1010 B. 1.1001 C. 1.0110 D. 1.1010
- 两输入与非门输出为 0 时, 输入应满足_____。
A. 两个同时为 1 B. 两个同时为 0 C. 两个互为相反 D. 两个中至少有一个为 0
- 某 4 变量卡诺图中有 9 个“0”方格 7 个“1”方格, 则相应的标准与或表达式中共有多少个与项_____?
A. 9 B. 7 C. 16 D. 不能确定
- 下列逻辑函数中, 与 $F=A$ 相等的是_____。
(A) $F_1 = A \oplus 1$ (B) $F_2 = A \odot 1$ (C) $F_3 = \overline{A} \cdot 1$ (D) $F_4 = \overline{A+0}$
- 设计一个 6 进制的同步计数器, 需要_____个触发器。
(A) 3 (B) 4 (C) 5 (D) 6
- 下列电路中, 属于时序逻辑电路的是_____。
(A) 编码器 (B) 半加器 (C) 寄存器 (D) 译码器
- 列电路中, 实现逻辑功能 $Q^{n+1} = \overline{Q}^n$ 的是_____。



- _____的输出端可直接相连, 实现线与逻辑功能。
(A) 与非门 (B) 一般 TTL 门
(C) 集电极开路 OC 门 (D) 一般 CMOS 门
- 以下代码中为无权码的为_____。
A. 8421BCD 码 B. 5421BCD 码 C. 余三码 D. 格雷码
- 以下代码中为恒权码的为_____。
A. 8421BCD 码 B. 5421BCD 码 C. 余三码 D. 格雷码
- 一位十六进制数可以用_____位二进制数来表示。
A. 1 B. 2 C. 4 D. 16

13. 十进制数 25 用 8421BCD 码表示为_____。
- A. 10 101 B. 0010 0101 C. 100101 D. 10101
14. 在一个 8 位的存储单元中, 能够存储的最大无符号整数是_____。
- A. $(256)_{10}$ B. $(127)_{10}$ C. $(FF)_{16}$ D. $(255)_{10}$
15. 与十进制数 $(53.5)_{10}$ 等值的数或代码为_____。
- A. $(0101\ 0011.0101)_{8421BCD}$ B. $(35.8)_{16}$
C. $(110101.1)_2$ D. $(65.4)_8$
16. 矩形脉冲信号参数有_____。
- A. 周期 B. 占空比 C. 脉宽 D. 扫描期
17. 与八进制数 $(47.3)_8$ 等值的数为:
- A. $(100111.011)_2$ B. $(27.6)_{16}$
C. $(27.3)_{16}$ D. $(100111.11)_2$
18. 常用的 BCD 码有_____。
- A. 奇偶校验码 B. 格雷码 C. 8421 码 D. 余三码
19. 与模拟电路相比, 数字电路主要的优点有_____。
- A. 容易设计 B. 通用性强 C. 保密性好 D. 抗干扰能力强
20. n 个变量的最小项是_____。
- A. n 个变量的积项, 它包含全部 n 个变量
B. n 个变量的和项, 它包含全部 n 个变量
C. 每个变量都以原变量或者反变量的形式出现, 且仅出现一次。
D. n 个变量的和项, 它不包含全部变量。
21. 当描述同步时序电路的最简状态表中含有 () 个状态时, 需要两个触发器。
- A. 3 B. 4 C. 2 D. 5
22. 组合逻辑电路的结构特点, 表现为 ()。
- A. 有记忆功能 B. 有反馈回路 C. 不含记忆元件 D. 无反馈回路
23. 以下表达式中符合逻辑运算法则的是_____。
- A. $C \cdot C = C^2$ B. $1+1=10$ C. $0 < 1$ D. $A+1=1$
24. 逻辑变量的取值 1 和 0 可以表示:_____。
- A. 开关的闭合、断开 B. 电位的高、低 C. 真与假 D. 电流的有、无
25. 当逻辑函数有 n 个变量时, 共有_____个变量取值组合?
- A. n B. $2n$ C. n^2 D. 2^n
26. 逻辑函数的表示方法中具有唯一性的是_____。
- A. 真值表 B. 表达式 C. 逻辑图 D. 卡诺图
27. $F = A\bar{B} + BD + CDE + \bar{A}D =$ _____。

- A. $\overline{A}B + D$ B. $(A + \overline{B})D$ C. $(A + D)(\overline{B} + D)$ D. $(A + D)(B + \overline{D})$
28. 逻辑函数 $F = A \oplus (A \oplus B) =$ _____。
- A. B B. A C. $A \oplus B$ D. $\overline{A \oplus B}$
29. 求一个逻辑函数 F 的对偶式, 可将 F 中的_____。
- A. “ \cdot ” 换成 “+”, “+” 换成 “ \cdot ”
 B. 原变量换成反变量, 反变量换成原变量
 C. 变量不变
 D. 常数中 “0” 换成 “1”, “1” 换成 “0”
 E. 常数不变
30. $A + BC =$ _____。
- A. $A + B$ B. $A + C$ C. $(A + B)(A + C)$ D. $B + C$
31. 在 _____ 输入情况下, “与非” 运算的结果是逻辑 0。
- A. 全部输入是 0 B. 任一输入是 0 C. 仅一输入是 0 D. 全部输入是 1
32. 在 _____ 种输入情况下, “或非” 运算的结果是逻辑 0。
- A. 全部输入是 0 B. 全部输入是 1
 C. 任一输入为 0, 其他输入为 1 D. 任一输入为 1
33. 三态门输出高阻状态时, _____ 是正确的说法。
- A. 用电压表测量指针不动 B. 相当于悬空
 C. 电压不高不低 D. 测量电阻指针不动
34. 以下电路中可以实现 “线与” 功能的有_____。
- A. 与非门 B. 三态输出门 C. 集电极开路门 D. 漏极开路门
35. 以下电路中常用于总线应用的有_____。
- A. TSL 门 B. OC 门 C. 漏极开路门 D. CMOS 与非门
36. 逻辑表达式 $Y = AB$ 可以用 _____ 实现。
- A. 正或门 B. 正非门 C. 正与门 D. 负或门
37. TTL 电路在正逻辑系统中, 以下各种输入中 _____ 相当于输入逻辑 “1”。
- A. 悬空 B. 通过电阻 $2.7k\Omega$ 接电源
 C. 通过电阻 $2.7k\Omega$ 接地 D. 通过电阻 510Ω 接地
38. 对于 TTL 与非门闲置输入端的处理, 可以_____。
- A. 接电源 B. 通过电阻 $3k\Omega$ 接电源
 C. 接地 D. 与有用输入端并联
39. 要使 TTL 与非门工作在转折区, 可使输入端对地外接电阻 R_I _____。
- A. $> R_{ON}$ B. $< R_{OFF}$ C. $R_{OFF} < R_I < R_{ON}$ D. $> R_{OFF}$

40. 三极管作为开关使用时，要提高开关速度，可_____。
- A. 降低饱和深度 B. 增加饱和深度
C. 采用有源泄放回路 D. 采用抗饱和三极管
41. CMOS 数字集成电路与 TTL 数字集成电路相比突出的优点是_____。
- A. 微功耗 B. 高速度
C. 高抗干扰能力 D. 电源范围宽
42. 与 CT4000 系列相对应的国际通用标准型号为_____。
- A. CT74S 肖特基系列 B. CT74LS 低功耗肖特基系列
C. CT74L 低功耗系列 D. CT74H 高速系列
43. N 个触发器可以构成能寄存_____位二进制数码的寄存器。
- A. N-1 B. N C. N+1 D. 2^N
44. 在下列触发器中，有约束条件的是_____。
- A. 主从 JK F/F B. 主从 D F/F
C. 同步 RS F/F D. 边沿 D F/F
45. 一个触发器可记录一位二进制代码，它有_____个稳态。
- A. 0 B. 1 C. 2 D. 3 E. 4
46. 存储 8 位二进制信息要_____个触发器。
- A. 2 B. 3 C. 4 D. 8
47. 对于 T 触发器，若原态 $Q^n=0$ ，欲使新态 $Q^{n+1}=1$ ，应使输入 $T=$ _____。
- A. 0 B. 1 C. Q D. \bar{Q}
48. 对于 T 触发器，若原态 $Q^n=1$ ，欲使新态 $Q^{n+1}=1$ ，应使输入 $T=$ _____。
- A. 0 B. 1 C. Q D. \bar{Q}
49. 对于 D 触发器，欲使 $Q^{n+1}=Q^n$ ，应使输入 $D=$ _____。
- A. 0 B. 1 C. Q D. \bar{Q}
50. 对于 JK 触发器，若 $J=K$ ，则可完成_____触发器的逻辑功能。
- A. RS B. D C. T D. T'
51. 欲使 JK 触发器按 $Q^{n+1}=Q^n$ 工作，可使 JK 触发器的输入端_____。
- A. $J=K=0$ B. $J=Q, K=\bar{Q}$ C. $J=\bar{Q}, K=Q$ D. $J=Q, K=0$ E. $J=0, K=\bar{Q}$
52. 欲使 JK 触发器按 $Q^{n+1}=\bar{Q}^n$ 工作，可使 JK 触发器的输入端_____。
- A. $J=K=1$ B. $J=Q, K=\bar{Q}$ C. $J=\bar{Q}, K=Q$ D. $J=Q, K=1$ E. $J=1, K=Q$
53. 欲使 JK 触发器按 $Q^{n+1}=0$ 工作，可使 JK 触发器的输入端_____。
- A. $J=K=1$ B. $J=Q, K=Q$ C. $J=Q, K=1$ D. $J=0, K=1$ E. $J=K=1$
54. 欲使 JK 触发器按 $Q^{n+1}=1$ 工作，可使 JK 触发器的输入端_____。
- A. $J=K=1$ B. $J=1, K=0$ C. $J=K=\bar{Q}$ D. $J=K=0$ E. $J=\bar{Q}, K=0$

55. 欲使 D 触发器按 $Q^{n+1} = \bar{Q}^n$ 工作, 应使输入 $D =$ _____。
- A. 0 B. 1 C. Q D. \bar{Q}
56. 下列触发器中, 克服了空翻现象的有 _____。
- A. 边沿 D 触发器 B. 主从 RS 触发器
C. 同步 RS 触发器 D. 主从 JK 触发器
57. 下列触发器中, 没有约束条件的是 _____。
- A. 基本 RS 触发器 B. 主从 RS 触发器
C. 同步 RS 触发器 D. 边沿 D 触发器
58. 描述触发器的逻辑功能的方法有 _____。
- A. 状态转换真值表 B. 特性方程
C. 状态转换图 D. 状态转换卡诺图
59. 为实现将 JK 触发器转换为 D 触发器, 应使 _____。
- A. $J=D, K=\bar{D}$ B. $K=D, J=\bar{D}$ C. $J=K=D$ D. $J=K=\bar{D}$
60. 边沿式 D 触发器是一种 _____ 稳态电路。
- A. 无 B. 单 C. 双 D. 多
61. 下列表达式中不存在竞争冒险的有 _____。
- A. $Y = \bar{B} + AB$ B. $Y = AB + \bar{B}C$ C. $Y = AB\bar{C} + AB$ D. $Y = (A + \bar{B})A\bar{D}$
62. 若在编码器中有 50 个编码对象, 则要求输出二进制代码位数为 _____ 位。
- A. 5 B. 6 C. 10 D. 50
63. 一个 16 选一的数据选择器, 其地址输入 (选择控制输入) 端有 _____ 个。
- A. 1 B. 2 C. 4 D. 16
64. 下列各函数等式中无冒险现象的函数式有 _____。
- A. $F = \bar{B}\bar{C} + AC + \bar{A}B$ B. $F = \bar{A}\bar{C} + BC + \bar{A}\bar{B}$ C. $F = \bar{A}\bar{C} + BC + \bar{A}B + \bar{A}\bar{B}$
D. $F = \bar{B}\bar{C} + AC + \bar{A}B + BC + \bar{A}B + \bar{A}\bar{C}$ E. $F = \bar{B}\bar{C} + AC + \bar{A}B + \bar{A}\bar{B}$
65. 函数 $F = \bar{A}C + AB + \bar{B}C$, 当变量的取值为 _____ 时, 将出现冒险现象。
- A. $B=C=1$ B. $B=C=0$ C. $A=1, C=0$ D. $A=0, B=0$
66. 四选一数据选择器的数据输出 Y 与数据输入 X_i 和地址码 A_i 之间的逻辑表达式为 $Y =$ _____。
- A. $\bar{A}_1\bar{A}_0X_0 + \bar{A}_1A_0X_1 + A_1\bar{A}_0X_2 + A_1A_0X_3$ B. $\bar{A}_1\bar{A}_0X_0$
C. $\bar{A}_1A_0X_1$ D. $A_1A_0X_3$
67. 一个 8 选一数据选择器的数据输入端有 _____ 个。
- A. 1 B. 2 C. 3 D. 4 E. 8

68. 在下列逻辑电路中，不是组合逻辑电路的有_____。
- A. 译码器 B. 编码器 C. 全加器 D. 寄存器
69. 八路数据分配器，其地址输入端有_____个。
- A. 1 B. 2 C. 3 D. 4 E. 8
70. 组合逻辑电路消除竞争冒险的方法有_____。
- A. 修改逻辑设计 B. 在输出端接入滤波电容
C. 后级加缓冲电路 D. 屏蔽输入信号的尖峰干扰
71. 101 键盘的编码器输出_____位二进制代码。
- A. 2 B. 6 C. 7 D. 8
72. 用三线-八线译码器 74LS138 实现原码输出的 8 路数据分配器，应_____。
- A. $ST_A=1, \overline{ST_B}=D, \overline{ST_C}=0$ B. $ST_A=1, \overline{ST_B}=D, \overline{ST_C}=D$
C. $ST_A=1, \overline{ST_B}=0, \overline{ST_C}=D$ D. $ST_A=D, \overline{ST_B}=0, \overline{ST_C}=0$
73. 以下电路中，加以适当辅助门电路，_____适于实现单输出组合逻辑电路。
- A. 二进制译码器 B. 数据选择器
C. 数值比较器 D. 七段显示译码器
74. 用四选一数据选择器实现函数 $Y = A_1A_0 + \overline{A_1}A_0$ ，应使_____。
- A. $D_0=D_2=0, D_1=D_3=1$ B. $D_0=D_2=1, D_1=D_3=0$
C. $D_0=D_1=0, D_2=D_3=1$ D. $D_0=D_1=1, D_2=D_3=0$
75. 用三线-八线译码器 74LS138 和辅助门电路实现逻辑函数 $Y = A_2 + \overline{A_2}A_1$ ，应_____。
- A. 用与非门， $Y = \overline{\overline{Y_0Y_4Y_5Y_7}}$ B. 用与门， $Y = \overline{Y_2Y_3}$
C. 用或门， $Y = \overline{Y_2} + \overline{Y_3}$ D. 用或门， $Y = \overline{Y_0} + \overline{Y_1} + \overline{Y_4} + \overline{Y_5} + \overline{Y_6} + \overline{Y_7}$
76. 同步计数器和异步计数器比较，同步计数器的显著优点是_____。
- A. 工作速度高 B. 触发器利用率高
C. 电路简单 D. 不受时钟 CP 控制。
77. 把一个五进制计数器与一个四进制计数器串联可得到_____进制计数器。
- A. 4 B. 5 C. 9 D. 20
78. 下列逻辑电路中为时序逻辑电路的是_____。
- A. 变量译码器 B. 加法器 C. 数码寄存器 D. 数据选择器
79. N 个触发器可以构成最大计数长度（进制数）为_____的计数器。
- A. N B. $2N$ C. N^2 D. 2^N

80. N 个触发器可以构成能寄存_____位二进制数码的寄存器。
A. N-1 B. N C. N+1 D. 2N
81. 五个 D 触发器构成环形计数器，其计数长度为_____。
A. 5 B. 10 C. 25 D. 32
82. 同步时序电路和异步时序电路比较，其差异在于后者_____。
A. 没有触发器 B. 没有统一的时钟脉冲控制
C. 没有稳定状态 D. 输出只与内部状态有关
83. 一位 8421BCD 码计数器至少需要_____个触发器。
A. 3 B. 4 C. 5 D. 10
84. 欲设计 0, 1, 2, 3, 4, 5, 6, 7 这几个数的计数器，如果设计合理，采用同步二进制计数器，最少应使用_____级触发器。
A. 2 B. 3 C. 4 D. 8
85. 8 位移位寄存器，串行输入时经_____个脉冲后，8 位数码全部移入寄存器中。
A. 1 B. 2 C. 4 D. 8
86. 用二进制异步计数器从 0 做加法，计到十进制数 178，则最少需要_____个触发器。
A. 2 B. 6 C. 7 D. 8 E. 10
87. 某电视机水平-垂直扫描发生器需要一个分频器将 31500Hz 的脉冲转换为 60Hz 的脉冲，欲构成此分频器至少需要_____个触发器。
A. 10 B. 60 C. 525 D. 31500
88. 某移位寄存器的时钟脉冲频率为 100KHz，欲将存放在该寄存器中的数左移 8 位，完成该操作需要_____时间。
A. 10μs B. 80μs C. 100μs D. 800ms
89. 若用 JK 触发器来实现特性方程为 $Q^{n+1} = \bar{A}Q^n + AB$ ，则 JK 端的方程为_____。
A. $J=AB, K=\overline{A+B}$ B. $J=AB, K=\overline{AB}$ C. $J=\overline{A+B}, K=AB$ D. $J=\overline{AB}, K=AB$
90. 要产生 10 个顺序脉冲，若用四位双向移位寄存器 CT74LS194 来实现，需要_____片。
A. 3 B. 4 C. 5 D. 10
91. 若要设计一个脉冲序列为 1101001110 的序列脉冲发生器，应选用_____个触发器。
A. 2 B. 3 C. 4 D. 10
92. PROM 和 PAL 的结构是_____。
A. PROM 的与阵列固定，不可编程

- B. PROM 与阵列、或阵列均不可编程
C. PAL 与阵列、或阵列均可编程
D. PAL 的与阵列可编程
93. 当用专用输出结构的 PAL 设计时序逻辑电路时，必须还要具备有_____。
- A. 触发器 B. 晶体管 C. MOS 管 D. 电容
94. 当用异步 I/O 输出结构的 PAL 设计逻辑电路时，它们相当于_____。
- A. 组合逻辑电路 B. 时序逻辑电路
B. C. 存储器 D. 数模转换器
95. PLD 器件的基本结构组成有_____。
- A. 与阵列 B. 或阵列 C. 输入缓冲电路 D. 输出电路
96. PLD 器件的主要优点有_____。
- A. 便于仿真测试 B. 集成密度高 C. 可硬件加密 D. 可改写
97. GAL 的输出电路是_____。
- A. OLMC B. 固定的 C. 只可一次编程 D. 可重复编程
98. PLD 开发系统需要有_____。
- A. 计算机 B. 编程器 C. 开发软件 D. 操作系统
99. 只可进行一次编程的可编程器件有_____。
- A. PAL B. GAL C. PROM D. PLD
100. 可重复进行编程的可编程器件有_____。
- A. PAL B. GAL C. PROM D. ISP-PLD

二、填空题

- 十六进制数 3A.B 对应的八进制数是_____。
- 十进制数 7.125 对应的二进制数是_____。
- 要使异或门输出为 0，必须令两个输入_____。
- n 个变量的全部最小项相“或”为_____。
- 逻辑函数 $F = AB + \overline{A}\overline{B}$ 的对偶函数 $F' =$ _____。
- 一个门电路的输出端所能连接的下一级门电路输入端的个数称为该门电路的_____。
- 时序逻辑电路中，输出信号仅是当前状态的函数，而与_____无关的电路称为 Moore（摩尔）型时序电路。
- 一个由 n 变量构成的最小项有_____个相邻最小项
- 一个 8 路数据选择器有_____个输入选择控制端。
- 构造一个同步模 8 计数器需要_____个触发器。
- $(48)_{10} = (\quad)_{16} = (\quad)_2$ 。
- 集成触发器三种结构：_____、_____的

- 和_____。
13. 函数 $F = (A \oplus D)\overline{B} + C$ 的反函数 $\overline{F} =$ _____。
 14. 时序逻辑电路的功能表示方法有：_____、_____、和_____。
 15. N 级环形计数器的计数长度是_____，N 级扭环计数器的计数长度是_____。
 16. 寄存器按照功能不同可分为两类：_____寄存器和_____寄存器。
 17. 数字电路按照是否有记忆功能通常可分为两类：_____、_____。
 18. 由四位移位寄存器构成的顺序脉冲发生器可产生_____个顺序脉冲。
 19. 时序逻辑电路按照其触发器是否有统一的时钟控制分为_____时序电路和_____时序电路。
 20. 触发器有_____个稳态，存储 8 位二进制信息要_____个触发器。
 21. 一个基本 RS 触发器在正常工作时，它的约束条件是 $\overline{R} + \overline{S} = 1$ ，则它不允许输入 $\overline{S} =$ _____且 $\overline{R} =$ _____的信号。
 22. 触发器有两个互补的输出端 Q、 \overline{Q} ，定义触发器的 1 状态为_____，0 状态为_____，可见触发器的状态指的是_____端的状态。
 23. 一个基本 RS 触发器在正常工作时，不允许输入 R=S=1 的信号，因此它的约束条件是_____。
 24. 在一个 CP 脉冲作用下，引起触发器两次或多次翻转的现象称为触发器的_____，触发方式为_____式或_____式的触发器不会出现这种现象。
 25. 逻辑代数又称为_____代数。最基本的逻辑关系有_____、_____、三种。常用的几种导出的逻辑运算为_____、_____、_____、_____、_____。
 26. 逻辑函数的常用表示方法有_____、_____、_____。
 27. 逻辑代数中与普通代数相似的定律有_____、_____、_____。摩根定律又称为_____。
 28. 逻辑代数的三个重要规则是_____、_____、_____。
 29. 逻辑函数 $F = \overline{A} + B + \overline{C}D$ 的反函数 $\overline{F} =$ _____。
 30. 逻辑函数 $F = A(B+C) \cdot 1$ 的对偶函数是_____。
 31. 添加项公式 $AB + \overline{A}C + BC = AB + \overline{A}C$ 的对偶式为_____。
 32. 逻辑函数 $F = \overline{A}\overline{B}\overline{C}\overline{D} + A + B + C + D =$ _____。
 33. 逻辑函数 $F = \overline{AB} + \overline{AB} + \overline{AB} + \overline{AB} =$ _____。
 34. 已知函数的对偶式为 $\overline{AB} + \overline{CD} + \overline{BC}$ ，则它的原函数为_____。

35. 同一逻辑函数的两种逻辑表达式中的最大项 M_i 与最小项 m_i 之间的关系有 $M_i = \underline{\hspace{1cm}}$, $M_i + m_i = \underline{\hspace{1cm}}$ 。
36. 多变量异或运算时, 若 $X_1 \oplus X_2 \oplus \dots \oplus X_n = 0$, 则 $X_i = 1$ 的个数必为 $\underline{\hspace{1cm}}$ 数。(奇或偶)
37. 七段译码器的输入是 $\underline{\hspace{1cm}}$ 码。
38. 在多路复用器中, s 个输入用于选择 N 个数据源, 则 $s = \underline{\hspace{1cm}}$
39. 带使能输入的 $\underline{\hspace{1cm}}$ 可以用做多路分配器。
40. 若 JK 触发器 $Q^* = Q'$, 则输入 (J , K) = $\underline{\hspace{1cm}}$ 。如果用 D 触发器完成相同功能, 则 $D = \underline{\hspace{1cm}}$ 。
41. 时序电路又被称作有限状态机, 并且可以进一步划分为 $\underline{\hspace{1cm}}$ 机和 $\underline{\hspace{1cm}}$ 机。
42. $\underline{\hspace{1cm}}$ 方程将触发器的下一状态定义为触发器当前状态和输入的函数。
43. 一个具有 n 个触发器的机器中, 状态的总数为 $\underline{\hspace{1cm}}$ 。
44. 设计一个模 65 的同步计数器, 至少需要 $\underline{\hspace{1cm}}$ 个触发器。
45. 产生序列 11101000, 至少需要 $\underline{\hspace{1cm}}$ 个触发器。
46. 在状态图中, 只要包含有 $\underline{\hspace{1cm}}$ 的时序电路都可称为计数器。
47. 一个 $\underline{\hspace{1cm}}$ 触发器就是一个一位的二进制计数器。
48. 已知 m 序列信号发生器的反馈函数 $f(Q) = Q_3 \oplus Q_4$, 则其循环长度(序列长度) $S = \underline{\hspace{1cm}}$ 。
49. $F(A, B, C, D) = 1$, 其最小项表达式 $F = \sum m(\underline{\hspace{2cm}})$ 。
50. 函数 $F = \overline{A + \overline{AB} + A(C + D)}$, 其反函数 $\overline{F} = \underline{\hspace{2cm}}$; 对偶式 $F^* = \underline{\hspace{2cm}}$ 。
51. RAM 与 ROM 的区别是 $\underline{\hspace{2cm}}$ 。
52. 动态存储单元为不丢失信息, 必须 $\underline{\hspace{2cm}}$ 。
53. 将 D 触发器的 D 端连在 \overline{Q} 端上, 假设 $Q(t) = 0$, 则经过 100 个脉冲作用后, 它的次态 $Q(t+100)$ 为 $\underline{\hspace{2cm}}$ 。
54. 已知一个最长线性序列码发生器的反馈函数是 $F(Q) = Q_5 Q_6$, 试求: 序列码的长度 $S = \underline{\hspace{2cm}}$; 需用触发器的个数 $N = \underline{\hspace{2cm}}$ 。
55. RAM 的优点是 $\underline{\hspace{2cm}}$, $\underline{\hspace{2cm}}$; 缺点是 $\underline{\hspace{2cm}}$, 它是 $\underline{\hspace{2cm}}$ 存储器。
56. 由于 R-S 触发器有 $\underline{\hspace{2cm}}$ 个稳态, 因此它可记录 $\underline{\hspace{2cm}}$ 位二进制码。若存储一字节二进制信息, 需要 $\underline{\hspace{2cm}}$ 个触发器。
57. 组合电路与时序电路的主要区别: $\underline{\hspace{2cm}}$ 。
58. PAL 的与阵列 $\underline{\hspace{2cm}}$ 编程, 或阵列 $\underline{\hspace{2cm}}$ 编程。
59. 将逻辑函数 $F(A, B) = A \oplus B$ 化成最小项之和的标准形式:

$$F(A, B) = \sum m_i (i = \underline{\hspace{2cm}})$$
60. 三态门的输出端有三种可能出现的状态: $\underline{\hspace{1cm}}$ 、 $\underline{\hspace{1cm}}$ 和 $\underline{\hspace{1cm}}$ 。
61. 写出 T 触发器的特征方程: $\underline{\hspace{2cm}}$ 。
62. 衡量存储器性能的两个重要指标是 $\underline{\hspace{1cm}}$ 和 $\underline{\hspace{1cm}}$ 。
63. 与模拟信号相比, 数字信号的特点是它的 $\underline{\hspace{1cm}}$ 性。一个数字信号只有 $\underline{\hspace{1cm}}$ 种取值分别表示为 $\underline{\hspace{1cm}}$ 和 $\underline{\hspace{1cm}}$ 。
64. 布尔代数中有三种最基本运算: $\underline{\hspace{1cm}}$ 、 $\underline{\hspace{1cm}}$ 和 $\underline{\hspace{1cm}}$, 在此基础上又派生出四种基本运算, 分别为 $\underline{\hspace{1cm}}$ 、 $\underline{\hspace{1cm}}$ 、 $\underline{\hspace{1cm}}$ 和 $\underline{\hspace{1cm}}$ 。

65. EPROM 是_____可编程只读存储器, EEPROM 是_____可编程只读存储器。
66. FPGA 是指_____, 它是一种_____密度的可编程逻辑器件。
67. GAL 是指_____, ISP 是指_____。
68. 函数式 $F=AB+BC+CD$ 写成最小项之和的形式结果应为 Σm (_____), 写成最大项之积的形式结果应为 ΠM (_____)。
69. 判断下列逻辑运算说法是否正确。
- (1) 若 $X+Y=X+Z$, 则 $Y=Z$; ()
- (2) 若 $XY=XZ$, 则 $Y=Z$; ()
- (3) 若 $X \oplus Y=X \oplus Z$, 则 $Y=Z$; ()
70. 组合逻辑电路的特点是任意时刻的_____ 状态仅取决于该时刻的_____ 状态, 而与信号作用前电路的状态_____ 。
71. 组合逻辑电路在结构上不存在输出到输入的 _____, 因此_____ 状态不影响_____ 状态。
72. 数据分配器的结构与 _____ 相反, 它是一种 _____ 输入, _____ 输出的逻辑电路。从哪一路输出取决于_____ 。
73. 一个十六路数据选择器, 其地址输入端有 _____ 个。
74. 设 A_0 、 A_1 为四选一数据选择器的地址码, $X_0 \sim X_3$ 为数据输入, Y 为数据输出, 则输出 Y 与数据输入和地址码的关系为_____ 。
75. 描述触发器的逻辑功能的方法有_____ ; _____ ; _____ ;
76. 将基本 RS 触发器的 S 和 Q 、 R 和 \bar{Q} 端相连成新的触发器, 其特征方程是 _____。
77. 若 D 触发器的 D 端连在 \bar{Q} 端上, 经 100 个脉冲作用后, 其次态为 0, 则现为 _____。
78. SD 和 RD 为触发器的异步置 1 和置 0 端, 若触发器异步置 0, 须使 SD =_____, RD =_____, 而与_____ 和 _____ 无关。
79. 对于 JK 触发器, 若 $J=K$, 则可完成_____ 触发器的逻辑功能; 若 $K = J$, 则可完成_____ 触发器的逻辑功能。
80. 时序逻辑电路一般由_____ 和 _____ 两步分组成的。时序逻辑电路的特点是某一时刻的_____ 状态不仅取决于该时刻的_____, 而且与信号作用前电路的状态_____ 。
81. 时序逻辑电路在结构上存在输出到输入的_____, 因此, _____ 状态会影响 _____ 状态。
82. 时序逻辑电路分为两类: _____ 和 _____。其中_____ 有一个统一的时钟脉冲源, 存储电路里所有_____ 的状态变化, 都在同一个时钟脉冲 CP 作用下同时发生; 而 _____ 没有统一的时钟脉冲。
83. 时序逻辑电路中的存储电路受时钟控制的_____ 组成。
84. 同步时序逻辑电路中, 所有触发器状态的变化都是在_____ 操作下进行的; 异步时序逻辑电路中, 各触发器的时钟信号_____, 因而触发器状态的变化并不都是_____ 发生的, 而是_____ 。
85. 全面描述一时序逻辑电路的功能, 必须使用三个方程式。它们是 _____、_____、_____。
86. 为了把时序电路的逻辑功能直观、形象地显示出来, 有时需要把有输出方程、状态方程和控制方程表示的逻辑关系表示成_____、_____、或_____ 的形式。
87. 触发器有_____ 个稳定状态, 它可以记录 _____ 位二进制码, 存储 8 位二进制信息需要 _____ 个触发器。

88. 用来表示时序电路状态转换规律的输入、输出关系的有向图称为_____，计数器中有效状态的数目称为计数器的_____。
89. 模为2 的正整数次幂的二进制递增计数器，若从其反向输出端Q输出，则得同模计数器。
90. 计数器的功能是_____，它是用电路的_____来表示计数值。计数器的模是指_____。
91. 按计数进位制计数器可分为_____和_____两类。按进位方式计数器可分为_____和_____两类。按逻辑功能计数器可分为_____、_____和_____等。
92. 在各种寄存器中，存放N 位二进制数码需要_____个触发器。
93. 用反馈移位寄存器产生11101000 序列，至少需要_____个触发器。
94. n 级反馈移位寄存器的状态数是_____。
95. 有一个移位寄存器，高位在左，低位在右，欲将存放在该移位寄存器中的二进制数乘上十进制数4，则需将该移位寄存器中的数左移_____位，需要_____个移位脉冲。
96. 逻辑系统包括_____、_____和_____三部分组成。
97. 将一个包含有32768 个基本单元的存储电路设计成4096 个字节的RAM，则该RAM 有_____根数据线，_____根地址线。
98. 有一个容量为 256×4 位的RAM，该RAM 有_____个基本存储单元，该RAM 每次访问_____个基本存储单元，该RAM 有_____根地址线。
99. 将一个包含有16384 个基本单元的存储电路设计成8 位为一个字节的ROM，该ROM 有_____个地址，_____个数据读出线。
100. 半导体存储器从存取功能上可以分为_____存储器和_____存储器。存储器容量的扩展方式有_____和_____两种。

三、综合题。

1、用卡诺图法化简下列各式。

$$(1) F = \overline{AC} + \overline{ABC} + \overline{BC} + ABC$$

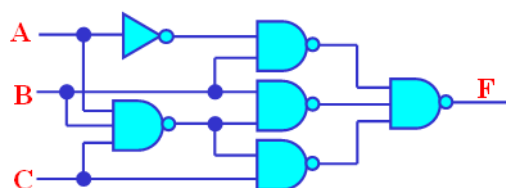
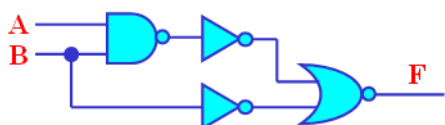
$$(2) F = \overline{ABCD} + \overline{ABC} \overline{D} + \overline{AB} + \overline{AD} + \overline{ABC}$$

2、利用与非门实现下列函数，并画出逻辑图。

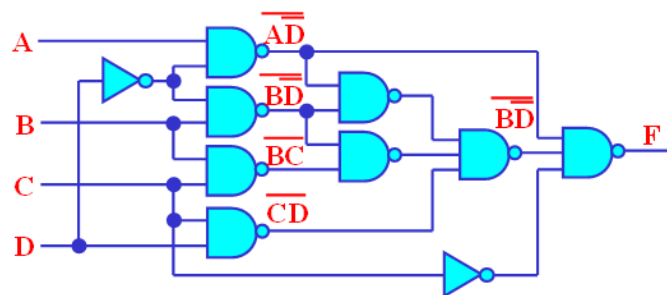
$$(1) F = \overline{ABC} + \overline{AB} \overline{C} = \overline{AC} = \overline{\overline{AC}}$$

$$(2) F = \overline{(A+B)(C+D)} = \overline{\overline{\overline{A} \overline{B} \overline{C} \overline{D}}}$$

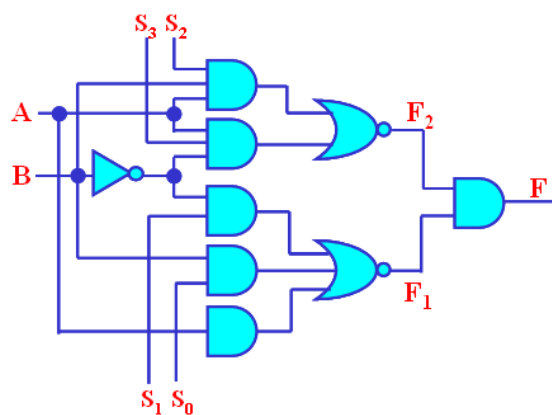
3、分析下图所示的逻辑电路，写出表达式并进行简化。



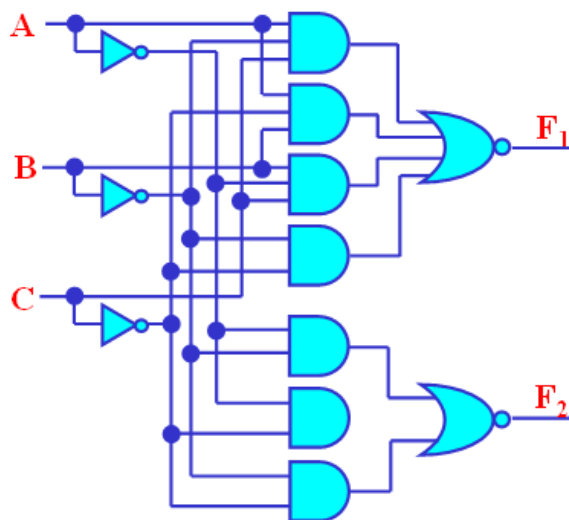
4、分析下图所示的逻辑电路，写出表达式并进行简化。



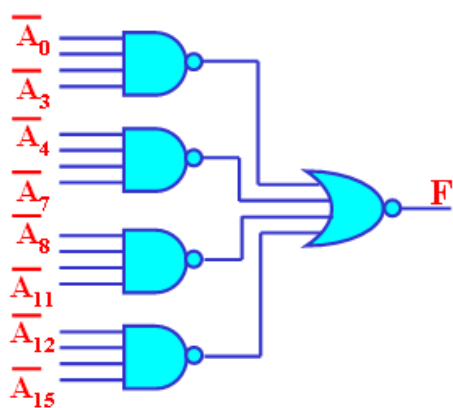
5、分析下图所示逻辑电路，其中 S_3 、 S_2 、 S_1 、 S_0 为控制输入端，列出真值表，说明 F 与 A 、 B 的关系。



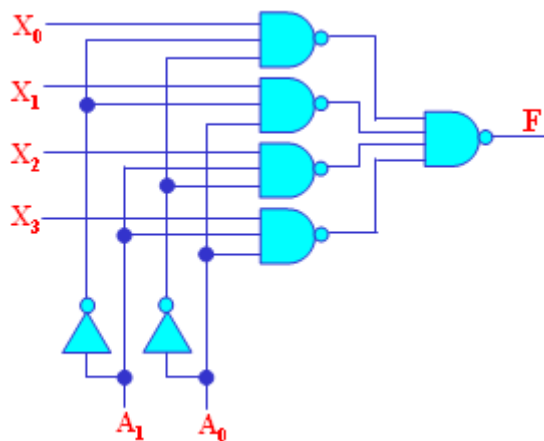
6、分析下图所示逻辑电路，列出真值表，说明其逻辑功能。



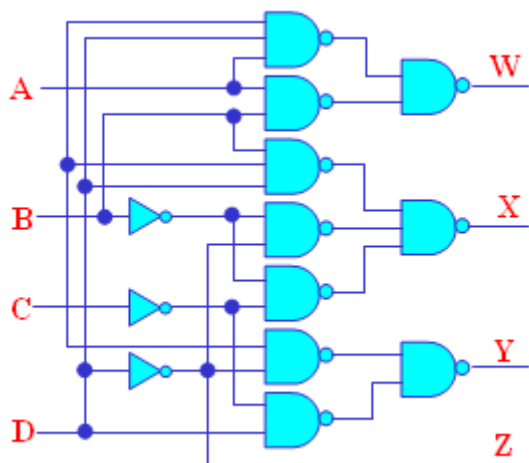
7、右图所示为数据总线上的一种判零电路，写出 F 的逻辑表达式，说明该电路的逻辑功能。



8、分析下图所示逻辑电路，列出真值表，说明其逻辑关系。



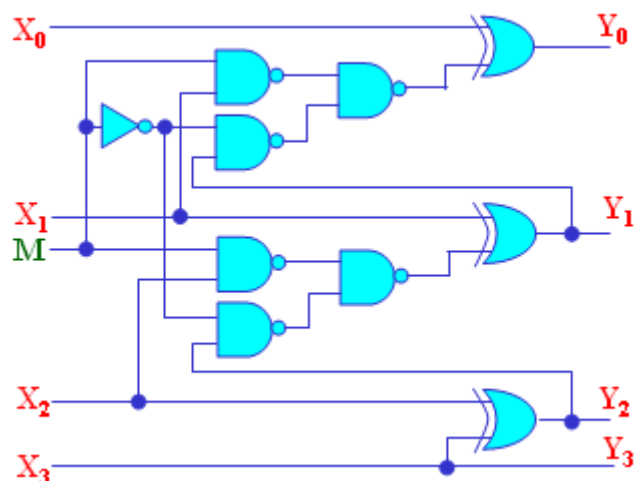
9、下图所示为两种十进制数代码转换器，输入为余三码，问：输出为什么代码？



10、下图是一个受 M 控制的 4 位二进制码和格雷码的相互转换电路。

$M=1$ 时，完成自然二进制码至格雷码转换；

$M=0$ 时，完成相反转换。请说明之。



11、在有原变量又有反变量的输入条件下，用与非门设计实现下列函数的组合电路：

(1) $F(A,B,C,D) = \sum (0,2,6,7,10,13,14,15)$

(2) $F(A,B,C,D) = \sum (2,4,5,6,7,10) + \phi (0,3,8,15)$

12、设输入既有原变量又有反变量，用与非门设计实现下列函数的多输出电路。

(1) $F(A,B,C,D) = \sum (2,4,5,6,7,10,13,14,15)$

(2) $F(A,B,C,D) = \sum (2,5,8,9,10,11,12,13,14,15)$

13、设输入既有原变量又有反变量，用或非门设计实现下列函数的组合电路：

(1) $F(A,B,C,D) = \sum (0,1,2,4,6,10,14,15)$

(2) $F(A,B,C,D) = \overline{\overline{A+B} + \overline{B+C}} \overline{AB}$

14、设输入只有原变量而无反变量，试用最少的三级与非门实现下列函数：

(1) $F(A,B,C,D) = \overline{AB} + \overline{AC} + \overline{AB}$

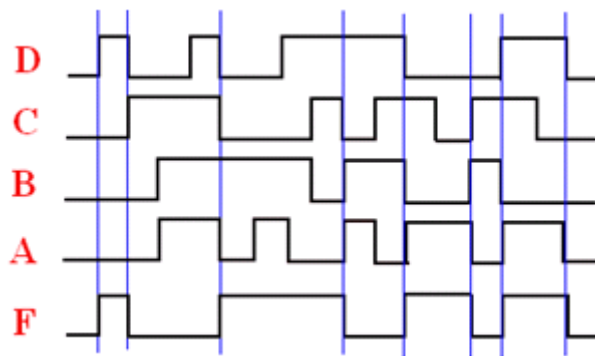
(2) $F(A,B,C,D) = \sum (1,2,5,6,8,9,10)$

15、设输入只有原变量没有反变量，试用或非门实现下列函数组合电路：

(1) $F(A,B,C,D) = (A+B+\overline{C})(A+\overline{B})(A+B+C)(\overline{B}+\overline{C})$

(2) $F(A,B,C,D) = \sum (0,1,5,7,10,11,12,13,14,15)$

16、已知输入信号 A, B, C, D 的波形如下图所示，选择适当的集成逻辑门电路，设计产生输出 F 波形的组合电路（输入无反变量）。



17、用红、黄、绿三个指示灯表示三台设备的工作情况：绿灯亮表示全部正常；红灯亮表示有一台不正常；黄灯亮表示有两台不正常；红、黄灯全亮表示三台都不正常。列出控制电路真值表，并选出合适的集成电路来实现。

18、用八选一数据选择器实现下列函数：

$$(1) F(A,B,C,D) = \Sigma (0,4,5,8,12,13,14)$$

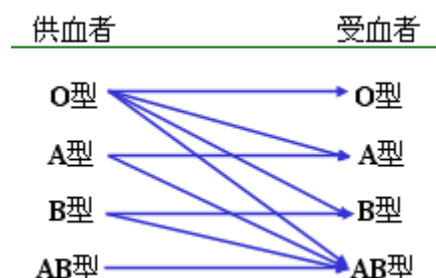
$$(2) F(A,B,C,D) = \Sigma (0,3,5,8,11,14) + \Sigma \phi (1,6,12,13)$$

19、用两片双四选一数据选择器和与非门实现循环码至 8421BCD 码转换。

20、设计二进制码/格雷码转换器。输入为二进制码 B3B2B1B0，输出为格雷码，EN 为使能端，EN=0 时执行二进制码→格雷码转换； EN=1 时输出为高阻。

21、设计一个以 10 为模的补码产生器。N 为 0~9 中的一个数符，C 为 N 的补码，N 和 C 均为 8421BCD 码，EN 为使能端。

22、设计一个血型配比指示器。输血时供血者和受血者的血型配对情况如图所示。要求供血者血型和受血者血型符合要求时绿灯亮；反之，红灯亮。

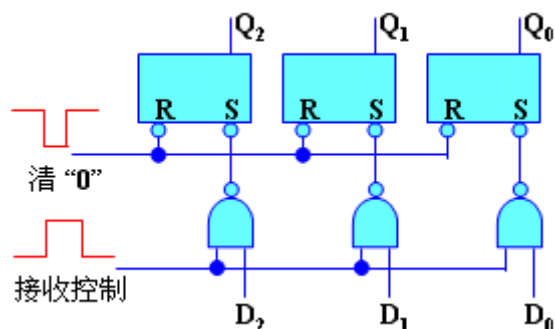


23、下图是一种两拍工作寄存器的逻辑图，即每次在输入数据之前必须先置“清 0”信号，然后接收控制信号有效，此时将数据存入寄存器。

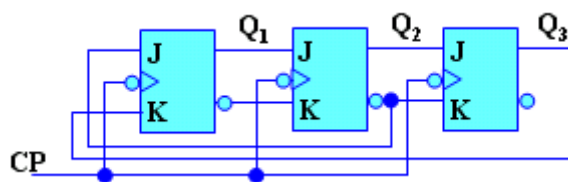
(1) 若不按两拍方式工作，即取消“清 0”信号，则当 D2D1D0=100→001→010 时，输出 Q2Q1Q0 将如何变化？

(2) 为使电路正常工作，“清 0”信号与“接收控制”信号应如何配合？画出这两种信号的正确时间关系。

(3) 若采用单拍方式工作，提出寄存器的改进方案。

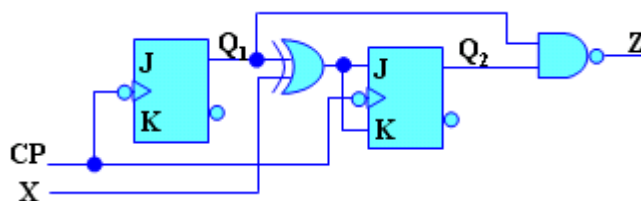


24、分析下图所示同步计数电路，作出状态转移表和状态图，并画出在时钟作用下各触发器输出的波形。

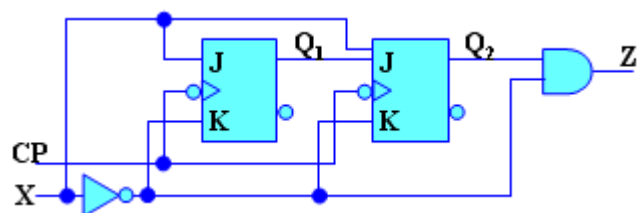


25、用 D 触发器构成按循环码 (000→001→011→111→101→100→000) 规律工作的六进制同步计数器。

26、分析下图所示同步时序逻辑电路，作出状态转移表和状态图，说明它是 Mealy 型电路还是 Moore 型电路以及电路的功能。



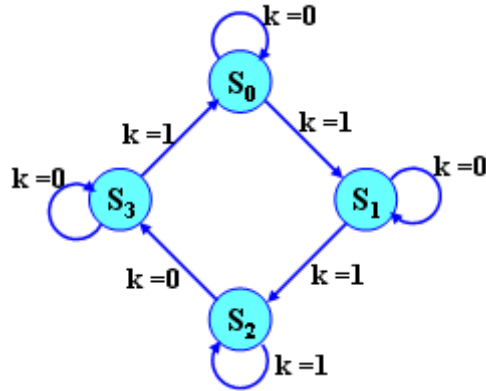
27、分析下图所示同步时序逻辑电路，作出状态转移表和状态图，说明这个电路能对何种序列进行检测？



28、作“101”序列信号检测器的状态表，凡收到输入序列 101 时，输出为 1；并规定检测的 101 序列不重叠。

29、同步时序电路对串行二进制输入进行奇偶校验，每检测 5 位输入，输出一个结果：当 5 位输入中 1 的数目为奇数时，在最后一位的时刻输出 1。作出状态图和状态表。

30、某时序机状态图如下所示，用“计数器法”设计该电路。



31、用 EPROM 实现下列多输出函数，画出阵列图。

$$F1 = \overline{A}BCD + A\overline{C}\overline{D} + \overline{B}CD$$

$$F2 = \overline{A}B + A\overline{B} + \overline{C}D + C\overline{D}$$

$$F3 = (A+B+CD)(\overline{A}+B+\overline{C}+D) + \overline{A}\overline{B}\overline{C}$$

32、试用 EPROM 实现 8421 BCD 码至余三码的转换。

33、用 FPLA 实现下列多输出函数，画出阵列图。

34、用 FPLA 实现下列多输出函数，画出阵列图。

35、用时序 FPLA 设计一个循环码十进制计数器。要求设计优化，即 FPLA 的面积尽可能小。

36、用卡诺图化简逻辑函数： $F(A, B, C, D) = \sum m(2, 3, 9, 11, 12) + \sum d(5, 6, 7, 8, 10, 13)$ ，求出最简“与-或”表达式和最简“或-与”表达式。

37、用卡诺图化简逻辑函数： $F = A\overline{B} + B\overline{C} + \overline{B}C + \overline{A}B$ （用代数法）。

38、证明：如果 $\overline{A}B = 0$ ，且 $A\overline{B} = 0$ 则 $A = B$ 。

39、设计一个“001/010”序列检测器。该电路有一个输入 x 和一个输出 Z ，当随机输入信号中出现“001”或者“010”时，输出 Z 为 1，平时输出 Z 为 0。

典型的输入、输出序列如下：

x:	1	0	0	1	0	1	0	0	1	1
Z:	0	0	0	1	0	0	1	0	0	0

请给出该 Mealy 电路的原始状态图和原始状态表。

40、设计一个巴克码信号发生器，要求自动产生周期性的 1 1 1 0 0 1 0 的信号序列，要求用 D 触发器和逻辑门来实现。（15 分）

1 1 1 0 0 1 0, 1 1 1 0 0 1 0, 1 1 1 0 0 1 0, 1 1 1 0 0 1 0

41、设计 1110 序列检测器的状态转换图，并求出最简状态转换表。


习题案例答案

一、选择题

- | | | | |
|----------|---------|----------|----------|
| 1. C | 26. AD | 51. ABDE | 76. A |
| 2. D | 27. AC | 52. ACDE | 77. D |
| 3. A | 28. A | 53. BCD | 78. C |
| 4. B | 29. ACD | 54. BCE | 79. D |
| 5. B | 30. C | 55. D | 80. B |
| 6. A | 31. D | 56. ABD | 81. A |
| 7. C | 32. BCD | 57. D | 82. B |
| 8. A | 33. ABD | 58. ABCD | 83. D |
| 9. C | 34. CD | 59. A | 86. A |
| 10. CD | 35. A | 60. C | 87. B |
| 11. AB | 36. CD | 61. CD | 88. AB |
| 12. C | 37. ABC | 62. B | 89. A |
| 13. B | 38. ABD | 63. C | 91. C |
| 14. CD | 39. C | 64. D | 92. AD |
| 15. ABCD | 40. ACD | 65. ACD | 93. A |
| 16. ABC | 41. ACD | 66. A | 94. A |
| 17. AB | 42. B | 67. E | 95. ABCD |
| 18. CD | 43. B | 68. D | 96. ABCD |
| 19. BCD | 44. C | 69. C | 97. AD |
| 20. AC | 45. C | 70. AB | 98. ABCD |
| 21. AB | 46. D | 71. C | 99. AC |
| 22. CD | 47. BD | 72. ABC | 100. BD |
| 23. D | 48. AD | 73. AB | |
| 24. ABCD | 49. C | 74. A | |
| 25. D | 50. C | 75. AB | |

二、填空题

1. 72.56
2. 111.001
3. 相同
4. 1
5. $(\mathbf{A} + \mathbf{B})(\overline{\mathbf{A}} + \overline{\mathbf{B}})$
6. 扇出系数
7. 输入信号
8. n
9. 3
10. 3
11. 30, 110000
12. 主从结构, 边沿结构, 维持一阻塞结构
13.
$$\overline{\overline{F}} = \overline{(\overline{A \odot D}) + \overline{B \cdot C}}$$
14. 状态表、状态图和次态表达式和输出函数。
15. N, 2N
16. 移位 数码
17. 组合逻辑电路 时序逻辑电路
18. 4
19. 同步 异步
20. 2 8
21. 0 0
22. $Q=1$ 、 $\overline{Q}=0$ $Q=0$ 、 $\overline{Q}=1$ Q
23. $RS=0$
24. 空翻 主从式 边沿
25. 布尔 与 或非 与非 或非 与或非 同或 异或
26. 逻辑表达式 真值表 逻辑图
27. 交换律 分配律 结合律 反演定律
28. 代入规则 对偶规则 反演规则
29. $A\overline{B}(C+\overline{D})$
30. $A+BC+0$
31. $(A+B)(\overline{A}+C)(B+C) = (A+B)(\overline{A}+C)$
32. 1
33. 0
34. $\overline{A+B \bullet (\overline{C+D}) \bullet (B+C)}$
35. mi' 、 1
36. 偶

37. 4 位 BCD
38. $\log_2 N$,
39. 二进制译码器
40. $(1, 1)$ 、 Q'
41. Mealy、Moore,
42. 特征
43. 2^n
44. 7
45. 3
46. 一个循环
47. T
48. 15 
49. 0, 1, 2, ..., 15
50. $\overline{F} = \overline{A \cdot \overline{A+B} \cdot (\overline{A+CD})}$; 对偶式 $F^* = \overline{\overline{A} \cdot \overline{A+B} \cdot (A+CD)}$
51. RAM 中的信息既可读出又可写入, 掉电后信息便消失; 而 ROM 中的信息只能读出, 不能写入, 信息可永久保存
52. 定期刷新
53. 0
54. 63, 6
55. 读写方便, 使用灵活; 断电后原存于 RAM 的信息丢失, 易失性
56. 2, 1, 8
57. 有无记忆功能
58. 与阵列可编程, 或阵列不可编程
59. 1, 2
60. 高电平 低电平 高阻
61. $Q^{n+1} = Q \oplus T$
62. 存储量 存取速度
63. 离散, 1, 0
64. 与, 或, 非, 与非, 与或, 或非, 与或非
65. 一次, 多次
66. 现场可编程门阵列
67. 通用逻辑阵列 在系统编程
68. $\sum m(16, 14, 13, 12, 11, 7, 6, 3), \sum M(10, 9, 8, 5, 4, 2, 1)$
69. $\times, \times, \checkmark$
70. 输出, 输入, 无关
71. 反馈回路, 输出, 输入
72. 数据选择器, 一路, 多路, 地址控制器
73. 四
74. $\overline{A_1} \overline{A_0} X_0 + \overline{A_1} A_0 X_1 + A_1 \overline{A_0} X_2 + A_1 A_0 X_3$

75. 真值表, 特征方程, 状态转换图
- 76.
77. 0 $Q^{n+1} = \overline{Q^n}$
78. 1, 0, 输入信号, 时钟脉冲
79. T, D
80. 组合逻辑, 存储电路, 输出, 输入, 有关
81. 反馈回路, 原来的输出, 后来的输出
82. 同步时序电路, 异步时序电路, 同步时序电路, 触发器, 异步时序电路
83. 触发器
84. 同一个时钟信号, 同时, 不同, 同时, 有先有后
85. 输出方程, 状态方程, 控制方程
86. 状态转换表, 状态转换图, 控制方程
87. 两, 1, 8
88. 状态转换图, 模
89. 二进制递减
90. 对输入脉冲进行计数, 不同状态, 能计算脉冲数目的最大值
91. 二进制, 非二进制, 同步计数器, 异步计数器, 加法计数器, 减法计数器, 可逆计数器
92. N
93. 3
94. $2n$
95. 2, 2
96. 存储部件 处理部件 控制部件
97. 8, 12
98. 1024, 4, 8
99. 2048, 8
100. ROM, RAM, 字线扩展, 位线扩展

三、综合题。

1、解答：

$$(1) F = \overline{AC + \overline{ABC} + \overline{BC}} + \overline{ABC} = \overline{C}$$

$$(2) F = \overline{AB}CD + \overline{ABC} \overline{D} + \overline{AB} + \overline{AD} + \overline{ABC} \\ = \overline{AB} + \overline{AD}$$

		AB			
C	AB	00	01	11	10
	0	1	1	1	1
	1	0	0	0	0

		AB			
CD	AB	00	01	11	10
	00			1	1
	01				1
	11				1
	10			1	1

2、解答：

$$(1) F = \overline{AB} + \overline{AC}$$

解：① $F = \overline{AB} + \overline{AC} = \overline{\overline{AB} \overline{AC}} = \overline{(A+B)(A+C)} = \overline{(A+B)} + \overline{(A+C)}$

然后，两次求反即可。

②先求对偶式的最简与非表达式： $F' = (A+B)(A+C) = \overline{\overline{A} \overline{B} \overline{AC}}$

再对F'求对偶式： $F = \overline{(\overline{A} + \overline{B}) + (A + C)}$

③先求F的反函数： $\overline{F} = \overline{AB} + \overline{AC}$

再对 \overline{F} 三次求反得： $F = \overline{(\overline{A+B}) + (\overline{A+C})}$

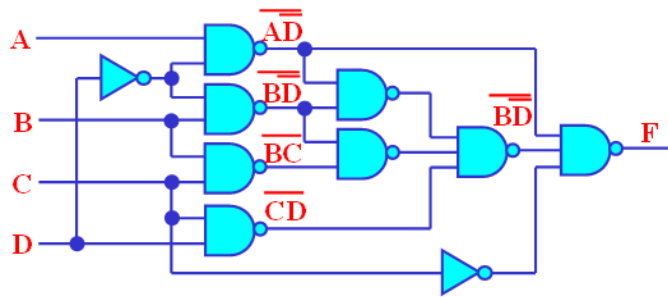
$$(2) F(A,B,C,D) = \sum m(0,1,2,4,6,10,14,15)$$

$$= \overline{A+B+C} + \overline{A+B+C} + \overline{A+D} + \overline{C+D}$$

3、解答：

$$F = \overline{\overline{AB} + \overline{B}} = \overline{AB}$$

$$F = \overline{\overline{AB} \overline{B} \overline{ABC} \overline{C} \overline{ABC}} \\ = \overline{AB} + \overline{AC} + \overline{BC} + \overline{BC} \\ = \overline{AB} + \overline{BC} + \overline{BC}$$



4、
解答：

$$F = \overline{\overline{AD} \overline{AD} \overline{BD} \overline{BD} \overline{BC} \overline{CD} \overline{C}}$$

经化简后为：

$$F = \overline{AD} + \overline{BD} + C$$

5、解答：

$$F_1 = \overline{A + BS_0 + \overline{BS}_1}$$

$$F_2 = \overline{ABS_2 + \overline{ABS}_3}$$

$$F = F_1 F_2 = \overline{A + BS_0 + \overline{BS}_1}$$

6、解答：

$$\begin{aligned} F_1 &= \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{B} \overline{C} \\ &= \overline{A} \overline{BC} + \overline{A} \overline{BC} + \overline{ABC} \\ &= A(B \oplus C) + \overline{ABC} \end{aligned}$$

当 $B \neq C$ 时， $F_1 = A$ ；

当 $B = C = 1$ 时， $F_1 = A$ ；

当 $B = C = 0$ 时， $F_1 = 0$ 。

$$\begin{aligned} F_2 &= \overline{\overline{A} \overline{B} + \overline{B} \overline{C} + \overline{A} \overline{C}} \\ &= \overline{AB + BC + AC} \end{aligned}$$

当 A 、 B 、 C 三个变量中有两个及两个以上同时为“1”时， $F_2 = 1$ 。

7、解答：

$$F = \overline{A_0}\overline{A_1}\overline{A_2}\overline{A_3} + \overline{A_4}\overline{A_5}\overline{A_6}\overline{A_7} + \overline{A_8}\overline{A_9}\overline{A_{10}}\overline{A_{11}} + \overline{A_{12}}\overline{A_{13}}\overline{A_{14}}\overline{A_{15}}$$

$$= \overline{A_0}\overline{A_1}\overline{A_2}\overline{A_3}\overline{A_4}\overline{A_5}\overline{A_6}\overline{A_7}\overline{A_8}\overline{A_9}\overline{A_{10}}\overline{A_{11}}\overline{A_{12}}\overline{A_{13}}\overline{A_{14}}\overline{A_{15}}$$

只有当变量 **A0~A15** 全为 **0** 时，**F = 1**；否则，**F = 0**。因此，电路的功能是判断变量是否全部为逻辑“0”。

8、解答：

这是一个四选一的数据选择器。

$$F = \overline{A_1}\overline{A_0}X_0 + \overline{A_1}A_0X_1 + A_1\overline{A_0}X_2 + A_1A_0X_3$$

9、解答：这是一个**余三码**至**8421BCD**码转换的电路。

A	B	C	D	W	X	Y	Z
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	1	0	0
1	0	0	0	0	1	0	1
1	0	0	1	0	1	1	0
1	0	1	0	0	1	1	1
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	1

10、解答：

$$\begin{aligned} Y_3 &= X_3 \\ Y_2 &= X_2 \oplus X_3 \\ Y_1 &= X_1 \oplus (MX_2 + \overline{M}Y_2) \\ Y_0 &= X_0 \oplus (MX_1 + \overline{M}Y_1) \end{aligned}$$

当 $M=1$ 时：

$$\begin{aligned} Y_3 &= X_3 \\ Y_2 &= X_2 \oplus X_3 \\ Y_1 &= X_1 \oplus X_2 \\ Y_0 &= X_0 \oplus X_1 \end{aligned}$$

当 $M=0$ 时：

$$\begin{aligned} Y_3 &= X_3 \\ Y_2 &= X_2 \oplus X_3 \\ Y_1 &= X_1 \oplus X_2 \oplus X_3 \\ Y_0 &= X_0 \oplus X_1 \oplus X_2 \oplus X_3 \end{aligned}$$

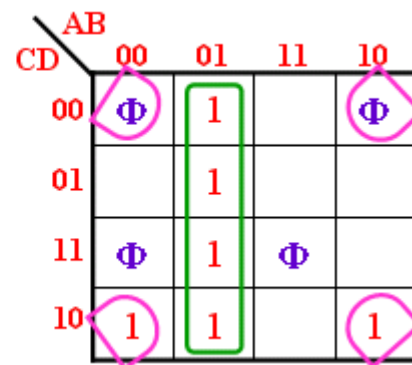
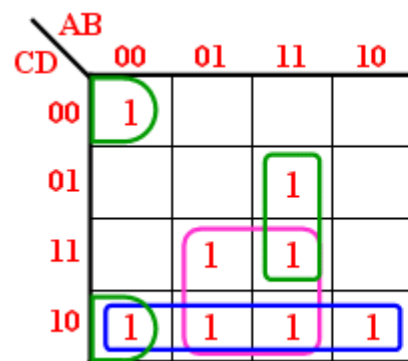
列真值表如下：

M=1 的真值表							
X_3	X_2	X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

M=0 的真值表							
X_3	X_2	X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	1	1	0	1	0
1	1	1	0	1	0	1	1
1	0	1	0	1	1	0	0
1	0	1	1	1	1	0	1
1	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1

由真值表可知：M=1 时，完成 8421 BCD 码到格雷码的转换；
M=0 时，完成格雷码到 8421 BCD 码的转换。

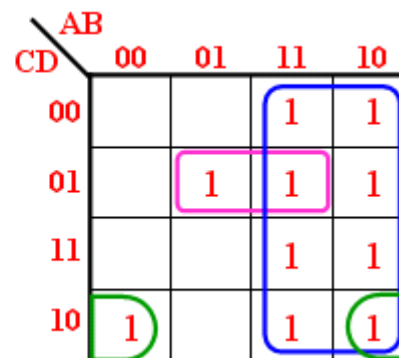
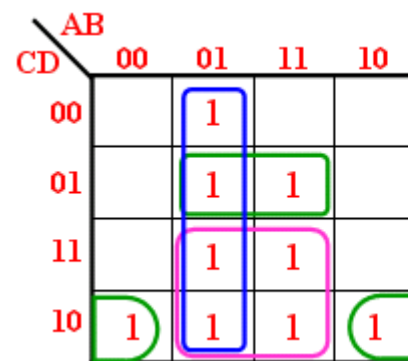
11、解答：



$$(1) F(A,B,C,D) = \sum (0,2,6,7,10,13,14,15) = \overline{\overline{A}BD} \overline{\overline{A}BD} \overline{BC} \overline{CD}$$

$$(2) F(A,B,C,D) = \sum (2,4,5,6,7,10) + \phi (0,3,8,15) = \overline{AB} \overline{BD}$$

12、解答：



$$(1) F(A,B,C,D) = \sum (2,4,5,6,7,10,13,14,15) = \overline{AB} + BC + \overline{BCD} + \overline{BCD}$$

$$(2) F(A,B,C,D) = \sum (2,5,8,9,10,11,12,13,14,15) = A + \overline{BCD} + \overline{BCD}$$

13、解答：(1)

$$\overline{F} = \overline{AC} + \overline{ABD} + \overline{BCD}$$

$$F = \overline{\overline{AC} \overline{ABD} \overline{BCD}} = (\overline{A} + \overline{C})(\overline{A} + \overline{B} + \overline{C})(\overline{B} + \overline{C} + \overline{D})$$

两次求反后得：

$$F = \overline{(\overline{A} + \overline{C}) + (\overline{A} + \overline{B} + \overline{C}) + (\overline{B} + \overline{C} + \overline{D})}$$

(2)

两次求反后得：

$$F = \overline{\overline{A+B} + \overline{B+C} + \overline{A+B}}$$

14、解答：(1)

AB \ CD	00	01	11	10
00				1
01	1	1		1
11				
10	1	1		1

$$F = \overline{\overline{AB} \overline{AC} \overline{AB}}$$

(2)

AB \ CD	00	01	11	10
00				1
01	1	1		1
11				
10	1	1		1

$$F = \overline{\overline{ABC} \overline{BCD} \overline{ACD} \overline{BCD}}$$

或 $F = \overline{\overline{ABC} \overline{BCD} \overline{ACD} \overline{ABD}}$

15、解答：(1)

AB \ CD	00	01	11	10
00	1		1	
01	1	1	1	
11		1	1	1
10			1	1

先由 $F \rightarrow F'$ ，在由 $F' \rightarrow F$ ，得：

$$F = \overline{\overline{A + B + C}}$$

(2)

AB \ CD	00	01	11	10
00		0		0
01				0
11	0			
10	0	0		

$$F = \overline{\overline{A B C} + AB + BD + AC}$$

$$= \overline{\overline{A+B+C} + \overline{\overline{A+B}} + \overline{\overline{B+D}} + \overline{\overline{A+C}}}$$

16、解答：真值表：

A	B	C	D	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

卡诺图：

AB \ CD	00	01	11	10
00		1	1	1
01	1	1		1
11	1			1
10				1

表达式：

$$F = \overline{A}\overline{B} + \overline{B}D + \overline{B}C\overline{D} + \overline{A}BC \text{ (或 } \overline{A}CD)$$

17、解答：设：三台设备分别为 A、B、C：“1”表示有故障，“0”表示无故障；红、黄、绿灯分别为 Y1、Y2、Y3：“1”表示灯亮，“0”表示灯灭。据题意列出真值表如下：

A	B	C	Y ₁	Y ₂	Y ₃
0	0	0	0	0	1
0	0	1	1	0	0
0	1	0	1	0	0
0	1	1	0	1	0
1	0	0	1	0	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	1	1	0

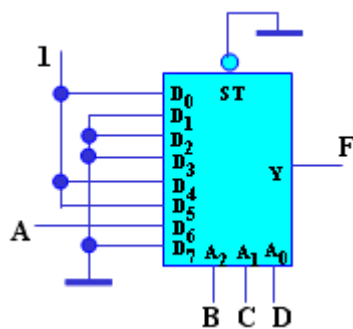
表达式：

$$Y_1 = A \oplus B \oplus C$$

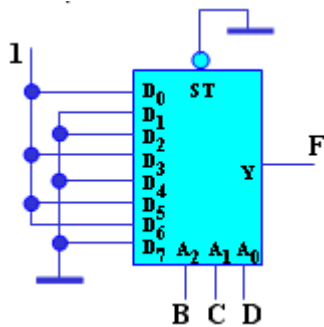
$$Y_2 = BC + A(B \oplus C)$$

$$Y_3 = \overline{A}\overline{B}\overline{C} = \overline{A+B+C}$$

18、解答：（1）选 BCD 为地址，则 D0=D4=D5=1, D6=A, D1=D2=D3=D7=0 如图所示。



（2）选 BCD 为地址，则 D0=D3=D5=D6=1, D1=D2=D4=D7=0 如图所示。



19、解答：画函数卡诺图；

CD \ AB	AB			
	00	01	11	10
00	0000	1001	1000	0111
01	0001	Φ	Φ	Φ
11	0010	Φ	Φ	Φ
10	0011	0100	0101	0110

写逻辑函数表达式：

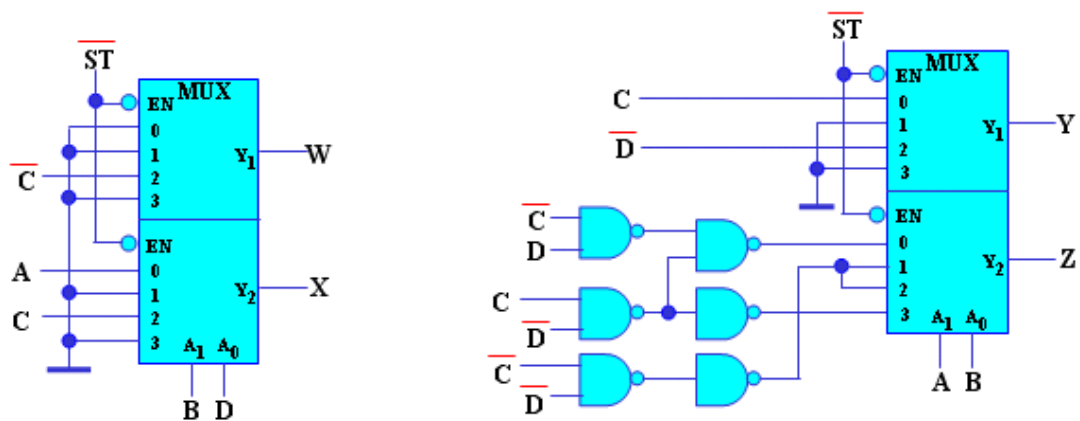
$$W = \overline{B} \overline{C} \overline{D}$$

$$X = \overline{A} \overline{B} \overline{D} + \overline{B} C \overline{D}$$

$$Y = \overline{A} \overline{B} C + \overline{A} \overline{B} \overline{D}$$

$$Z = \overline{A} \overline{B} (\overline{C} D + C \overline{D}) + \overline{C} \overline{D} (\overline{A} B + A \overline{B}) + A B C \overline{D}$$

画逻辑图：



20、解答：真值表：

B ₃	B ₂	B ₁	B ₀	G ₃	G ₂	G ₁	G ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

卡诺图：

$\begin{array}{c} B_3B_2 \\ B_1B_0 \end{array}$		B_3B_2			
		00	01	11	10
00	00	0000	0110	1010	1100
01	01	0001	0111	1011	1101
11	11	0010	0100	1000	1110
10	10	0011	0101	1001	1111

表达式：

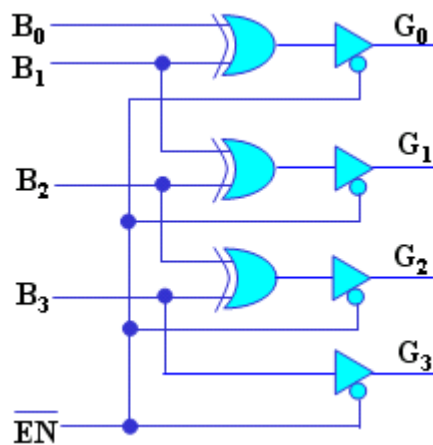
$$G_3 = B_3$$

$$G_2 = B_2 \oplus B_3$$

$$G_1 = B_1 \oplus B_2$$

$$G_0 = B_0 \oplus B_1$$

电路图：



21、解答：真值表：

N_3	N_2	N_1	N_0	C_3	C_2	C_1	C_0
0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	1
0	0	1	0	1	0	0	0
0	0	1	1	0	1	1	1
0	1	0	0	0	1	1	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	0	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	1	0
1	0	0	1	0	0	0	1

卡诺图：

$N_3N_2 \backslash N_1N_0$		N_3N_2			
		00	01	11	10
00	00	0000	0110	Φ	0010
01	01	1001	0101	Φ	0001
11	11	0111	0011	Φ	Φ
10	10	1000	0100	Φ	Φ

表达式：

$$\begin{aligned}
 C_3 &= \overline{N_3} \overline{N_2} \overline{N_1} N_0 + \overline{N_2} N_1 \overline{N_0} \\
 C_2 &= N_3 \overline{N_1} + \overline{N_2} N_1 N_0 + \overline{N_3} N_1 \overline{N_0} \\
 C_1 &= N_1 N_0 + N_2 \overline{N_1} \overline{N_0} + N_3 \overline{N_1} \overline{N_0} \\
 C_0 &= N_1
 \end{aligned}$$

22、解答：

$XY = 00$	A型	$MN = 00$	A型
01	B型	01	B型
10	AB型	10	AB型
11	O型	11	O型

真值表：

X	Y	M	N	$F_1(\text{绿})$	$F_2(\text{红})$
0	0	0	0	1	0
0	0	0	1	0	1
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	0	1
1	0	0	0	0	1
1	0	0	1	0	1
1	0	1	0	1	0
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	1	0

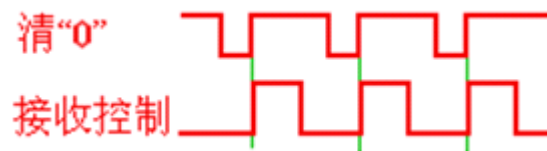
表达式:

$$F_1 = \sum (0,2,5,6,10,12,13,14,15)$$

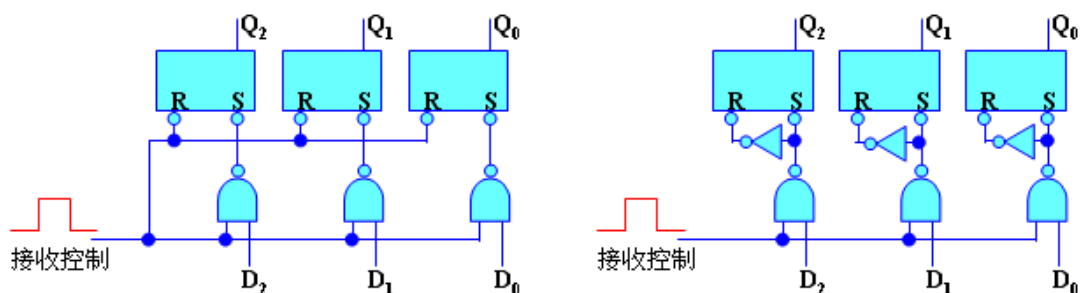
$$F_2 = \overline{F_1}$$

23、解答: (1) 设触发器初始状态为 0。当 $D_2D_1D_0=100 \rightarrow 001 \rightarrow 010$ 时, 输出 $Q_2Q_1Q_0$ 将为 $100 \rightarrow 101 \rightarrow 111$ 。

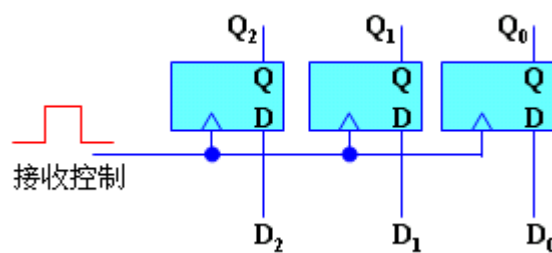
(2)



(3) 若采用 RS 触发器。有以下两种方案:



若采用 D 触发器作为寄存器, 只要将数据接触发器的 D 输入端, 接收控制信号接时钟端,



此时无需事先清 0。

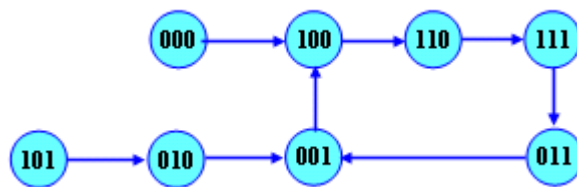
24、解答：先写出激励方程，然后求得状态方程：

$$Q_1^{n+1} = \overline{Q_2^n} \overline{Q_1^n} + \overline{Q_3^n} Q_1^n$$

$$Q_2^{n+1} = Q_1^n$$

$$Q_3^{n+1} = Q_2^n$$

Q_1^n	Q_2^n	Q_3^n	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
0	0	0	1	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	1	0
1	1	0	1	1	1
1	1	1	0	1	1



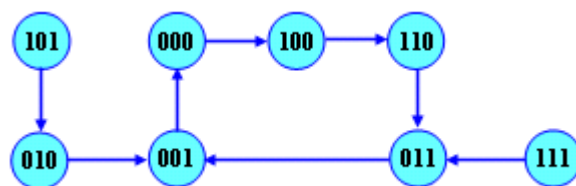
25、解答：先写出激励方程，然后求得状态方程：

$$D_1 = Q_1^{n+1} = \overline{Q_2^n} \overline{Q_3^n}$$

$$D_2 = Q_2^{n+1} = Q_1^n$$

$$D_3 = Q_3^{n+1} = Q_2^n$$

Q_1^n	Q_2^n	Q_3^n	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
0	0	0	1	0	0
0	0	1	0	0	0
0	1	0	0	0	1
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	1	0
1	1	0	0	1	1
1	1	1	0	1	1



26、解答：电路的状态方程和输出方程为：

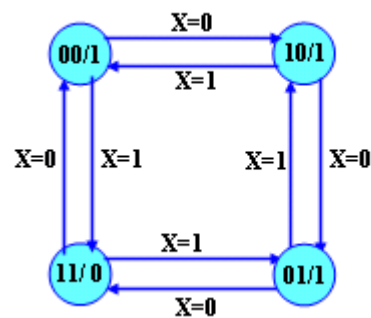
$$Q_1^{n+1} = \overline{Q_1^n}$$

$$Q_2^{n+1} = (X \oplus Q_1^n) \overline{Q_2^n} + \overline{(X \oplus Q_1^n)} Q_2^n$$

$$Z = \overline{Q_1^n} Q_2^n$$

状态表和状态转移图如下所示：

$Q_1^n Q_2^n$	$Q_1^{n+1} Q_2^{n+1} / Z$	
	$X=0$	$X=1$
0 0	10 / 1	11 / 1
0 1	11 / 1	10 / 1
1 0	01 / 1	00 / 1
1 1	00 / 0	01 / 0



该电路是 Moore 型电路。当 X=0 时，电路为模 4 加法计数器；当 X=1 时，电路为模 4 减法计数器。

27、解答：电路的状态方程和输出方程为：

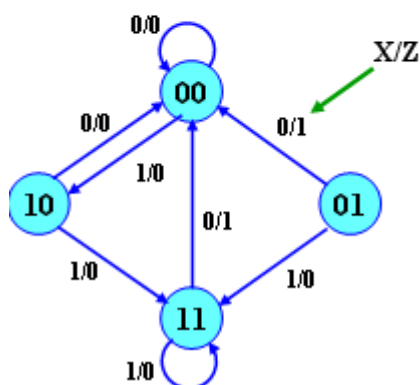
$$Q_1^{n+1} = X \overline{Q_1^n} + \overline{X} Q_1^n = X$$

$$Q_2^{n+1} = X Q_1^n \overline{Q_2^n} + \overline{X} Q_2^n$$

$$Z = \overline{X} Q_2^n$$

状态表和状态转移图如下：

$Q_1^n Q_2^n$	$Q_1^{n+1} Q_2^{n+1} / Z$	
	X=0	X=1
0 0	00 / 0	01 / 0
0 1	01 / 1	10 / 0
1 0	11 / 0	10 / 0
1 1	11 / 1	00 / 0



凡在输入序列中出现两个或两个以上“1”之后再出现一个“0”，输出就为“1”；否则，输出为“0”。

28、解答：根据题意分析，输入为二进制序列 x ，输出为 Z ；且电路应具有 4 个状态：

S_0 、 S_1 、 S_2 、 S_3 （其中 S_0 为初始状态）。列状态表和状态图如下：

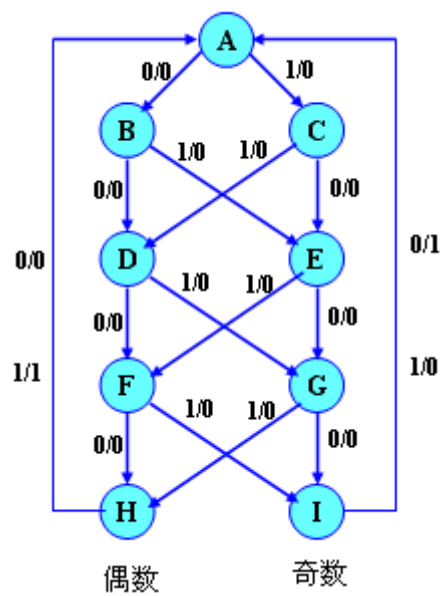
原始状态表			简化状态表		
PS	NS / Z		PS	NS / Z	
	X=0	X=1		X=0	X=1
S_0	$S_0 / 0$	$S_1 / 0$	S_0	$S_0 / 0$	$S_1 / 0$
S_1	$S_2 / 0$	$S_1 / 0$	S_1	$S_2 / 0$	$S_1 / 0$
S_2	$S_0 / 0$	$S_3 / 1$	S_2	$S_0 / 0$	$S_0 / 1$
S_3	$S_0 / 0$	$S_1 / 0$			

29、解答：该题目要求对有限长度 的串行序列进行的奇偶校验。一方面对于每接收到一位码后都要断定一下到目前为止接收的数据中 **1** 的数目是奇数还是偶数；另一方面还要记忆到目前為止已收到了几位数据。为此，电路的状态表和状态图如下：

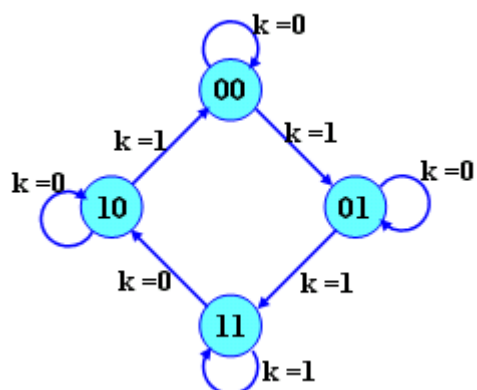
状态表：

$\begin{array}{c} s \\ \backslash \\ x \end{array}$	0	1
A	B/0	C/0
B	D/0	E/0
C	E/0	D/0
D	F/0	G/0
E	G/0	F/0
F	H/0	I/0
G	I/0	H/0
H	A/0	A/1
I	A/1	A/0

状态图:



30、解答：若编码为： $S_0=00$ $S_1=01$ $S_2=11$ $S_3=10$ 则：



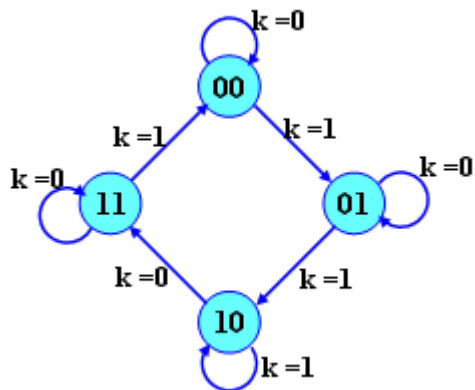
$Q_1^n Q_2^n$	$Q_1^{n+1} Q_2^{n+1}$	
	k=0	k=1
0 0	00	01
0 1	01	11
1 1	10	11
1 0	10	00

次态方程为：

$$Q_1^{n+1} = \overline{k} Q_1^n + k Q_2^n$$

$$Q_2^{n+1} = k \overline{Q_1^n} + k Q_2^n + \overline{Q_1^n} Q_2^n$$

若编码为：S0=00 S1=01 S2=10 S3=11 则：



$Q_1^n Q_2^n$	$Q_1^{n+1} Q_2^{n+1}$	
	k=0	k=1
0 0	00	01
0 1	01	10
1 0	11	10
1 1	11	00

次态方程为：

$$Q_1^{n+1} = \overline{k} Q_1^n + k (Q_2^n + Q_1^n)$$

$$Q_2^{n+1} = \overline{k} (Q_1^n + Q_2^n) + \overline{Q_1^n} \overline{Q_2^n} k$$

31、解答：

用EPROM实现逻辑函数时，一般的步骤为：

- (1) 确定输入变量和输出端的个数；
- (2) 将函数化为最小项之和的形式；
- (3) 确定EPROM的容量；
- (4) 确定各存储单元的内容；
- (5) 画出相应的点阵图。

由给定条件可知，输入变量为A、B、C、D，输出为F1、F2、F3。

利用卡诺图将函数写成最小项之和的形式，为：

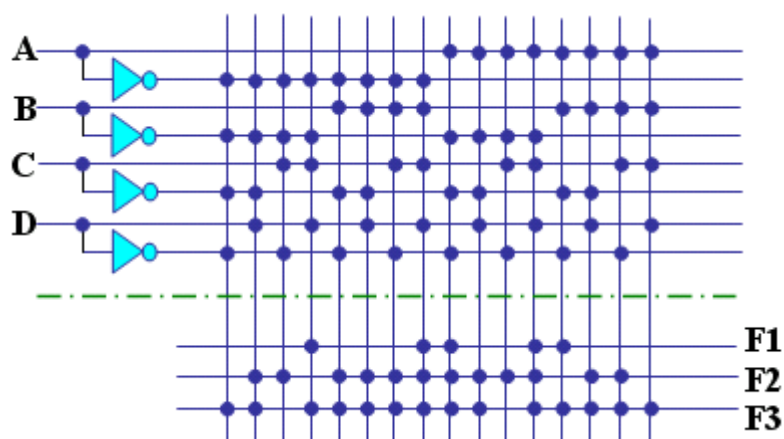
$$F1 = \Sigma(3, 7, 8, 11, 12)$$

$$F2 = \Sigma(1, 2, 4, 5, 6, 7, 8, 9, 10, 11, 13, 14)$$

$$F3 = \Sigma(0, 1, 3, 4, 5, 6, 7, 8, 9, 11, 12, 13, 14, 15)$$

矩阵的容量为： $8 \times 16 + 3 \times 16 = 176$

EPROM的与矩阵且为全译码阵列，或矩阵可编码。将A、B、C、D作为地址输入，F1、F2、F3作为输出，画出点阵图如下：



逻辑表达式如下：

$$F1 = \Sigma(3, 7, 8, 11, 12)$$

$$F2 = \Sigma(1, 2, 4, 5, 6, 7, 8, 9, 10, 11, 13, 14)$$

$$F3 = \Sigma(0, 1, 3, 4, 5, 6, 7, 8, 9, 11, 12, 13, 14, 15)$$

32、解答：

列真值表，求得用最小项表示的逻辑函数表达式如下：

$$X = \Sigma(5, 6, 7, 8, 9)$$

$$Y = \Sigma(1, 2, 3, 4, 9)$$

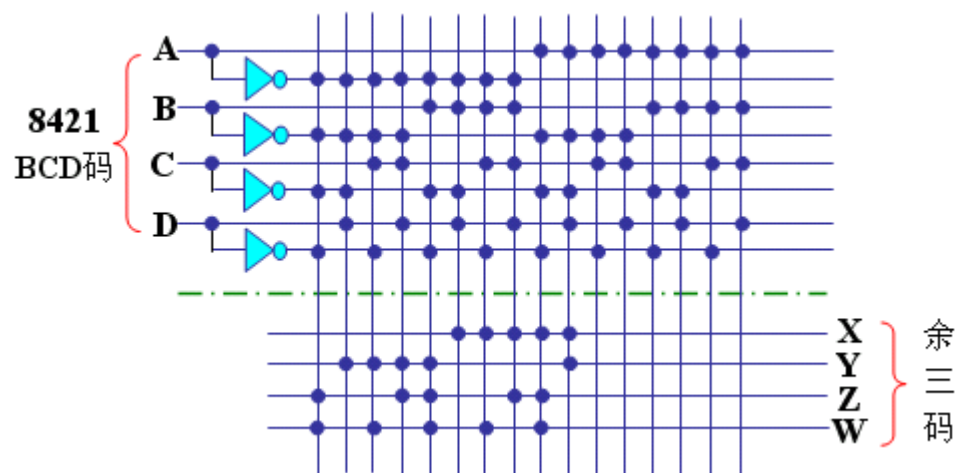
$$Z = \Sigma(0, 3, 4, 7, 8)$$

$$W = \Sigma(0, 2, 4, 6, 8)$$

真值表如下：

A	B	C	D	X	Y	Z	W
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

点阵图如下：



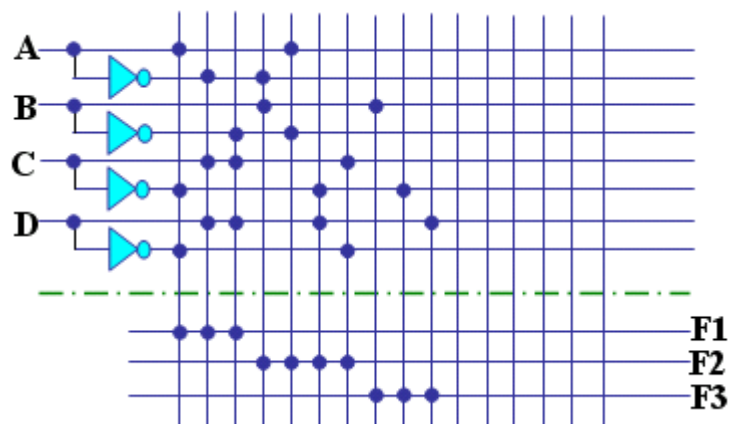
33、解答：化简以上逻辑函数为：

$$F1 = \overline{A}C\overline{D} + \overline{A}CD + \overline{B}CD$$

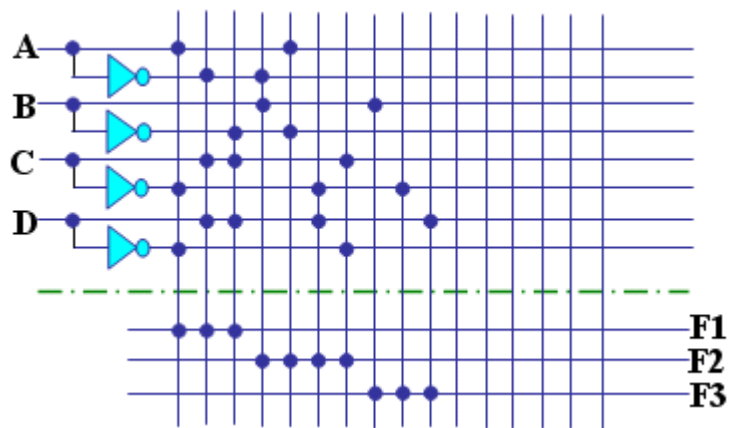
$$F2 = \overline{A}B + A\overline{B} + \overline{C}D + C\overline{D}$$

$$F3 = B + \overline{C} + D$$

点阵图如下：



34、解答：点阵图：



35、解答：时序 FPLA 采用 D 触发器。状态转换表如下：

PS				NS				Co
Q ₃	Q ₂	Q ₁	Q ₀	Q ₃	Q ₂	Q ₁	Q ₀	
0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	1	0
0	0	1	1	0	0	1	0	0
0	0	1	0	0	1	1	0	0
0	1	1	0	0	1	1	1	0
0	1	1	1	0	1	0	1	0
0	1	0	1	0	1	0	0	0
0	1	0	0	1	1	0	0	0
1	1	0	0	1	1	0	1	0
1	1	0	1	0	0	0	0	1

逻辑表达式如下：

$$D_3 = Q_2 \overline{Q_1} \overline{Q_0}$$

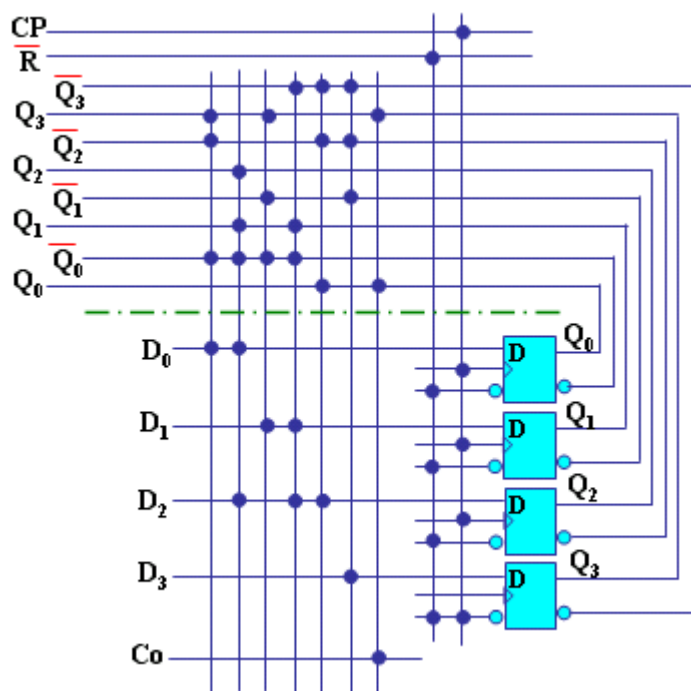
$$D_2 = \overline{Q_3} Q_2 + Q_2 \overline{Q_0} + Q_1 \overline{Q_0}$$

$$D_1 = \overline{Q_2} Q_0 + Q_1 \overline{Q_0}$$

$$D_0 = Q_3 \overline{Q_0} + \overline{Q_2} \overline{Q_1} + Q_2 Q_1$$

$$Co = Q_3 Q_0$$

点阵图如下：



36、解答：

CD \ AB	AB			
	00	01	11	10
00			1	d
01		d	d	1
11	1	d		1
10	1	d		d

最简“与-或”表达式为： $F = A\bar{C} + \bar{B}C$

最简“或-与”表达式为： $F = (A + C) \cdot (\bar{B} + \bar{C})$

37、解答：

$$F = A\bar{B} + B\bar{C} + \underline{\bar{B}C} + \underline{\bar{A}B} \quad (\text{加入 } \bar{A}C)$$

$$= \underline{A\bar{B}} + B\bar{C} + \underline{\bar{B}C} + \bar{A}B + \underline{\bar{A}C} \quad (\text{消去 } \bar{B}C)$$

$$= A\bar{B} + \underline{\bar{B}C} + \bar{A}B + \underline{\bar{A}C} \quad (\text{消去 } \bar{A}B)$$

$$= A\bar{B} + \bar{B}C + \bar{A}C$$

$$= \overline{\overline{A}\overline{B}\overline{C}A\overline{C}}$$

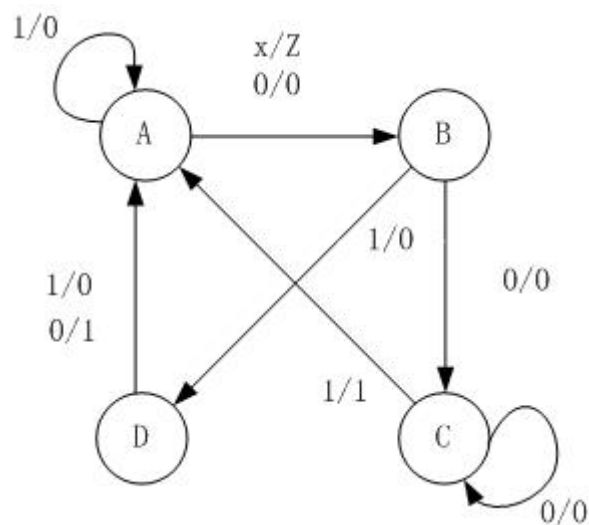
38、证明：

表 1 真值表		
A B	$\overline{A}B$	$A\overline{B}$
0 0	0	0
0 1	1	0
1 0	0	1
1 1	0	0

由表可看出，对应使 $\overline{A}B=0$ ，且 $A\overline{B}=0$ 的 AB 组合只有两种 00 和 11，即 A 和 B 的取值相等。由此可证得：A=B

39、解答：

(1) 原始状态图



(2) 原始状态表

现态	次态/输出 Z	
	X = 0	X=1
A	B/0	A/0
B	C/0	D/0
C	C/0	A/1
D	A/1	A/0

40、解答：

(1) 状态转移表

现态				次态			
Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
1	1	1	0	0	1	0	1
0	1	0	1	1	1	0	0
1	1	0	0	1	0	1	1
1	0	1	1	1	0	0	1
1	0	0	1	0	1	1	1
0	1	1	1	0	0	1	0
0	0	1	0	1	1	1	0

(2) 次态方程：

$$Q_4^{n+1} = \Sigma m(2, 5, 11, 12)$$

$$Q_3^{n+1} = \Sigma m(2, 5, 9, 14)$$

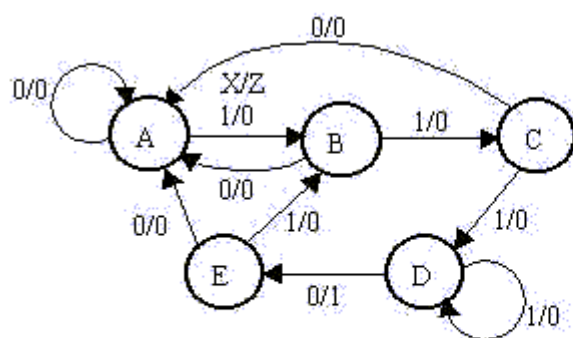
$$Q_2^{n+1} = \Sigma m(2, 7, 9, 12)$$

$$Q_1^{n+1} = \Sigma m(9, 11, 12, 14)$$

41、解答：1、画出原始状态图。输入端 X：输入一串行随机信号

输出端 Z：当 X 出现 1110 序列时，Z=1，否则，Z=0。

由此可画出原始状态图如图 8 所示：



(a) 原始状态图

$S_n \backslash X$	0	1
A	A/0	B/0
B	A/0	C/0
C	A/0	D/0
D	E/1	D/0
E	A/0	B/0

S_{n+1}/Z

(b) 原始状态表

图8

2、对原始状态图进行简化得最简状态表

由原始状态表可看出状态 A 和 E 在相同的输入下，其输出和次态完全相同，因而状态 A 和状态 E 是等价态，可合并为同一个状态。而其它状态都不是等价态，因而不能合并。由此得到简化后的最简状态图和最简状态表。

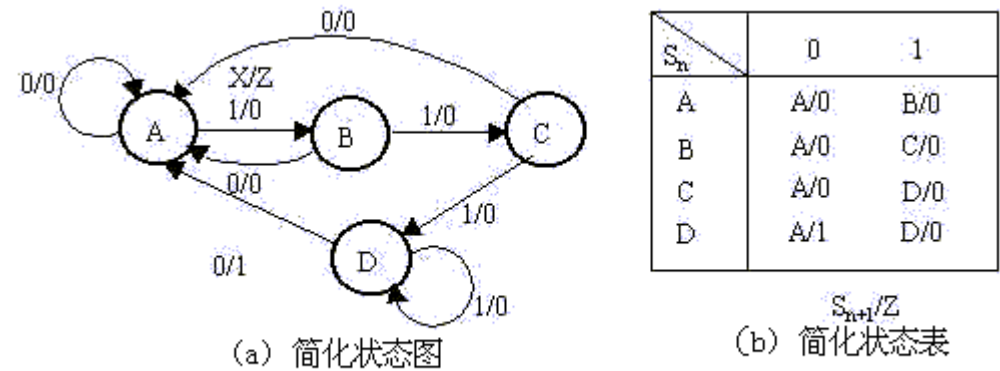


图9