

第1章 数制和码制

已批准

1.1 不同数制之间的转换

题1 $(76.25)_{10} = ()_2 = ()_{8421BCD}$ 题2 与二进制数 $(101.11)_2$ 等值的十进制数为_____。题3 $(66.25)_{10} = ()_2 = ()_{8421BCD}$

1.2 原码，反码，补码之间的转换

题4 -121 的原码是_____，补码是_____。

1.3 二进制数的补码运算

1.4 常用编码

BCD 码，ASCII 码

题5 在下列 ASCII 字符中，最小的字符是 ()

- A. 'A' B. 'F' C. '9' D. 'a'

第2章 逻辑代数基础

2.1 基本逻辑运算

与，或，非

题6 “决定事件结果的所有条件中，只要有一个满足，结果就会发生”是定义()。

- A. 逻辑与 B. 逻辑或 C. 逻辑非 D. 逻辑同或

2.2 基本公式，常用公式及基本定理

(1) $A+BC=(A+B)(A+C)$ (2) $A+\overline{A}B=A+B$ (3) $AB+\overline{A}C+BC=AB+\overline{A}C$

对偶定理，反演定理

题7 函数 $Y_1 = A \oplus B \oplus C$ 与 $Y_2 = A \odot B \odot C$ 的关系是()。

- A. 相等 B. 互为反函数 C. 互为对偶式 D. 没有任何关系

题8 逻辑函数 $F = A(B'+C')+(D'E')'$ 的反函数为 ()

- A. $(A+BC')(D'+E)'$ B. $(A'+BC)(D+E)'$ C. $A'+B'C+(D+E)'$ D. $(A'+B'C)(D'E)'$

题9 $F = (A+B)(A+C)$ 的对偶式 F' 是 ()

- A. $\overline{A}B+\overline{A}C$ B. $\overline{A}B+\overline{A}C$ C. $(\overline{A}+B)(\overline{A}+C)$ D. $(\overline{A}+B)(\overline{A}+C)$

2.3 逻辑函数的表示方法

1、真值表；2、逻辑函数式；3、逻辑图；4、波形图；5、卡诺图

题10 数字电路中，描述输入逻辑变量和输出逻辑变量之间的因果关系称为_____。

2.4 逻辑等式的证明

公式，真值表，卡诺图

作业题1 证明下列逻辑等式 (题 2.2) $AB' + B + A'B = A + A'B = A + B$ 题11 $F = \overline{A}B + \overline{B}D + CDE + \overline{A}D$ ()

- A. $\overline{A}B+D$ B. $(A+B)D$ C. $(A+D)(B+C)$ D. $(A+D)(B+\overline{D})$

2.5 表示方法之间的转换

(1) 真值表→逻辑式

- 1) 找出所有使函数值为 1 的输入变量取值组合；
- 2) 每个输入变量取值组合为一个最小项；
- 3) 写出最小项之和式。

(2) 逻辑式→真值表

- 1) 根据输入变量按从小到大的顺序列输入变量取值组合；
- 2) 根据与项的结果确定输出的值。

作业题2 $Y_1 = A'B + BC + ACD'$ (题 2.5)

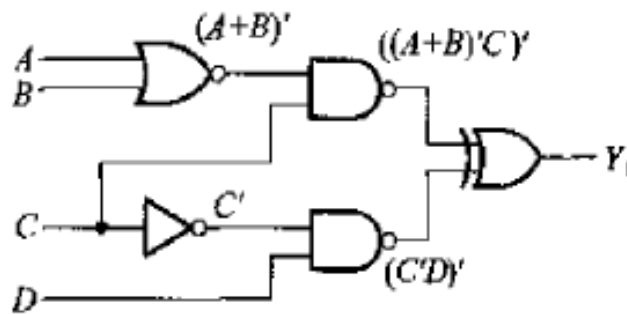
(3) 逻辑式→逻辑图

逻辑符号取代逻辑函数式中的代数运算符号。

(4) 逻辑图→逻辑式

从输入到输出逐级写出表达式，可不化简。

作业题3 写电路的输出逻辑函数式。(题 2.7)



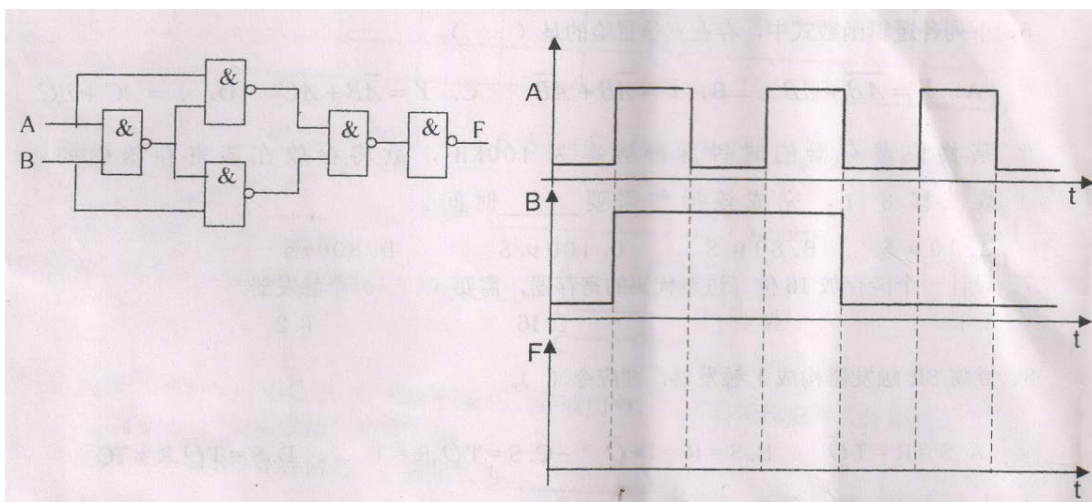
(5) 逻辑式→卡诺图

- 1) 将逻辑函数式展开为最小项之和式；
- 2) 画出最小项的卡诺图。

(6) 逻辑图→波形图

- 1) 写出逻辑函数式，转换为最简与或式；
- 2) 根据输入变量取值确定输出的值

题12 已知图示电路及输入 A, B 的波形，试画出相应的输出波形 F，不计门的延迟。



题13 由与非门构成的电路和输入波形如图 3.1 所示，根据 A、B 和 C 输入波形画出 F 的输出波形。

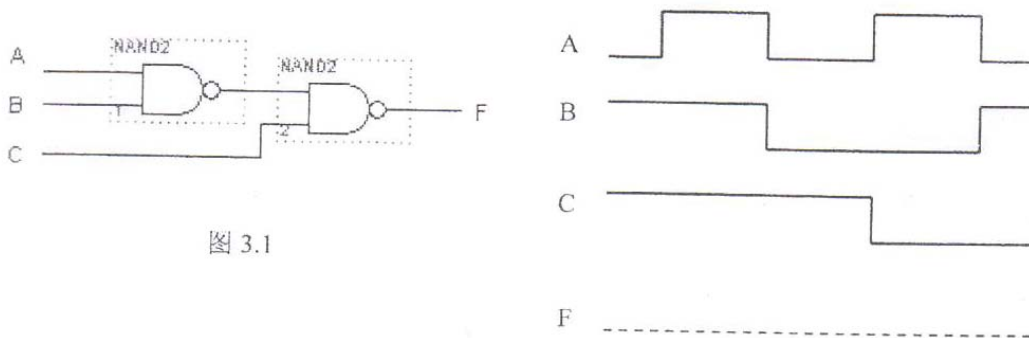


图 3.1

2.6 逻辑函数式的变换

(1) 与或式→与非—与非式

方法：利用摩根定理对与或式两次求反，去掉里层非号

作业题4 将下列逻辑函数化为与非 - 与非式 (题 2.12)

(2) 与或式→与或非式

方法：由卡诺图得Y的最小项之和，对Y求反。

(3) 与或式→或与式

方法 1：卡诺图得Y最小项之和，利用摩根定理对Y求反。

方法 2：用公式 $AB+C=(A+C)(B+C)$

(4) 与或式→或非—或非式

方法 1：与或→与或非;利用摩根定理将乘积项→或非

方法 2：与或→或与;对或与两次求反，去里层非号

题14 要求用或非门实现逻辑函数，应将逻辑函数转换为()。

- A. 与-或式 B. 与或非式 C. 或非-或非式 D. 与非-与非式

(5) 逻辑函数→最小项之和

1) 逻辑函数→与或式; 2) 缺失的变量分别取 0 和 1，直接写出最小项，如 $AC=AB'C+ABC$ 。

作业题5 将下列各函数式化为最小项之和的形式。(题 2.10)

(1) $Y_1 = ABC + AC + B'C$

(6) 逻辑函数→最大项之积

1) 逻辑函数→或与式; 2) 利用 $AA=0$ ，补齐缺少因子; 3) 利用 $A+BC=(A+B)(A+C)$

2.7 逻辑函数化简

2.7.1 公式法

利用公式，定理，消除多余乘积项和因子

题15 函数 $F = \overline{AB} + \overline{BC} + \overline{A} + \overline{B} + ABC$ 的最简与或式为_____。

作业题6 用逻辑代数的基本公式和常用公式将下列逻辑函数化为最简与或形式 (题 2.15)

$$Y = BC' + ABC'E + B'(A'D' + AD)' + B(AD' + A'D)$$

2.7.2 卡诺图

(1) 画卡诺图

(2) 合并最小项

原则：①大 每个圈尽可能大

②全 包含卡诺图中全部 1

③新 每个圈必须包含新的方格

④少 乘积项数目最少

题16 任何组合逻辑函数都可以等于其卡诺图中为 1 的方格所对应的最小项之_____。

题17 函数式 $F(A,B,C,D)=\sum m(0,1,2,3,6,8)+\sum d(10,11,12,13,14,15)$ 的最简与或式为_____。

题18 逻辑函数 $Y = \sum_m(0,2,5,6,7)$ 的最简与-或表达式为()。

A. $Y = AC + \overline{BC} + \overline{\overline{AC}} + AB$

B. $Y = A \oplus C + AB$

c. $Y = AC + B\overline{C} + \overline{A}B\overline{C}$

D. $Y = AC + \overline{\overline{AC}} + AB$

作业题7 用卡诺图化简法将下列函数化为最简与或形式。(图 2.23)

$$Y(A, B, C, D) = \sum m(0, 1, 2, 5, 8, 9, 10, 12, 14)$$

作业题8 将下列具有无关项的逻辑函数化为最简的与或逻辑式 (题 2.23)

$$Y_2(A, B, C) = \sum m(1, 2, 4, 7) + d(3, 6)$$

第3章 门电路

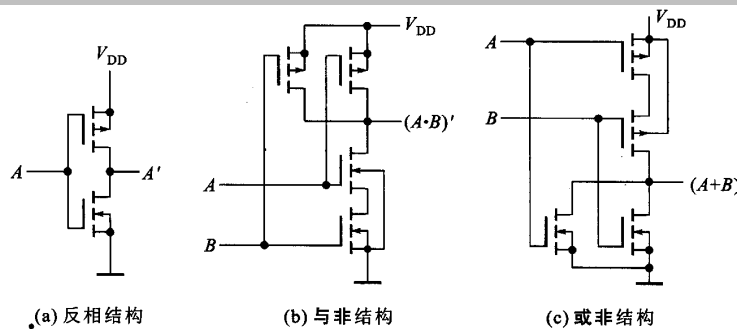
3.1 二极管门电路功能及特点

(1) 输入, 输出高低电平不一致

(2) 负载电阻改变影响输出高电平

3.2CMOS 门功能及特点

确定 P 型和 N 型 MOS 管



(1) 与非门: P 并 N 串

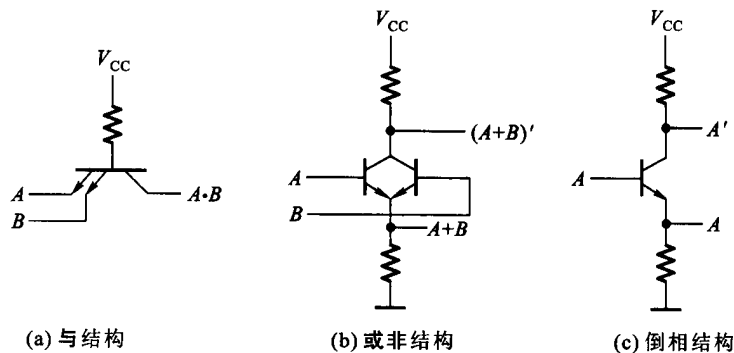
(2) 或非: P 串 N 并

(3) OD 门

(4) 传输门

(5) 三态门

3.3 TTL 门功能及特点



- | | |
|----------------------|---------------|
| (1) 反相器 | (2) 与非门: 多发射极 |
| (3) 或非门: 输入独立, 反相级并联 | (4) OC 门 |
| | (5) 三态门 |

题19 已知 74HCT04 系列门的 $V_{OH(min)} = 4.4V$, $V_{OL(max)} = 0.33V$, $V_{IH(min)} = 2.0V$, $V_{IL(max)} = 0.8V$, 则该门输入的高电平噪声容限为 ()

- A. 3.6V B. 2.33V C. 2.0V D. 2.4V

题20 在 TTL 三态门、OD 门、与非门、异或门和或非门电路中, 能实现“线与”逻辑功能的门为 _____, 能实现总线功能的门为 _____。

题21 在三态门、OD 门、OC 门、CMOS 传输门、异或门中, 可以实现模拟开关作用的是 _____, 可以实现线与功能的是 _____。

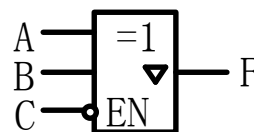
题22 CMOS 管的静态功耗小的原因是 ()

- A. 任何时候总有一个导通 B. 任何时候总有一个截至
- C. 输入为高电平或低电平总有一个截至 D. 以上都不是

题23 OC 门不具有的特点是 ()

- A. 提供较大的驱动电流 B. 提供较高的大驱动电压 C. 有“线与”功能 D. 可以接在总线上

题24 已知一逻辑门符号如图所示, 若 $A=1$, $B=0$, $C=0$, 则门的输出为 F = _____。



3.4 逻辑状态的确定

(1) CMOS 门

- 1) 不允许悬空
- 2) 输入端经电阻接地, 等效为低电平
- 3) 输入端经电阻接电源电压, 等效为高电平

(2) TTL 门

- 1) 悬空等效为高电平
- 2) 经大于某阻值的电阻接地, 等效为高电平
- 3) 经小于某阻值的电阻接地, 等效为低电平
- 4) 输入端经电阻接电源电压, 等效为高电平。

题25 对于或非门，只要有一个输入为高电平，则输出就为 _____ 电平，所以处理或非门多余输入端时不能接 _____ 电平。

题26 TTL 电路在正逻辑系统中，() 输入中相当于输入逻辑“0”。

- A. 悬空 B. 通过电阻 2.7KΩ 接电源 C. 通过电阻 2.7KΩ 接地 D. 通过电阻 510Ω 接地

题27 下列门电路中功耗最小的是()。

- A. TTL B. CMOS C. ECL D. PMOS

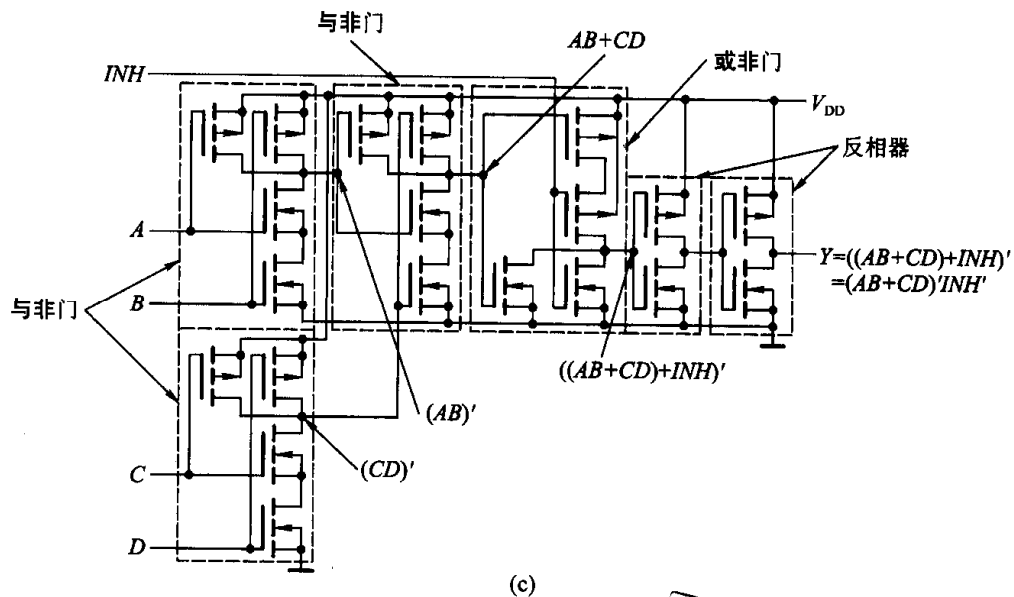
3.5 根据门电路内部结构求逻辑功能

(1) 将电路划分为若干基本功能模块

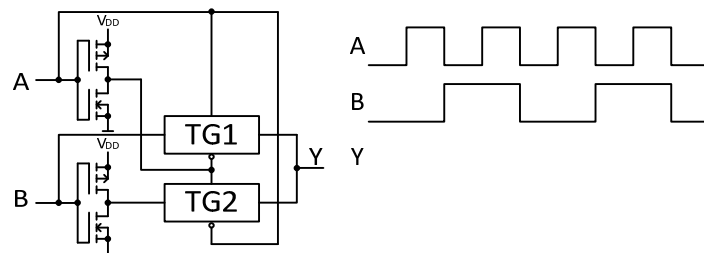
(2) 从输入到输出依次写出关系式

题28 门电路在输出没有状态转换时的功耗称为_____。

作业题9 题 3.7 (c)



题29 根据下面的电路画出输出端 Y 的波形图。



第 4 章 组合逻辑电路

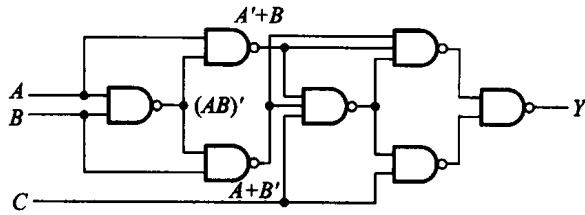
4.1 组合逻辑电路分析方法

- (1) 从输入到输出依次写出逻辑表达式
- (2) 得到电路输出逻辑函数
- (3) 根据需要列真值表

题30 下列电路中属于组合电路的是 ()

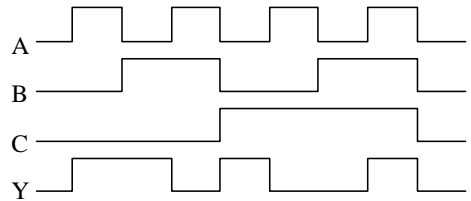
- A.集成触发器 B.多谐振荡器 C.二进制计数器 D. 3-8 译码器

作业题10 分析下图电路的逻辑功能，写出输出的逻辑函数式，列出真值表，说明电路逻辑功能的特点。(题 4.1)

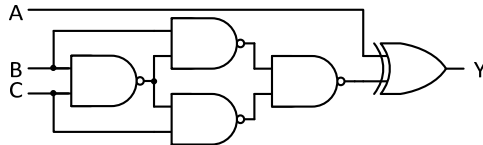


题31 某组合逻辑电路的工作波形如图所示 ,其中 A ,B , C 是输入 , Y 是输出 , 要求 :

- (1) 求出 Y 的逻辑表达式;
- (2) 画出逻辑电路图;
- (3) 说明电路的逻辑功能。

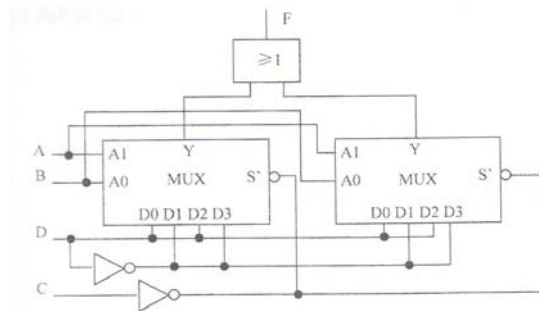


题32 分析下图中的组合逻辑电路，写出输出逻辑函数，列出真值表，并说明电路逻辑功能。



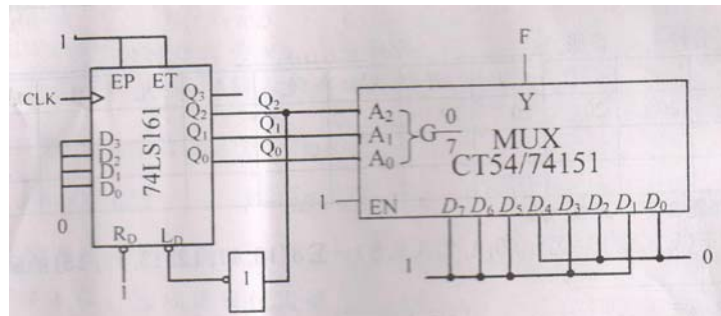
题33 由两片 4 选 1 数据选择器组成的电路如图 4.1 所示。

- (1) 写出 F 的最小项表达式;
- (2) 写出 F 的最简与或表达式;
- (3) 试仅用一片 4 选 1 数据选择器 (不要附加门电路) 实现该电路, 画出连线图。

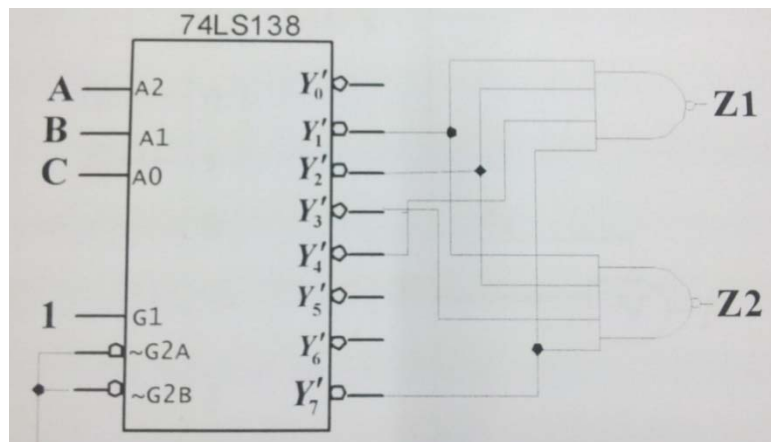


题34 同步 4 位二进制加法计数器 74LS161 及 8 选 1 数据选择器 74151 组成电路如图所示

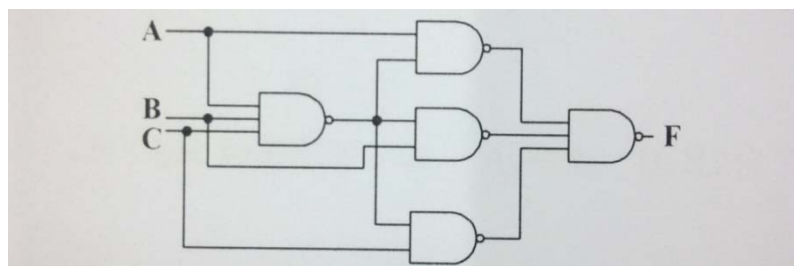
- (1) 电路中 74LS161 构成几进制计数器？试画出其有效循环。
- (2) 写出 F 最小项表达式，并将其简化为最简与或式。
- (3) 该电路的功能是什么？写出 F 在时钟 CLK 作用下的输出。



题35 用 3 - 8 线译码器实现的电路如下图所示，写出输出函数的表达式，列出真值表并说明电路的逻辑功能。



题36 组合电路如下图所示，(1) 写出输出函数的最简与或式；(2) 列出真值表，说明电路的逻辑功能；(3) 若全部用或非门实现该电路，写出相应的表达式。



4.2 用小规模集成电路设计组合逻辑电路

(1) 逻辑功能→逻辑函数

- ① 确定输入输出变量
- ② 定义逻辑状态的含义
- ③ 列真值表

(2) 写逻辑函数式

(3) 化简或变换函数

(4) 画逻辑电路图

题37 试利用与非门设计一个一位全减器电路，要求：

- (1) 列出真值表
- (2) 写出输出逻辑函数；
- (3) 画出逻辑电路图；

题38 旅客列车分为特快 A，直快 B 和慢车 C，它们的优先顺序为：特快、直快、慢车。在同一时间内，只能有一趟列车从车站开出，即只能给出一个开车信号 Y。请用与非门和非门设计一个满足上述要求的排队电路。

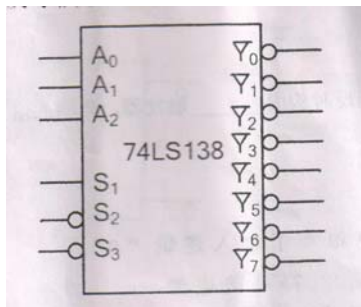
题39 试用反相器 或非门设计一个组合逻辑电路，能实现表中所示的逻辑功能，其中 L1 和 L2 为输出变量，要求电路最简。

A	B	C	L1	L2
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	0	0

4.3 用译码器设计组合逻辑电路

- (1) 用逻辑函数描述逻辑功能
- (2) 写出逻辑函数式
- (3) 选择 n 位译码器，M 输入变量，要求 $M \leq n$
- (4) 逻辑函数 \rightarrow 最小项之和，译码器产生最小项，用或门或与或非门相加
- (5) 画逻辑电路图

题40 某房间装有三个火灾传感器，A 代表温度传感器，B 代表烟雾传感器，C 代表红外传感器，当有两个以上传感器显示火灾时，发出火灾报警信号 F，试用 3-8 线译码器 74LS138 及与非门来设计实现火灾报警电路。



题41 用 3 - 8 线译码器 (输出端低电平有效) 和门电路设计一个全减器。

- (1) 设定逻辑变量，列写真值表；
- (2) 写函数表达式；
- (3) 画逻辑电路。

4.4 用数据选择器设计组合逻辑电路

- (1) 用逻辑函数描述逻辑功能
- (2) 写出逻辑函数式
- (3) 选择数据选择器: M 个输入变量, n 位地址输入, 要求 $M \leq n+1$
- (4) 逻辑函数 \rightarrow 最小项之和, 确定输入变量在地址输入端与数据输入端的连接
- (5) 画逻辑电路图

作业题11 用 8 选 1 数据选择器 74HC151 产生逻辑函数。(题 4.19)

$$Y = AC'D + A'B'CD + BC + BC'D'$$

4.5 数据选择器, 编码器, 译码器, 加法器, 数值比较器

题42 已知输入为 A 和 B , 和为 S , 进位为 C , 则半加器的 $S =$ _____。

题43 在二进制译码器中, 若输入 4 位代码, 则最多有()个输出信号。

- A. 2 B. 4 C. 8 D. 16

题44 一个二进制编码器需要对 12 位输入信号进行编码, 则需要_____位二进制代码; 而一个 4 变量地址译码器最多能产生_____位地址信号。

题45 下列电路实现方法中, 不正确的是()。

- A. 利用所有类型的译码器都可以实现数据分配器。
B. 利用二进制译码器可产生 3 变量的逻辑函数。
C. 利用八选一的数据选择器可产生 4 变量的逻辑函数。
D. 利用 3 位数值比较器可以实现 5 位数值比较器。

4.6 竞争-冒险现象

题46 下列各逻辑函数式中, 存在竞争冒险的是()

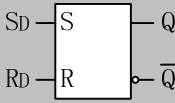
- A. $Y = \overline{A}B + AB$ B. $Y = \overline{A}B + A\overline{B}$ C. $Y = \overline{A}B + AC$ D. $Y = \overline{A}C + BC$

第5章 触发器

5.1 触发器功能，特性表，特性方程，逻辑符号，触发方式

(1) SR 锁存器

SR 锁存器（或非门，1 有效）

特性表(或非门)			逻辑符号	特性方程
Sd	Rd	Q*		$\begin{cases} Q^* = S + \bar{R}Q \\ SR = 0 \end{cases}$
0	0	保持		
1	0	置1		
0	1	清0		
1	1	0		

题47 两个与非门构成的基本 RS 触发器以 S、R 为输入的约束条件为 ()

A. $R+S=1$

B. $R+S=0$

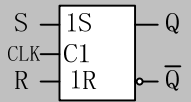
C. $RS=1$

D. $RS=0$

题48 与非门构成的基本 SR 触发器在正常工作时，它的约束条件是 $\bar{R} + \bar{S} = 1$ ，则它不允许输入 $\bar{R} =$ 且 $\bar{S} =$ 的信号。

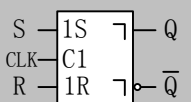
(2) 电平触发方式

电平触发 SR 触发器

特性表				逻辑符号	特性方程
CLK	S	R	Q*		$\begin{cases} Q^* = S + \bar{R}Q \\ SR = 0 \end{cases}$
1	0	0	保持		
1	1	0	置1		
1	0	1	清0		
1	1	1	1		

(3) 脉冲触发方式

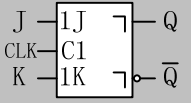
1) 主从 SR

特性表				逻辑符号	特性方程
CLK	S	R	Q*		$\begin{cases} Q^* = S + \bar{R}Q \\ SR = 0 \end{cases}$
0	0	0	保持		
0	1	0	置1		
0	0	1	清0		
0	1	1	1		

CLK=1: 主触发器发生多次翻转

CLK 下降沿: 从触发器根据主触发器的状态确定。

2) 主从 JK

特性表				逻辑符号	特性方程
CLK	J	K	Q*		$Q^* = J\bar{Q} + \bar{K}Q$
0	0	0	保持		
0	1	0	置1		
0	0	1	清0		
0	1	1	\bar{Q}		

CLK=1: 主触发器发生一次翻转

CLK 下降沿：从触发器根据主触发器的状态确定。

一次变化现象：（主从 JK 触发器的状态直接根据下面的条件即可确定）

1) $Q=0$ 时, J 出现 1; $Q: 0 \rightarrow 1$

2) $Q=1$ 时, K 出现 1; $Q: 1 \rightarrow 0$

题49 为了避免时钟下降沿到达时主触发器的状态与 J、K 的状态不符，通常应使主从 JK 触发器的状态在时钟脉冲为 1 期间_____。

题50 对于 JK 触发器的两个输入端，当输入信号相反时构成_____触发器，当输入信号相同时构成_____触发器。

题51 欲将 SR 触发器构成 T 触发器，则应令 ()。

A. $S = R = TQ$ B. $S = R = T + Q$ C. $S = TQ, R = T$ D. $S = TQ, R = TQ$

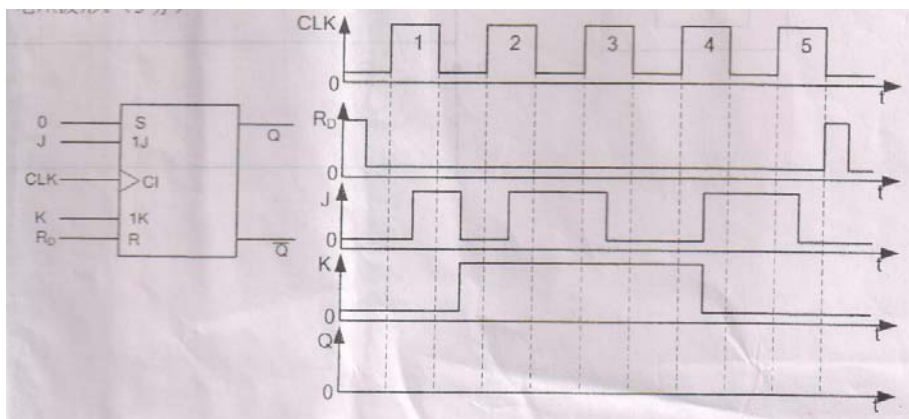
(4) 边沿触发方式

5.2 给定触发器输入信号波形，画输出波形

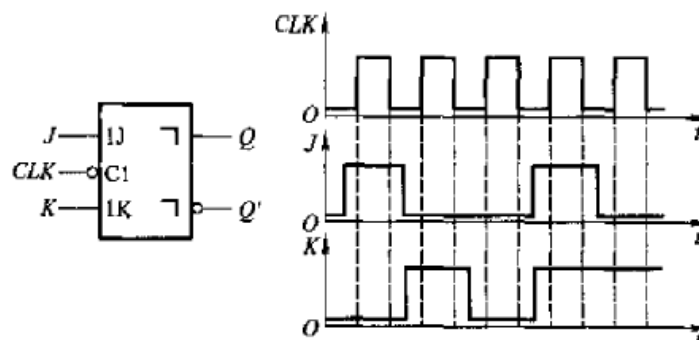
(1) 直接给出输入信号波形

根据触发器特性表和触发方式直接确定每个时钟周期输出 Q 的状态。

题52 已知 CMOS 边沿触发方式 JK 触发器各输入端的电压波形如图所示，试画出 Q 端对应的电压波形。



作业题12 已知脉冲触发 JK 触发器输入端 J、K 和 CLK 的电压波形如下图所示，试画出 Q 和 Q' 端对应的电压波形，设触发器的初态为 0。(题 5.11)



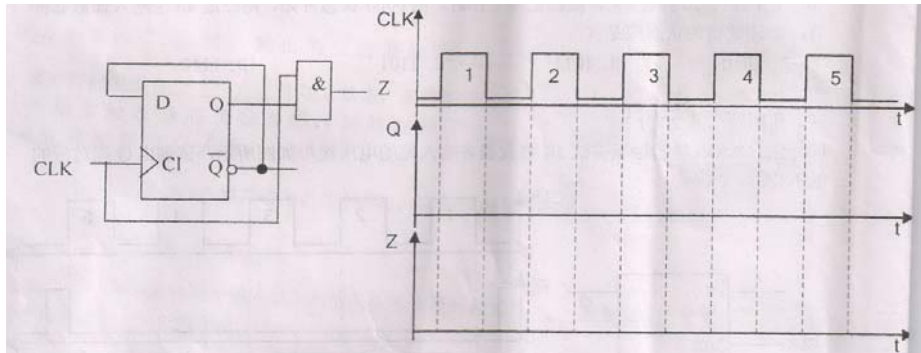
(2) 输入信号经另外的组合逻辑电路加到触发器的输入端

1) 写出触发器驱动方程;

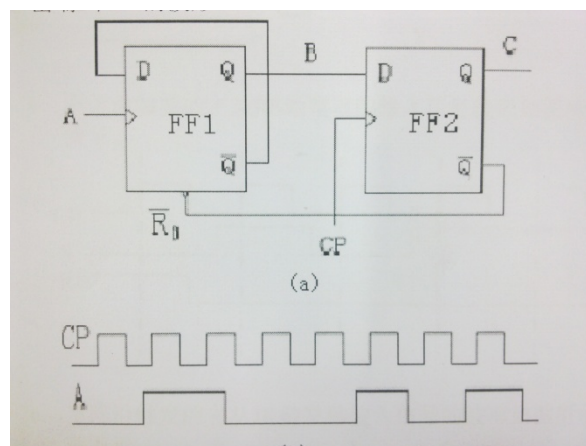
2) 写出触发器状态方程;

3) 利用触发器的状态方程, 确定每次 CLK 作用后触发器的次态输出。

题53 根据图给出的由 D 触发器和与门所构成的电路, 不计门电路和触发器的传输延迟, 试画出输出 z 的波形, 触发器的初始化状态为 0。



题54 已知电路及 CP, A 的波形如图所示, 设触发器的初态为 0, 试画出输出端 B 和 C 的波形。



题55 由 D 触发器构成的电路和输入波形如图 3.3 所示, 其中 PRN 是异步置 1 输入端, 低电平有效, CLRN 是异步置 0 端, 低电平有效。根据 CP, A 和 B 输入波形画出 Q 的输出波形 (触发器初态为 0)。

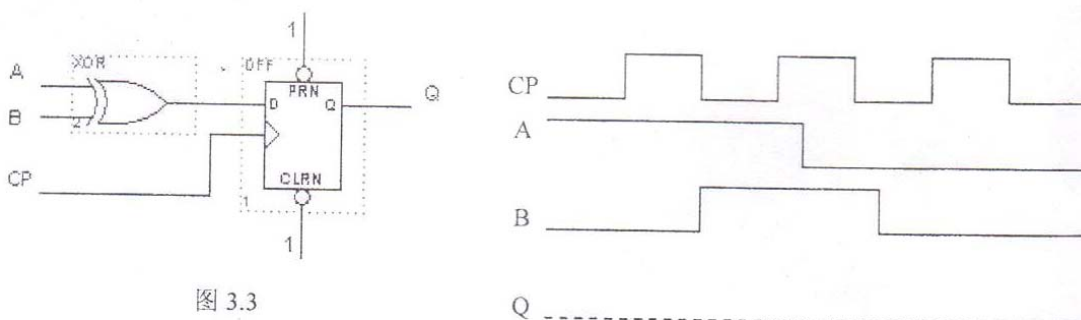


图 3.3

题56 由 JK 触发器构成的电路和输入波形如图 3.4 所示, 其中 PRN 是异步置 1 输入端, 低电平有效, CLRN 是异步置 0 端, 低电平有效。画出 A, B 和 C 作用下的输出 Q 的波形 (触发器初态为 0)。

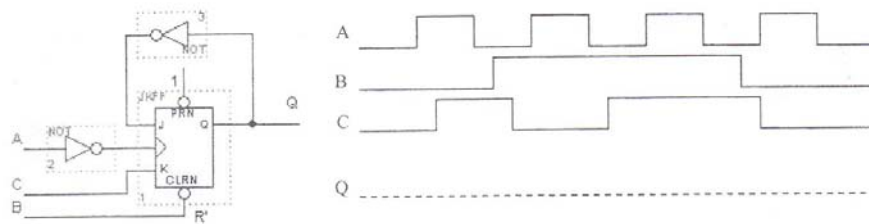
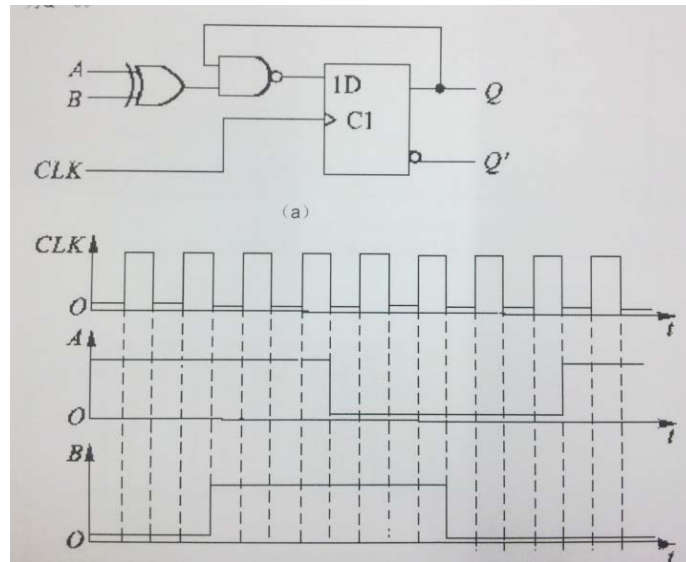


图 3.4

题57 画出下图中触发器输出端 Q 的电压波形，输入信号 A,B 的波形如下图所示，触发器的初态为 0。



(3) 触发器的异步输入端有信号

异步清 0 和异步置 1 信号有效时，触发器输出立刻进行相应的清 0 和置 1 操作。

题58 由时钟边沿触发的 SR 触发器电路和输入波形如图 3.2 所示，其中 PRN 是异步置 1 输入端，低电平有效，CLRn 是异步置 0 端，低电平有效。根据 CP、S 和 R 输入波形画出 Q 的输出波形（触发器初态为 0）。

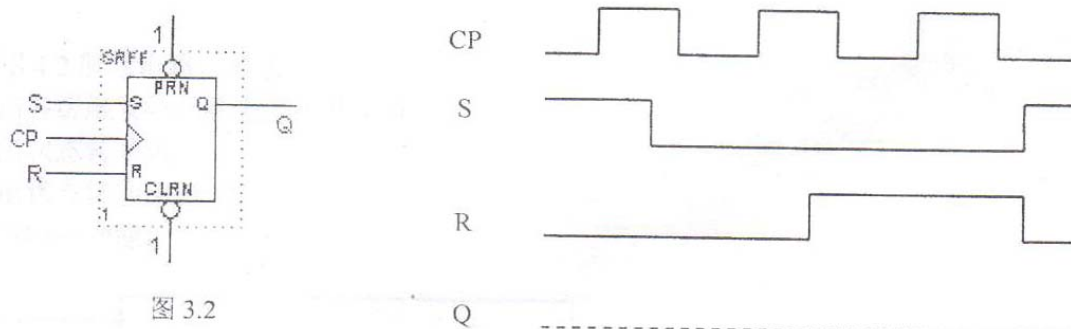


图 3.2

第6章 时序逻辑电路

6.1 时序电路的描述方法

- (1) 方程组：状态方程，驱动方程，输出方程
- (2) 状态转换表
- (3) 状态转换图

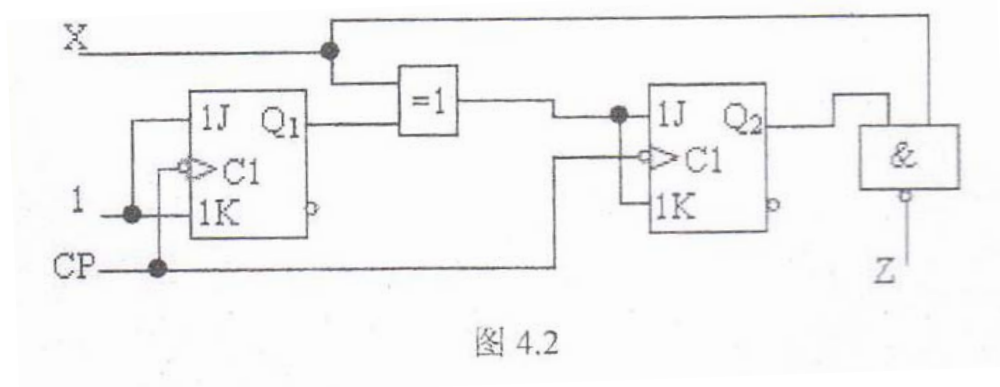
题59 描述时序逻辑电路可以用_____、状态转换表、状态图、时序图。

6.2 分析由触发器和门电路组成的时序逻辑电路

- (1) 写驱动方程
- (2) 驱动方程代入特性方程，得到状态方程
- (3) 写输出方程
- (4) 画状态转换表或状态转换图，时序图

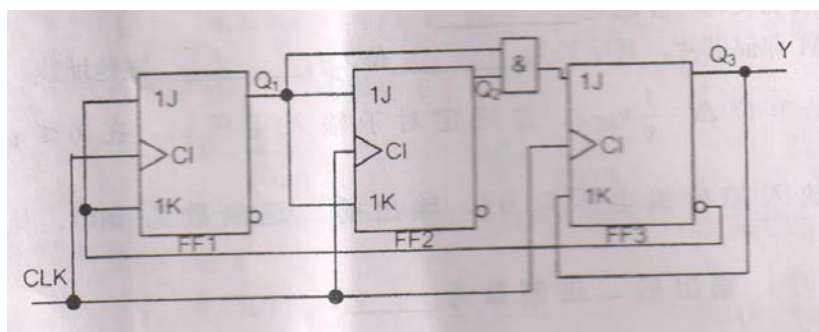
题60 分析图 4.2 所示电路，要求：

- (1) 写出各级触发器的状态方程和电路的输出方程；
- (2) 画出状态转换表；
- (3) 画出状态转换图；
- (4) 说明电路的功能。

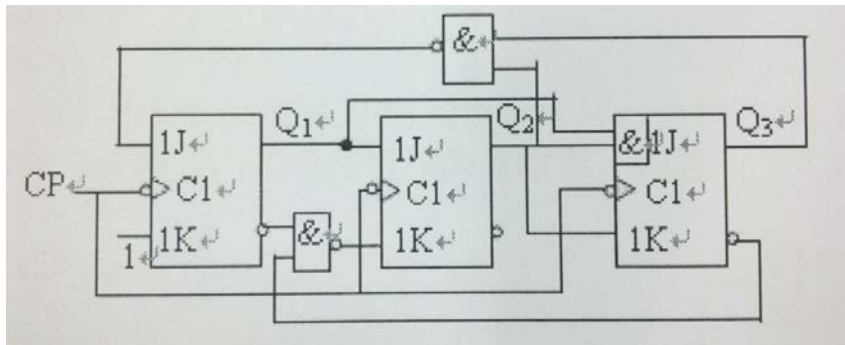


题61 时序逻辑电路如图所示

- (1) 写出驱动方程、输出方程；
- (2) 写出状态方程；
- (3) 画状态转换图；
- (4) 电路具有什么样的功能，能否自启动？



题62 分析下图电路逻辑功能，画出状态转换图；若令 $K_3=1$ 电路为几进制计数器，画出其状态转换图。



6.3 分析由中规模集成时序逻辑电路组成的时序电路

(1) 明确集成电路逻辑功能，注意同步清 0 和异步清 0

常用：74161：4 位同步二进制计数器（同步置数，异步清 0）

74LS162，163：4 位同步二进制计数器（同步置数，同步清 0）

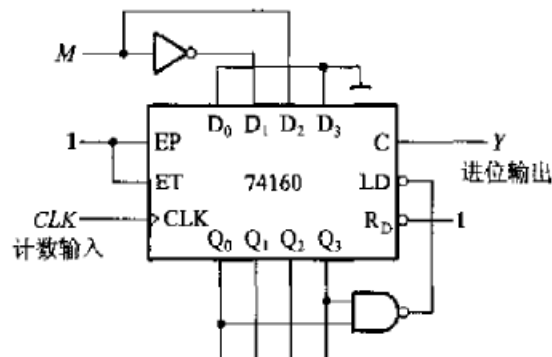
74LS191：同步十六进制加/减计数器（异步置数）

74LS160：同步十进制加法计数器（同步置数，异步清 0）

(2) 状态转换图

(3) 多芯片电路中，确定整个电路输出与输入关系

作业题13 试分析下图的计数器在 $M=1$ 和 $M=0$ 时各为几进制。(题 6.13)



6.4 常用时序电路

寄存器，移位寄存器，计数器，环形计数器，扭环计数器，顺序脉冲发生器，序列信号发生器

题63 某移位寄存器的时钟脉冲频率为 100kHz，欲将存放在该寄存器中的数左移 8 位，完成该操作需要 () 时间。

- A. 10us B. 80us C. 100us D. 800ms

题64 设计一个能存放 16 位二进制代码的寄存器，需要 () 个触发器。

- A. 8 B. 4 C. 16 D. 2

题65 构成模值为 256 的二进制计数器，至少需要 () 级触发器。

- A. 2 B. 128 C. 8 D. 256

题66 一个四位二进制加法计数器正常工作时，由 0000 状态开始，则经过 43 个输入计数脉冲后，

此计数器的状态应是 ()。

A. 1010

B. 1011

C. 1101

D. 1110

6.5 用触发器和门电路设计时序逻辑电路

(1) 得到状态转换图或状态表

(2) 状态化简

(3) 状态分配 $2^{n-1} \leq M \leq 2^n$

(4) 选触发器类型，求出状态方程，驱动方程和输出方程

(5) 根据方程组画出逻辑图

(6) 检查自启动

作业题14 作业试用 JK 触发器和门电路设计一个同步七进制计数器。(题 6.31)

题67 试用 JK 触发器设计一个模 6 的同步减法计数器 (按自然二进制码递减)，带借位输出 B，要求：

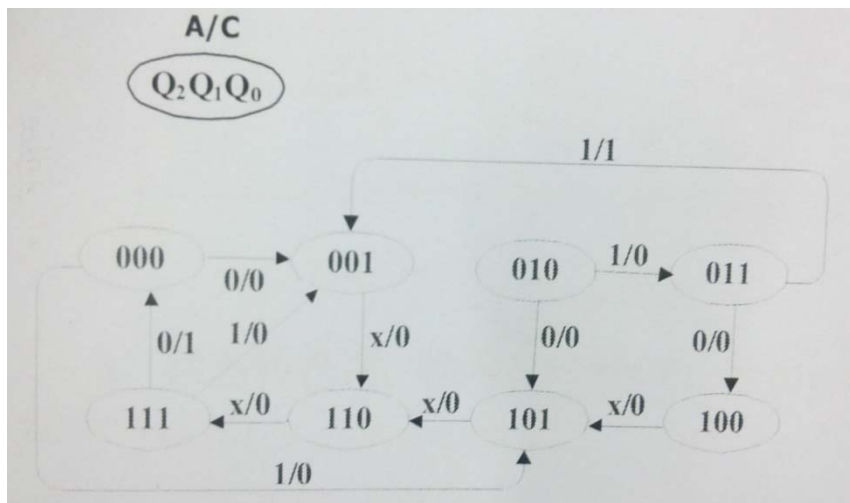
(1) 画出状态转换图；

(2) 写出状态方程和输出方程；

(3) 画出逻辑图。

题68 用 JK 触发器设计一个模制可控的计数器， $K=0$ 时，为模 5 的计数器，进位 C_1 ， $K=1$ 时，为模 2 的计数器，进位 C_2 。

题69 已知状态转换图如下图所示，试用 JK 触发器设计该电路。



6.6 用中规模集成的计数器设计任意进制计数器

已有 N 进制集成计数器，设计 M 进制计数器

(1) $N > M$

1) 清 0

同步清 0 经过 M-1 个状态产生同步清 0 信号

异步清 0 经过 M 个状态产生异步清 0 信号，其中 M 状态是不稳定状态

注意重新产生进位信号。

2) 置数

同样注意同步或异步置数

(2) $N < M$

串行进位 (异步): 低位进位输出作为高位时钟

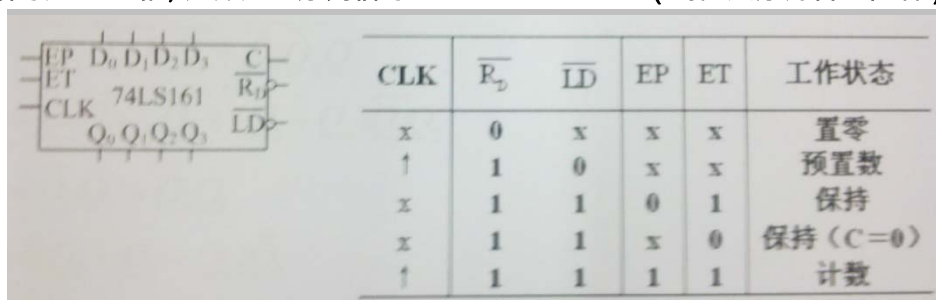
并行进位 (同步): 低位进位输出作为高位使能

1) 两个 N 进制串连, 得到 $N \times N$ 进制, 要求 $N \times N > M$, 利用整体清 0 或整体置数

2) $M = m_1 \times m_2$, $N \rightarrow m_1$, $N \rightarrow m_2$

作业题15 画出用两片同步十进制计数器 74160 接成同步三十一进制计数器的连线图。(题 6.21)

题70 已知 4 位二进制加法计数器 74LS161 逻辑符号和功能表如下图所示, 试用 161 和门电路设计一个 16 位序列信号产生电路, 周期产生序列信号 0110110101010111 (时间顺序为自左而右)



第 7 章 半导体存储器

7.1 存储器的功能及特点

(1) ROM

1) 掩膜只读存储器 ROM

存储矩阵、地址译码器和输出缓冲器组成; 出厂时“固化”数据

2) 可编程只读存储器 PROM

结构同掩膜 ROM; 一次编程

3) 紫外线擦除 EPROM

可重复擦写, 需要编程器完成编程操作

4) 电擦除 E²PROM

通过电信号完成擦除操作

6) 快闪存储器 FLASH

不需要编程器完成编程操作, 工作时只需 5V 电源。

(2) RAM

1) 静态随机存储器 SRAM

2) 动态随机存储器 DRAM

7.2 存储器扩展容量的方法

(1) 位扩展

地址线，读/写控制线，片选线分别并联， n 片 m 位数据线，构成 $m \times n$ 位数据输出

(2) 字扩展

各片地址线，读/写控制线，数据线分别并联，通过剩下地址线进行译码产生各片片选线

(3) 同时扩展

同时采用上述两种方法

题71 要构成容量为 $4k \times 8$ 位的 RAM，需要容量为 256×8 的 RAM _____ 位。

题72 一片 $4K \times 16$ 的 ROM 存储器芯片，其字长为 _____ 位，有 _____ 根地址线。

题73 当某片半导体随机存储器 RAM 芯片的控制信号 $\overline{CS} = 0$ 和 $\overline{WE} = 0$ 时，该存储器 ()

A. 只能进行读操作 B. 只能进行写操作 C. 可进行读或写操作 D. 不能进行任何操作

7.3 用存储器设计组合逻辑电路

(1) 得出组合逻辑电路的真值表

(2) 选择存储器芯片，地址数 $n \geq$ 输入变量数 M ，芯片数据输出数 \geq 函数输出数

(3) 若芯片不能满足 2 的要求，则采用位扩展或字扩展的方法实现

(4) 函数输入变量连接存储器的地址输入端，存储器的输出作为函数输出端，从函数真值表得到存储器的数据表

题74 用 EPROM 设计一个组合逻辑电路，其输入是一个 4 位的二进制数 $B = B_3B_2B_1B_0$ ，当 $B_3B_2B_1B_0$ 中“1”的个数为偶数时，输出 $Y = 1$ ，否则输出 $Y = 0$ 。列出真值表，写出输出函数的表达式，画出电路的编程阵列图。

题75 设计一个 1 位二进制加减运算电路，当 $K=0$ 时，作全加运算，当 $K=1$ 时，做全减运算

(1) 列真值表；

(2) 写函数表达式；

(3) 画 EPROM 实现编程阵列图

第 8 章 可编程逻辑器件

(1) PLA 可编程逻辑阵列

与，或阵列可编程

(2) PAL 可编程阵列逻辑

与阵列可编程，或阵列固定

(3) GAL 通用阵列逻辑

与阵列编程，OLMC

(4) CPLD 复杂可编程逻辑器件

掉电数据不丢失，传输延迟时间可预知

(5) FPGA 现场可编程门阵列

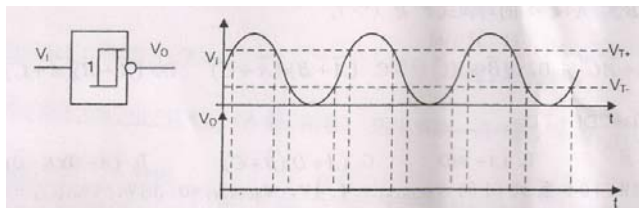
掉电数据丢失，传输延迟时间不确定。

第 10 章 脉冲波形的产生和整形

(1) 施密特触发器功能，特点，波形及应用

题76 施密特触发器有_____个稳定状态，多谐振荡器有_____个稳定状态。

题77 反相施密特触发器输入如图所示，试画出输出波形。



(2) 单稳态触发器功能及特点

题78 单稳态触发器的暂稳态维持时间取决于_____，与触发脉冲的宽度和幅度没有关系。

(3) 多谐振荡器功能，特点及实现方法

题79 石英晶体振荡器振荡频率为 32.768KHz，需使用_____位二进制计数器分频，才能得到周期为 1 秒的信号。

(4) 555 定时器功能及应用

$V_{I1}(2/3 V_{CC})$	$V_{I2}(1/3 V_{CC})$	\overline{R} (反相)	\overline{S}	V_O
>	>	0	1	0
<	>	1	1	保持
<	<	1	0	1
>	<	0	0	1 ($\overline{Q} = 1$)

题80 用 555 定时器构成的施密特触发器，若电压控制端不外接固定电压，则其 V_{T+} 为 ()

A. $1/3 V_{CC}$

B. $1/2 V_{CC}$

C. $2/3 V_{CC}$

D. V_{CC}

第 11 章 数 - 模和模 - 数转换

(1) A/D 及 D/A 主要技术指标

(2) D/A 转换器的分类, 特点

题81 某 n 位 D/A 转换器的分辨率为 $0.01V$, 则当输入数字量为 1001011001 时的输出电压为 ()

- A. $4.096V$ B. $5.37V$ C. $6.01V$ D. $7.21V$

题82 在 10 位 D/A 转换器中, 其分辨率是 ()。

- A. $1/10$ B. $1/1024$ C. $1/1023$ D. $1/2$

(3) A/D 转换器的分类, 特点

题83 某 8 位 A/D 转换器的输入信号最大值为 $5V$, 则它能分辨的最小输入信号电压为_____。

题84 若某 ADC 取量化单位 $\Delta = 1/8 V_{REF}$, 并规定对于输入电压 u_1 , 在 $0 \leq u_1 < 1/8 V_{REF}$ 时, 认为输入的模拟电压为 $0V$, 输出的二进制数为 000 , 则 $5/8 V_{REF} \leq u_1 < 6/8 V_{REF}$ 时, 输出的二进制数为_____。