一、填空题

⑴ 二进制数100111102对应的十进制数为( 158 )10，十六进制数为( 9E )16。

⑵ (36.7)8 + (13.9)16 - (1101.01)2 = ( 37.1875 )10。[30.875+19.5625-13.25]

⑶ 一个64位字中有 8 个字节， 16 个半字节。

⑷ 230 字节 ≈ 1024 兆字节。

⑸ N位二进制补码能表示的最大整数是 2N-1-1 ，最小负数是 -2N-1 。

⑹ 2048\*8位RAM芯片，其地址线有 11 位，数据线有 8 位。

二、单项选择题

⑴ 某有限状态机有7个状态，如果采用二进制编码 (Binary Encoding)为状态赋值，需要（ D ）个1位的D触发器，如果采用热点编码（One-hot Encoding）为状态赋值，需要（ D ）个1位的D触发器。

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| A | 2, 7 | B | 7, 3 | C | 7, 5 | D | 3, 7 |

⑵ 某同步时序电路不能满足保持时间约束（hold time constraint），以下哪种方法可以解决这个问题：C

|  |  |  |  |
| --- | --- | --- | --- |
| A | 降低运行频率 | B | 减少关键路径延迟 |
| C | 增加最小延迟 | D | 以上都不行 |

⑶ 三态缓冲器的输出，除了高电平和低电平，还有（ D ）：

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| A | 高阻态 | B | 浮空 | C | 高Z态 | D | 以上都是 |

⑷ 下述电路（ B ）**不是**组合逻辑电路。



⑸ 设A1,A0为四选一数据选择器的地址码，X0~X3为数据输入，Y为数据输出，则输出Y与Xi(i=0,1,2,3) 和Bi(i=0,1)之间的逻辑表达式为( C )。

|  |  |
| --- | --- |
| A |  |
| B |  |
| C |  |
| D |  |

⑹ 要实现一个32位的加法器，以下哪种加法器速度最快：C

|  |  |
| --- | --- |
| A | 行波进位加法器（Ripple Adder） |
| B | 先行进位加法器（Carry Lookahead Adder） |
| C | 前缀加法器（Prefix Adder） |
| D | 以上都不对 |

⑺ 下述电路产生毛刺（glitch）的条件是：B



|  |  |  |  |
| --- | --- | --- | --- |
| A | 信号A从1变化到0 | B | 信号B从1变化到0 |
| C | 信号C从1变化到0 | D | 该电路不会产生毛刺 |

⑻ 对于下述电路构成的ALU，要实现加法操作，其控制码F2:0应为（ B ）。



|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| A | 000 | B | 010 | C | 110 | D | 111 |

⑼ 使用256\*4位ROM芯片组成1024\*32位存储器，需要ROM芯片（ D ）片。

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| A | 64 | B | 8 | C | 16 | D | 32 |

⑽ 关于存储器描述**不正确**的是（ B ）。

|  |  |
| --- | --- |
| A | 现代的ROM不仅能读出，而且还能写入 |
| B | DRAM的访问速度一般要快于SRAM |
| C | 闪存(Flash)属于ROM类别 |
| D | ROM掉电后内容依然存在 |

三、利用布尔代数证明：。

解答：

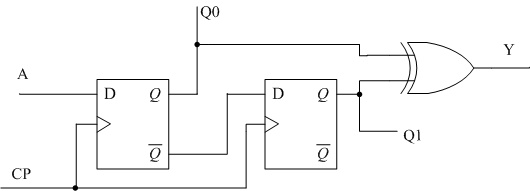


四、利用布尔代数化简逻辑表达式：。

解答：



五、电路结构如下图所示，已知CP和A的波形，设图中D触发器Q0, Q1为上升沿触发，且初始状态均为0，画出触发器Q0, Q1和输出Y的波形。





六、

⑴ 画出以下Verilog HDL描述的电路图。

module circuit (input a, b, c, output y, z);

assign y = a & b & c | a & b & ~c | a & ~b & c;

assign z = a & b | ~a & ~b;

endmodule

⑵ 简化上述电路图，使用最少逻辑门表示。

解答：

(1)



(2)





七、下述电路中异或门的传输延迟（propagation delay）为100ps，D触发器的建立时间为60ps，时钟到Q的最大延迟为70ps，请计算此电路的最大工作频率。



解答：

延迟=100\*3+60+70=430 ps

最高主频为1/430 ps=2.3 GHz

八、使用存储器阵列和逻辑阵列实现组合逻辑：

⑴ 使用16×1位的SRAM构成的LUT（Lookup Table）实现此组合逻辑，请在下表中填写SRAM中的内容，其中{A, B, C, D}构成四位地址ADDR[3:0]。

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 地址 | 内容 | 地址 | 内容 | 地址 | 内容 | 地址 | 内容 |
| 0000 | 1 | 0100 | 1 | 1000 | 1 | 1100 | 0 |
| 0001 | 0 | 0101 | 0 | 1001 | 0 | 1101 | 1 |
| 0010 | 1 | 0110 | 1 | 1010 | 1 | 1110 | 0 |
| 0011 | 1 | 0111 | 1 | 1011 | 1 | 1111 | 0 |

⑵ 使用4×8×3的PLA实现此组合逻辑，在下图合适的地方画点。

解答：





九、某组合逻辑电路输入为四位二进制数A[3:0]，输出为Y。当输入的四位二进制数能被2或者能被3整除时，Y输出“1”。

⑴ 列出该逻辑电路的真值表。

⑵ 给出用卡诺图方法化简的逻辑表达式。

⑶ 画出相应的电路图。

解答：

(1)

|  |  |
| --- | --- |
| A[3:0] | Y |
| 0000 | 1 |
| 0001 | 0 |
| 0010 | 1 |
| 0011 | 1 |
| 0100 | 1 |
| 0101 | 0 |
| 0110 | 1 |
| 0111 | 0 |
| 1000 | 1 |
| 1001 | 1 |
| 1010 | 1 |
| 1011 | 0 |
| 1100 | 1 |
| 1101 | 0 |
| 1110 | 1 |
| 1111 | 1 |

(2)





(3)



十、请用有限状态机实现下面的交通：Academic大道和Bravado大街上安装了2个交通传感器TA和TB，1为该方向有人，0为该方向没人；LA和LB为两个方向的交通灯，分别显示绿色、黄色和红色。为了防止出现饿死现象，当某一方向有人，而另一方向也有人时，则应该轮流通过，否则当某个方向有人，而另外一个方向没人时，则让前者继续通过。



解答：下图TA转移条件改为：，而的条件则改为：

下图TB转移条件改为：，而的条件则改为：



状态转移表

|  |  |  |  |
| --- | --- | --- | --- |
| 当前状态 | 输入 | | 下一状态 |
| TA | TB |
| S0 | 0 | 0 | S1 |
| S0 | 0 | 1 | S1 |
| S0 | 1 | 0 | S0 |
| S0 | 1 | 1 | S1 |
| S1 | X | X | S2 |
| S2 | 0 | 0 | S3 |
| S2 | 0 | 1 | S2 |
| S2 | 1 | 0 | S3 |
| S2 | 1 | 1 | S3 |
| S3 | X | X | S0 |

二进制编码的状态转移表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 当前状态 | | 输入 | | 下一状态 | |
| S1 | S0 | TA | TB | S1’ | S0’ |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | X | X | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | X | X | 0 | 0 |

求得：



