

SOUND GENERATOR  
**YM 2608(OPNA)**  
FM OPERATOR

YAMAHA CORPORATION

# YM 2608

FM Operater Type-NA(OPNA)

## ■概 要

OPNAは、FM音源方式を採用することにより、新しいタイプのシンセサイザーとしての威力をもち、あらゆる音に対応することができます。またマイクロプロセッサ&マイクロコンピュータと簡単に接続出来るように、音色の情報を蓄えるレジスタを内蔵しております。

OPNAの機能は、YM2203を完全に包含し、更にADPCM音声分析／合成、リズム音、LFO機能等を追加されています。

## ■特 長

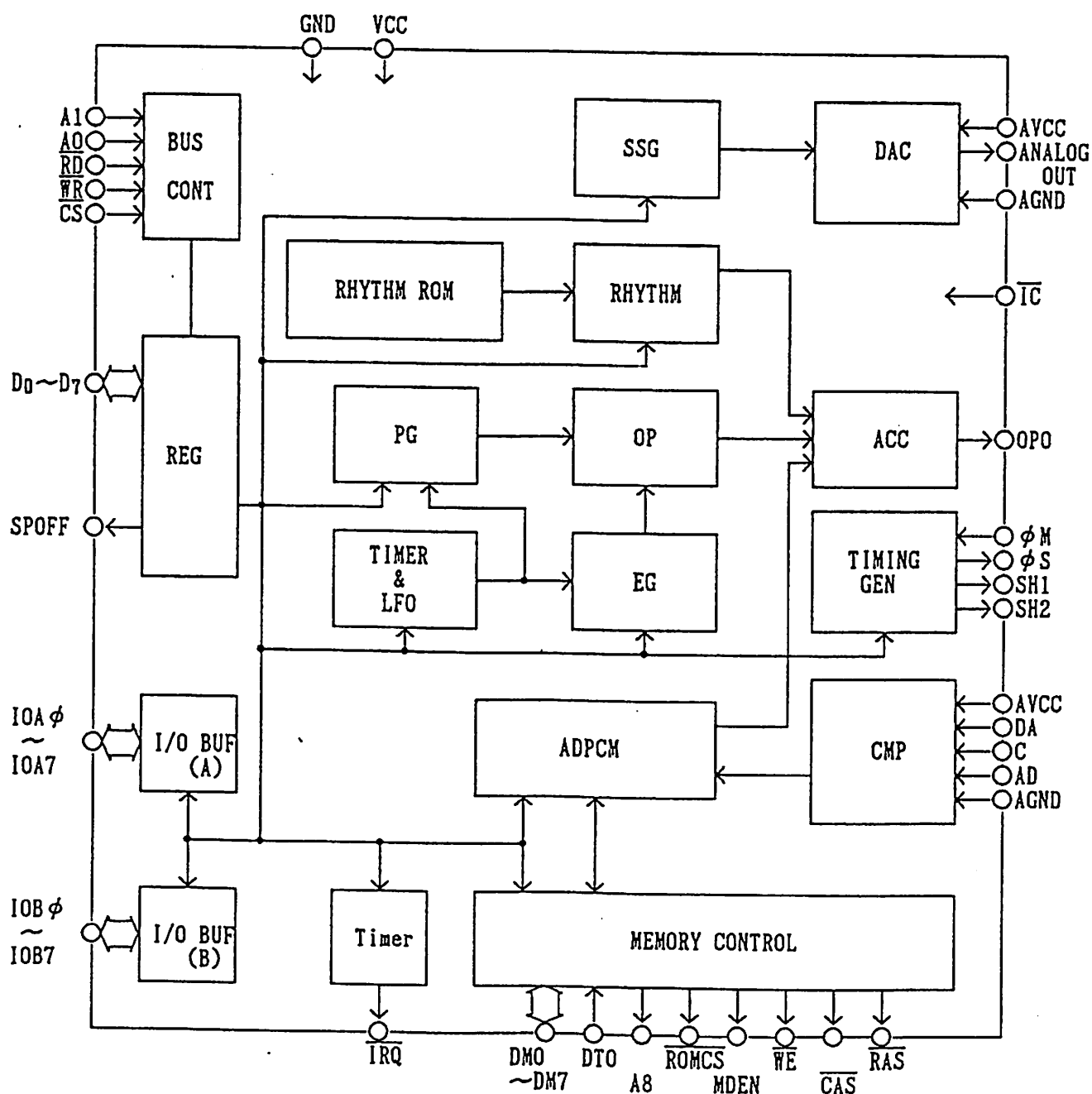
- FM方式の音源を採用し、6音同時発音が可能であり、かつ6音をそれぞれ異色音にすることができる。
- 6音のうち1音は、複合正弦波音声合成が可能。
- 2つのプログラマブルなタイマー内蔵
- YM2149/GI社 AY-3-8910・8912とリフトウェアコンパチブル
- YM2203以外の機能を要約すると次の通りとなります。
  - (1) FM音源 3音 (合計 6音)
  - (2) ADPCM音声分析／合成
  - (3) リズム 6音
  - (4) 2チャンネル出力
  - (5) LFO機能
  - (6) クロック周波数 7.9872MHz (6分周時)
- Nch-Si gate MOS LSI
- 5V単一電源
- 64ピン プラスチックSDIP

## 1. 概要

OPNAの機能は、YM2203を完全に包含し、更に機能を追加したものである。追加機能は次の通り。

- (1) FM音源 3音 (合計6音)
- (2) ADPCM 音声分析/合成
- (3) リズム6音
- (4) 2チャンネル出力
- (5) LFO機能
- (6) クロック周波数 7.9872MHz (6分同時)

ブロック図



## 2. 主要機能

### (a) FM音源部

- 発音数 : 6音
- オペレータ数 : 4組 (YM2203と同じ)
- アルゴリズム数 : 8種 (YM2203と同じ)
- 各データと機能 : レジスタアドレス参照。  
(下記に示す機能を除きYM2203と同じ。)  
CH: D1、D0の2ビット使用をD2、D1、D0の3ビットとする。  
LR: ステレオ出力制御用 L、Rデータを7ビット B4、B5、B6、の  
D7、D6 に設ける。(D7: Lch、D6: Rch)
- タイマ数 : タイマA、タイマB (YM2203と同じ)
- 複合正弦波音声合成 : 6音中1音可能
- 適合するDAC : YM3016 (16ピン) 等。
- LFO機能 : 振幅、周波数変調、深さ制御、変調有無、LFO周波数  
設定可能。
- その他の機能 : レジスタアドレス参照。(YM2203と同じ。)

### (b) SSG部

- 発音数及びその機能 : 矩形波音3音+ホワイトノイズ (YM2203と同じ。)
- I/Oポート : 8ビット汎用 I/Oポート×2 (YM2203と同じ。)
- 7kHz出力 : 7kHz出力は1端子出力。
- その他の機能 : レジスタアドレス参照。(YM2203と同じ。)

### (c) リズム部

- 発音音源数 : 6音 (ハットラム、スネアドラム、リムショット、タム、シンバル、ハイハット)
- キーオン/ダンプ : イベント方式
- LR制御/インストルメントレベル : LRの出力制御はON/OFF、各インストルメントレベルを制御可能。
- トータルレベル : リズム音全てのレベルを制御可能。

### (d) ADPCM音声分析/合成部

- サンプリングレート : 1.8KHz~16KHz
- PCMビット数 : 8ビット
- ADPCMビット数 : 4ビット
- 線形補間レート : 55.5KHz (但し、 $\phi M=7.9872\text{MHz}$ 、7リスケラ-1/6 のとき)
- 分析/合成データメモリ : 外部RAM、ROM 又は7ビット側で管理するメモリ。
- 外部メモリ容量 : 256Kbytes (MAX)  
×1ビット、×8ビットのDRAMを選択可能。
- LR出力制御 : 7ビット \$01のD7、D6 で制御。(D7=Lch、D6=Rch)
- 外部RAMのデータ転送 : サイクル時間 (DRAMアクセス毎の)  
書込 20ナノ秒以内  
読出 16ナノ秒以内
- 無音識別 : 分析中の無音状態 識別可能

(e) その他

データ識別コード : 有  
レジスタ 番込時の待時間 : アドレスライト後

機能	分周数	待ちサイクル
FM	2	4
	3	9
	6	17
SSG	—	0

データライト 後

機能	分周数	待ちサイクル
FM	2	28
	3	42
	6	83
SSG	—	0

注) 但し、アドレス \$A0～\$B6のレジスタ は待ちサイクルが  
47 (6分周時) です。

YM2203の下位互換性 : 本LSIのソフトウェアでYM2203の稼働可。

### 3. 端 子 配 置 图

GND	1	1	0	64	$\phi S$
D0	2	1/0	1	63	$\phi M$
D1	3	1/0	1	62	VCC
D2	4	1/0	1	61	A1
D3	5	1/0	1	60	A0
D4	6	1/0	1	59	RD
D5	7	1/0	1	58	$\overline{WR}$
D6	8	1/0	1	57	$\overline{CS}$
D7	9	1/0	0	56	$\overline{TRQ}$
10A7	10	1/0	1/0	55	DM7
10A6	11	1/0	1/0	54	DM6
10A5	12	1/0	1/0	53	DM5
10A4	13	1/0	1/0	52	DM4
10A3	14	1/0	1/0	51	DM3
10A2	15	1/0	1/0	50	DM2
10A1	16	1/0	1/0	49	DM1
10A0	17	1/0	1/0	48	DM0
10B7	18	1/0	0	47	$\overline{RAS}$
10B6	19	1/0	0	46	$\overline{CAS}$
10B5	20	1/0	0	45	$\overline{WE}$
10B4	21	1/0	0	44	MDEN
10B3	22	1/0	0	43	$\overline{ROMCS}$
10B2	23	1/0	0	42	A8
10B1	24	1/0	1	41	DT0
10B0	25	1/0	1	40	$\overline{TEST}$
AGND	26	1	1	39	AGND
ANALOG OUT	27	0	1	38	DA
AVCC	28	1	1	37	C
SH1	29	0	1	36	AD
SH2	30	0	1	35	AVCC
OP0	31	0	0	34	SPOFF
GND	32	1	1	33	$\overline{IC}$

#### 4. 端子機能説明

φM

OPNAのマスタークロック。7.9872MHz。

φS、SH1、SH2

DAコンバータ用のクロック（φS）と同期信号（SH1、SH2）です。

OPO

FM音源部のシリアルデータ出力です。

D0～D7

8ビットの双方向性データバスです。プロセッサとデータのやり取りをします。

$\overline{CS} \cdot \overline{RD} \cdot \overline{WR} \cdot A1 \cdot A0$

D0～D7のデータバスのコントロールをします。

$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	A1	A0	アドレス範囲	内 容
0	1	0	0	0	00～2F	SSG、タイマ、コントロール、リズム等のアドレスライト
					30～B6	発音チャンネル1～3のアドレスライト
0	1	0	0	1	00～2F	SSG、タイマ、コントロール、リズム等のデータライト
					30～B6	発音チャンネル1～3のデータライト
0	1	0	1	0	00～10	ADPCM関係のアドレスライト
					30～B6	発音チャンネル4～6のアドレスライト
0	1	0	1	1	00～10	ADPCM関係のデータライト
					30～B6	発音チャンネル4～6のデータライト
0	0	1	0	0	XX	ステータス0のデータリード
0	0	1	0	1	00～0F	SSG関係のデータリード
					FF	デハイス識別コードリード
0	0	1	1	0	XX	ステータス1のデータリード
0	0	1	1	1	08、0F	ADPCM、PCMDATA リード
1	X	X	X	X	XX	D0～D7は高インピダンス

#### IRQ

割り込み信号です。オープンドレイン出力。

#### ANALOG OUT

SSG部のアナログ出力です。ソースフォロワ出力。

#### IOA0~IOA7、IOB0~IOB7

2つの8ビットI/Oポートです。プルアップ抵抗を内蔵しています。

#### DM0~DM7

外部メモリのアドレス(A0~A7)、データイン(DI0~DI7)、及びデータアウト(DO0~DO7 : DO0は別端子) 各信号をそれぞれDM0~DM7の各端子にマルチプレックスしています。

#### A8・DT0

A8は外部メモリのアドレス(A8)、DT0は同様にデータアウト(DO0)です。

#### RAS・CAS・WE

外部メモリのコントロール信号です。外部メモリがDRAMの場合は、RAMの相当する端子に接続し、ROMの場合はアドレスのラッチ信号( $\overline{\text{RAS}} \cdot \overline{\text{CAS}}$ )になり、 $\overline{\text{RAS}}$ がRAS ADDRESSに、 $\overline{\text{CAS}}$ がCAS ADDRESSに対応する。

#### MDEN・ROMCS

外部メモリのデータを取り込むタイミングです。MDENが“1”の時にDRAMのデータをDM1~DM7に、 $\overline{\text{ROMCS}}$ が“0”の時はROMのデータをDM1~DM7に乗せます。(データアウトDO0はDT0に乗せます。)

#### DA・AD・C

AD変換のための端子です。DAはDAC出力を接続します。(リファレンスデータ) ADはアナログ入力端子で、 $V_{cc}/2 \pm V_{cc}/4$ の範囲でAD変換可能です。C端子は、アナログデータのサンプルホールドのための容量端子です。

#### SPOFF

AD変換時、DAコンバータをリファレンス電圧発生器として使用するため、アンプとスピーカーを切り離す必要があります。この端子は、このためのコントロール端子です。

#### IC

OPNAの動作を初期化します。

#### TEST

テスト用端子です。

#### GND・AGND・

グランド端子です。

#### VCC・AVCC

+5Vの電源端子です。



絶対最大定格

項 目	定 格 値	単 位
端子電圧	-0.3~7.0	V
動作周囲温度	0~70	℃
保存温度	-50~125	℃

推奨動作条件

項 目	記 号	最 小	標 準	最 大	単 位
電源電圧	V <sub>CC</sub> GND	4.75 0	5.0 0	5.25 0	V V

1) 直流特性 (動作周囲温度  $T_a = 0 \sim 70^\circ\text{C}$ )

項 目		記 号	条 件	最 小	最 大	単位
入力Highレベル電圧	全入力 (但し、クロック入力除く)	V <sub>IH</sub>		2.0	V <sub>CC</sub>	V
入力Lowレベル電圧	全入力 (但し、クロック入力除く)	V <sub>IL</sub>		-0.3	0.8	V
クロック入力 Highレベル電圧	φ <sub>M</sub>	V <sub>CH</sub>		2.0	V <sub>CC</sub>	V
クロック入力 Lowレベル電圧	φ <sub>M</sub>	V <sub>CL</sub>		-0.3	0.8	V
入力リーク電流	φ <sub>M</sub> , $\overline{WR}$ , $\overline{RD}$ , A0, A1	I <sub>L</sub>	V <sub>in</sub> =0~5V	-10	10	μA
スリープ(待機状態) 入力電流	D0~D7	I <sub>ISL</sub>	V <sub>in</sub> =0~5V	-10	10	μA
出力Highレベル電圧	$\overline{IRQ}$ を除く出力	V <sub>OH1</sub> V <sub>OH2</sub>	I <sub>OH1</sub> =0.4mA I <sub>OH2</sub> =40μA	2.4 3.3		V V
出力Lowレベル電圧	全出力	V <sub>OL</sub>	I <sub>OL</sub> =2mA		0.4	V
出力リーク電流 (オフ状態)	$\overline{IRQ}$	I <sub>OL</sub>	V <sub>OH</sub> =0~5V	-10	10	μA
アナログ出力電圧	ANALOG OUT	V <sub>OA</sub>	最大音量 3音同時 R <sub>L</sub> =470Ω	0.80	1.10	V <sub>PP</sub>
アナログ入力電圧	AD, DA	V <sub>A</sub>		V <sub>CC</sub> /4	3V <sub>CC</sub> /4	V
電源電流		I <sub>CC</sub>			200	mA
プルアップ抵抗	10A0~10A7, 10B0~10B7 1C, CS, DT0, DM0~DM7	R <sub>PU</sub>		60	600	kΩ
入力容量	全入力	C <sub>I</sub>	f=1MHz		10	pF
出力容量	全出力	C <sub>O</sub>			10	pF

2) 交流特性 (動作周囲温度  $T_a = 0 \sim 70^\circ\text{C}$ )

項 目	記 号	条 件	最小	標準	最大	単位
入力クロック周波数	$\phi M$	$f_c$	(図 1)		8.0	MHz
入力クロックデューティ	$\phi M$			40	50	60 %
入力クロック立ち上り時間	$\phi M$	$T_{CR}$	(図 1)		50	ns
入力クロック立ち下り時間	$\phi M$	$T_{CF}$	(図 1)		50	ns

\* FM音源, リズム音源のアクセス

項 目	記 号	条 件	最小	標準	最大	単位
アドレスセットアップ時間	A0, A1	$T_{AS}$	(図 2, 3)	10		ns
アドレスホールド時間	A0, A1	$T_{AH}$	(図 2, 3)	10		ns
チップセレクトライト幅	$\overline{CS}$	$T_{CSW}$	(図 2)	200		ns
チップセレクトリット幅	$\overline{CS}$	$T_{CSR}$	(図 3)	250		ns
ライトパルス幅	$\overline{WR}$	$T_{WW}$	(図 2)	200		ns
ライトデータセットアップ時間	D0~D7	$T_{WDS}$	(図 2)	100		ns
ライトデータホールド時間	D0~D7	$T_{WDH}$	(図 3)	20		ns
リットパルス幅	$\overline{RD}$	$T_{RW}$	(図 3)	250		ns
リットデータアクセス時間	D0~D7	$T_{ACC}$	$C_L=100\text{pF}$ (図 3)		250	ns
リットデータホールド時間	D0~D7	$T_{RDH}$	(図 3)	10		ns
アウトプット立ち上り時間	$\phi S$	$T_{OR1}$	$C_L=100\text{pF}$ (図 4)		200	ns
	OPO SH1, SH2	$T_{OR2}$	$C_L=100\text{pF}$ (図 5)		300	ns
アウトプット立ち下り時間	$\phi S$	$T_{OF1}$	$C_L=100\text{pF}$ (図 4)		200	ns
	OPO SH1, SH2	$T_{OF2}$	$C_L=100\text{pF}$ (図 5)		300	ns

\*ADPCM音源のアクセス

項 目	記 号	条 件	最小	標準	最大	単位
アドレスセットアップ時間	A0, A1	T <sub>AAS</sub>	(図 8, 9)	10		ns
アドレスホールド時間	A0, A1	T <sub>AAH</sub>	(図 8, 9)	10		ns
チップセレクトライト幅	$\overline{CS}$	T <sub>ACSW</sub>	(図 8)	380		ns
チップセレクトリード幅	$\overline{CS}$	T <sub>ACSR</sub>	(図 9)	380		ns
ライトパルス幅	$\overline{WR}$	T <sub>AWH</sub>	(図 8)	380		ns
ライトデータセットアップ時間	D0~D7	T <sub>AWDS</sub>	(図 8)	10		ns
ライトデータホールド時間	D0~D7	T <sub>AWDH</sub>	(図 8)	30		ns
リードパルス幅	$\overline{RD}$	T <sub>ARW</sub>	(図 9)	380		ns
リードデータアクセス時間	D0~D7	T <sub>AACC</sub>	(図 9)		380	ns
リードデータホールド時間	D0~D7	T <sub>ARDH</sub>	(図 9)	10		ns
メモリーデータセット時間	DM1~DM7 DT0	T <sub>AMDS</sub>	(図 12, 13)	70		ns
メモリーデータホールド時間	DM1~DM7 DT0	T <sub>AMDH</sub>	(図 12, 13)	10		ns
アウトプット立ち上り時間	$\overline{DM0} \sim \overline{DM7}, \overline{RAS}$ $\overline{CAS}, \overline{WE}, A8$ $\overline{MDEN}, \overline{ROMCS}$	T <sub>AOP3</sub>	(図 10)		300	ns
アウトプット立ち下り時間	$\overline{DM0} \sim \overline{DM7}, \overline{RAS}$ $\overline{CAS}, \overline{WE}, A8$ $\overline{MDEN}, \overline{ROMCS}$	T <sub>AOF3</sub>	(図 10)		300	ns

\*リセット

項 目	記 号	条 件	最小	標準	最大	単位
リセットパルス幅	$\overline{IC}$	T <sub>ICK</sub>	(図 11)	192		サイクル

\*SSG音源のアクセス

項 目	記 号	条 件	最小	標準	最大	単位
アドレスセットアップ時間	A0, A1	T <sub>SAS</sub>	(図 6, 7)	10		ns
アドレスホールド時間	A0, A1	T <sub>SAH</sub>	(図 6, 7)	10		ns
チップセレクトライト幅	$\overline{CS}$	T <sub>SCSW</sub>	(図 6)	250		ns
チップセレクトリード幅	$\overline{CS}$	T <sub>SCSR</sub>	(図 7)	400		ns
ライトパルス幅	$\overline{WR}$	T <sub>SWW</sub>	(図 6)	250		ns
ライトデータセットアップ時間	D0~D7	T <sub>SWDS</sub>	(図 6)	0		ns
ライトデータホールド時間	D0~D7	T <sub>SWDH</sub>	(図 6)	20		ns
リードパルス幅	$\overline{RD}$	T <sub>SRW</sub>	(図 7)	400		ns
リードデータアクセス時間	D0~D7	T <sub>SACC</sub>	CL=100pF (図 7)		400	ns
リードデータホールド時間	D0~D7	T <sub>SRDH</sub>	(図 7)	10		ns

# タイミング図

(タイミング図の設定は  
 $V_H=2.0V$ ,  
 $V_L=0.8V$ を基準とする。)

$V_H=2.0V$ ,

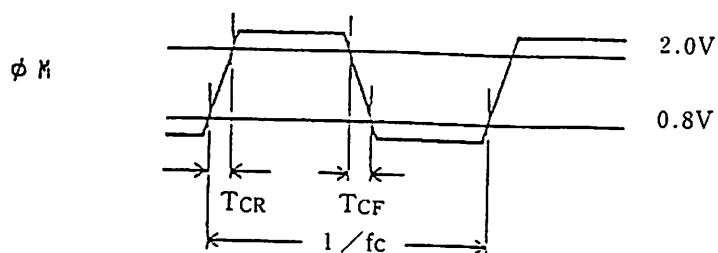


図1 クロックタイミング

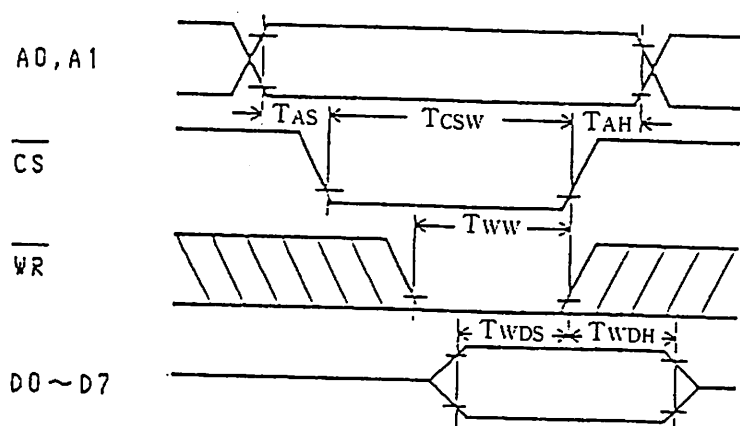


図2 FM部、リズム部ライトタイミング

(注)

$T_{CSW}$ ,  $T_{WW}$ ,  $T_{WDS}$ ,  $T_{WDH}$  は、 $\overline{CS}$ ,  $\overline{WR}$  の  
 何れかがHIGHレベルになる時を基準とす  
 る。

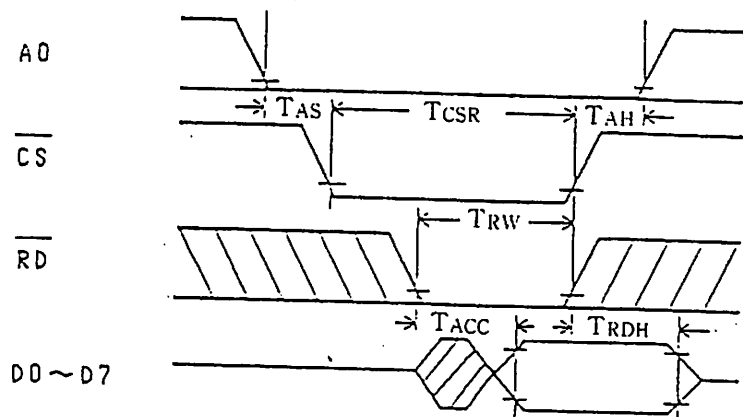


図3 FM部リードタイミング

(注)

$T_{ACC}$  は、 $\overline{CS}$ ,  $\overline{WR}$  の何れかが遅くLOWレ  
 ベルになる時を基準とする。

$T_{CSR}$ ,  $T_{RW}$ ,  $T_{RDH}$  は、 $\overline{CS}$ ,  $\overline{WR}$  の何れかが  
 HIGHレベルになる時を基準とする。

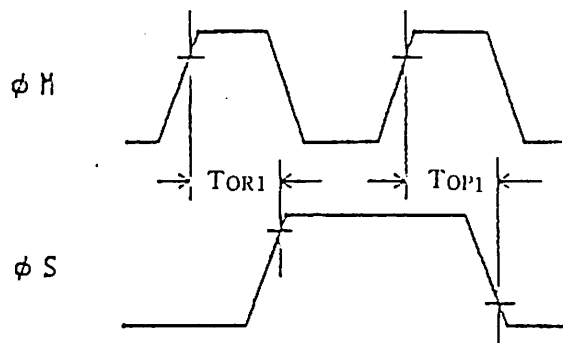


図4 出力タイミング(1)

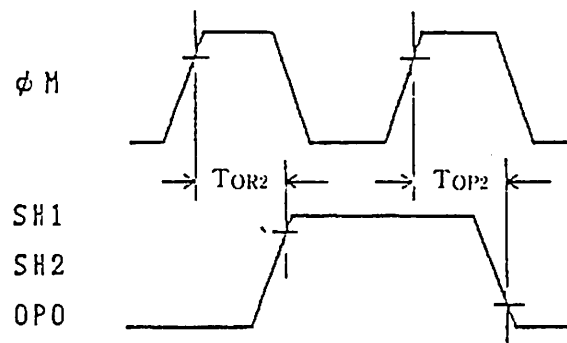


図5 出力タイミング(2)

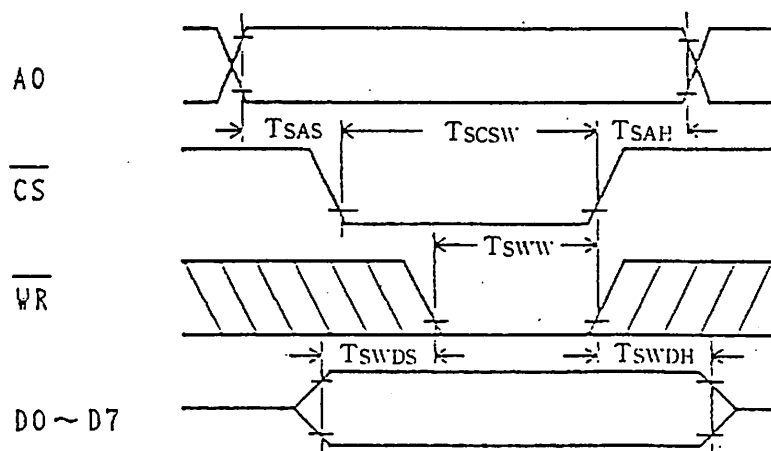


図6 SSG部ライトタイミング

(注)

Tswdsは、 $\overline{CS}$ ,  $\overline{WR}$  の何れかが遅くLOWレベルになる時を基準とする。

Tscsw, Tsww, Tswdhは、 $\overline{CS}$ ,  $\overline{WR}$  の何れかがHIGHレベルになる時を基準とする。

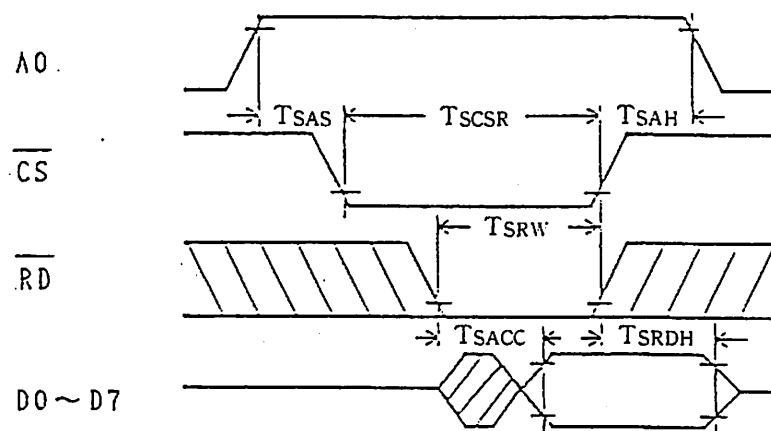


図7 SSG部 リードタイミング

(注)

Tcaccは、 $\overline{CS}$ ,  $\overline{RD}$  の何れかが遅くLOWレベルになる時を基準とする。

Tscsr, tsrw, tsrdhは、 $\overline{CS}$ ,  $\overline{RD}$  の何れかがHIGHレベルになる時を基準とする。

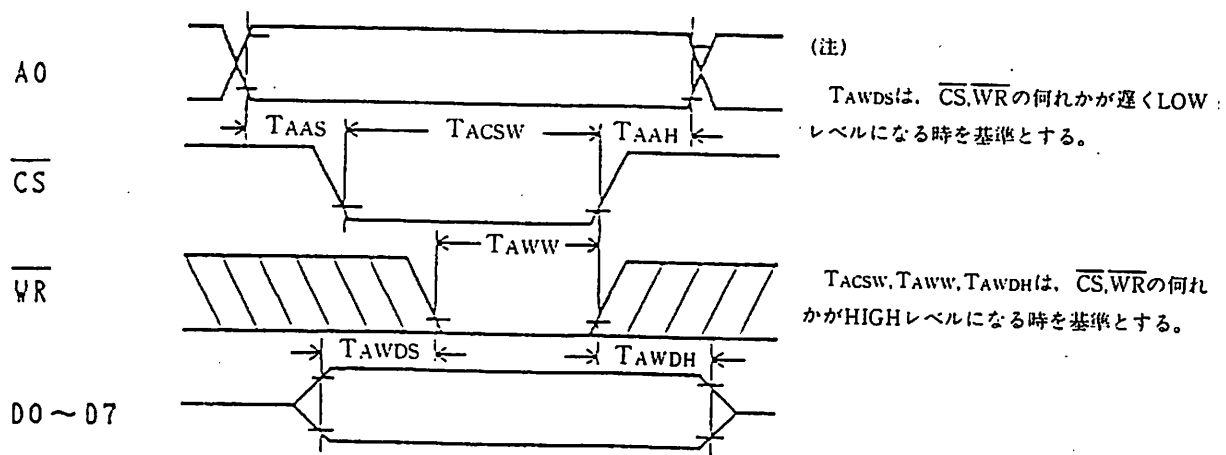


図 8 ADPCM部ライトタイミング

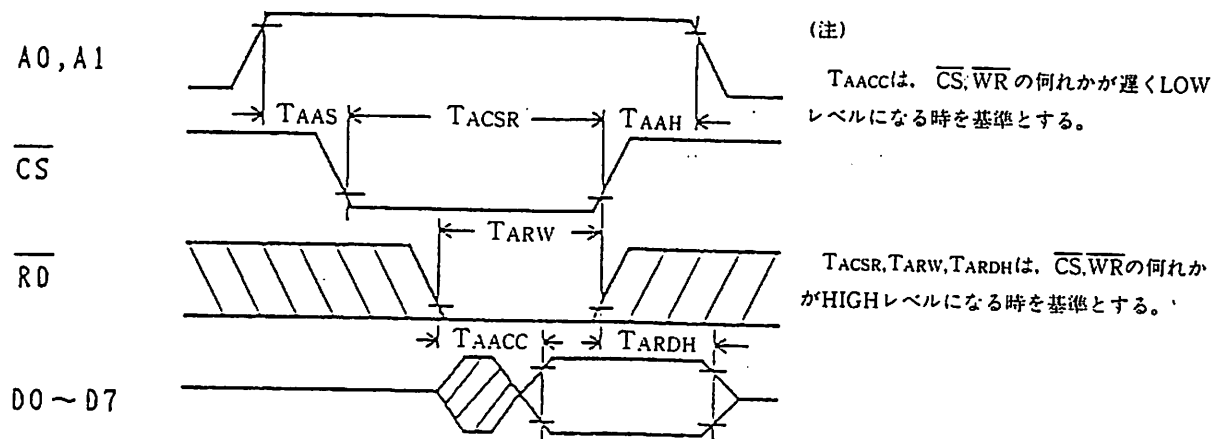


図 9 ADPCM部リードタイミング

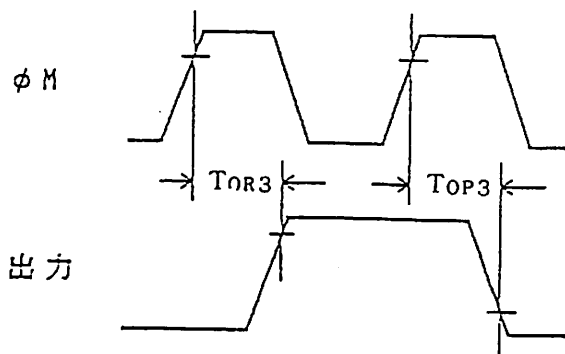


図 10 出力タイミング(3)

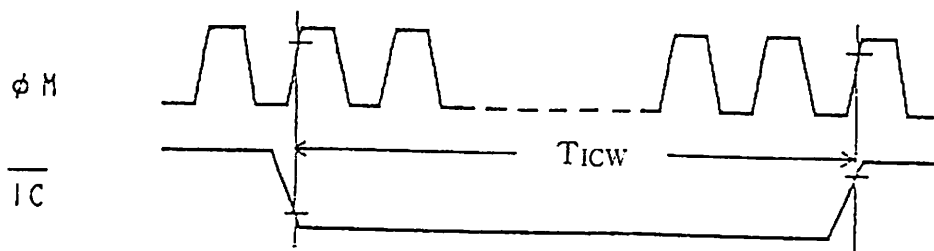
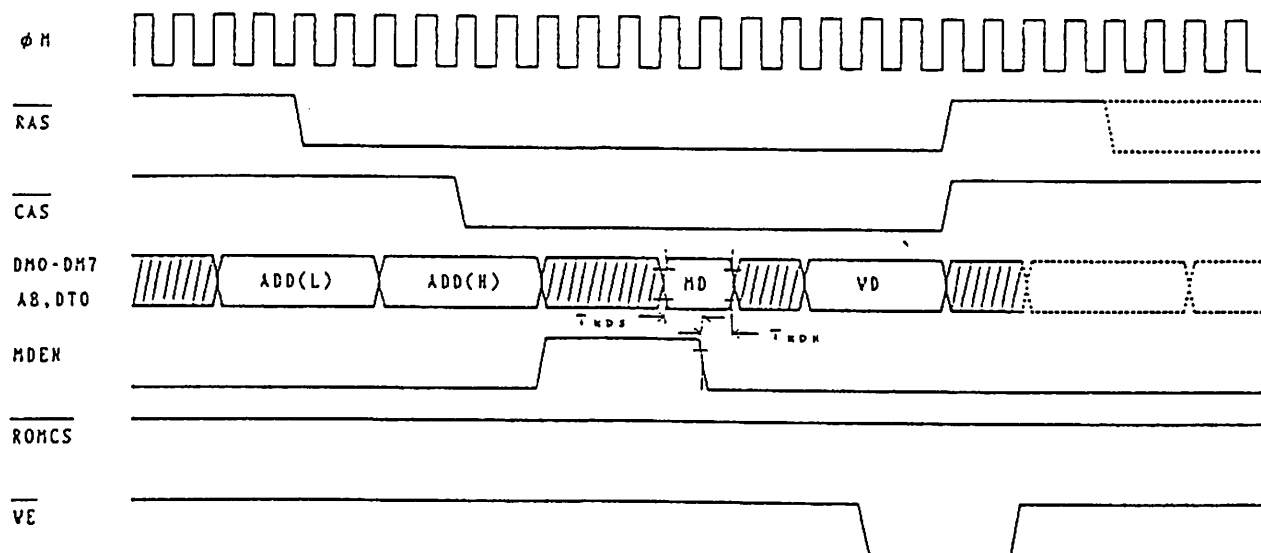
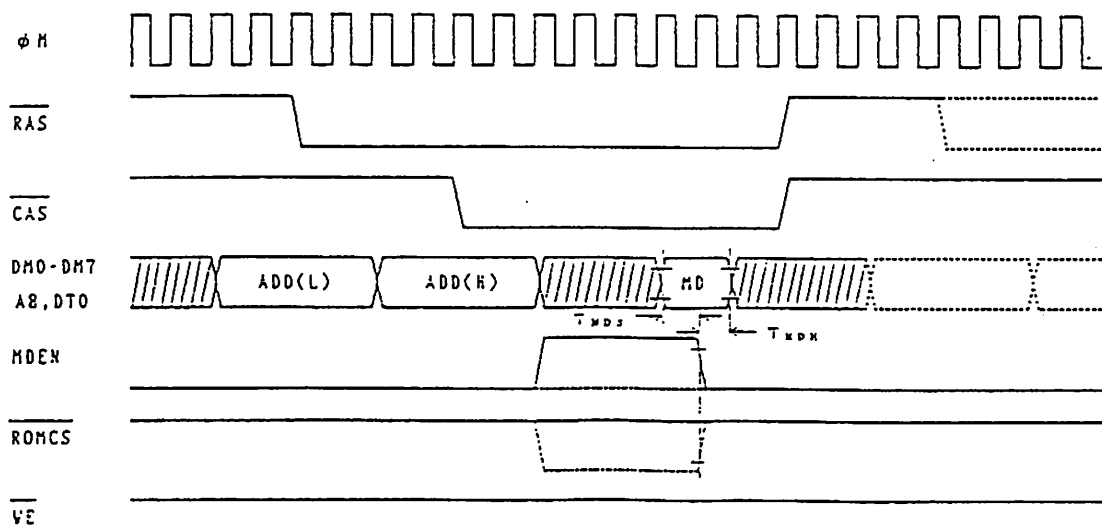


図 11 リセットパルス幅



(注) A8はADD(L), ADD(H)のみ規定、DT0はMDのみ規定、DM0はADD(L) ADD(H)及びVDを規定。

図12 外部メモリーライトサイクル

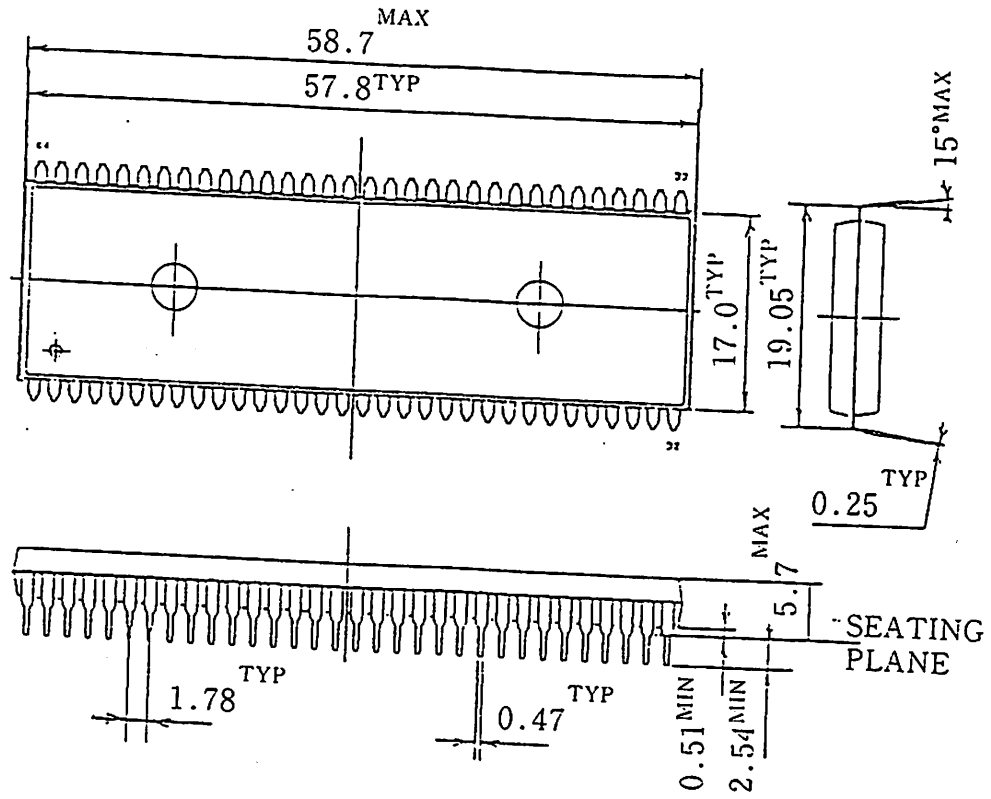


(注) A8はADD(L), ADD(H)のみ規定、DT0はMDのみ規定、DM0はADD(L) ADD(H)を規定。MDENとROMCSは実線がRAMリードサイクル、一点鎖線はROMリードサイクル。

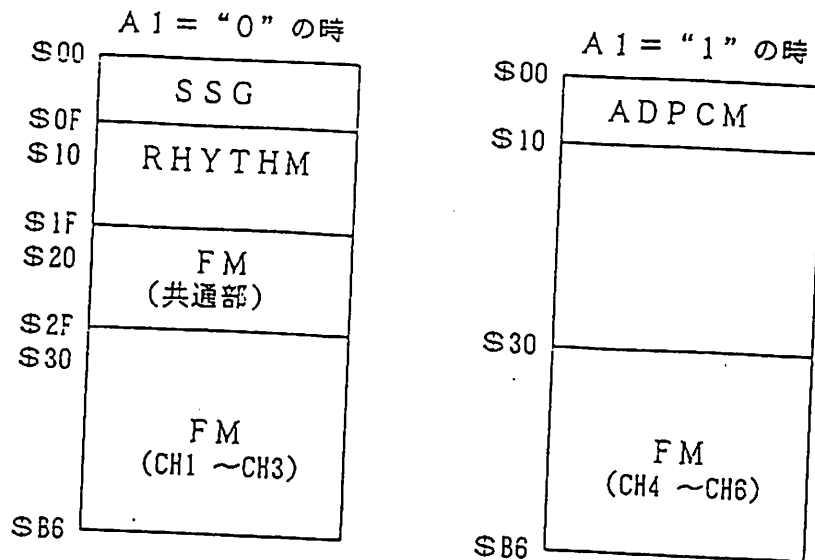
図13 外部メモリーリードサイクル



外形図



DIMMENSIONS IN MM



FM部は、A1 = "0" の時共通部とCH1 ~CH3 を指定し、A1 = "1" の時にはCH4 ~CH6 を指定します。A1 = "0" の時とA1 = "1" の時のアドレスライトは独立ではありません。

(a) READ/WRITE DATA (SSG部)

ADDRESS		COMMENT
00	Fine Tune	
01	Coarse Tune	Channel-A Tone Period
02	Fine Tune	
03	Coarse Tune	Channel-B Tone Period
04	Fine Tune	
05	Coarse Tune	Channel-C Tone Period
06	Period Control	Noise Period
07	IN/OUT IOB IOA /Noise /Tone	/ENABLE
08	M Level	Channel-A Amplitude
09	M Level	Channel-B Amplitude
0A	M Level	Channel-C Amplitude
0B	Fine Tune	
0C	Coarse Tune	Envelop Period
0D	C ATT ALI HLD	Envelop Shape Cycle
0E	I/O PortA	
0F	I/O PortB	I/O Port Data

## (c) WRITE DATA (RHYTHM用)

ADDRESS

10	DK		RKON
11			RTL
12			TEST
18			
1D	LR		IL

COMMENT

Dump/rhythme KON

Rhythme Total Level

LSIの TEST DATA

Output Select/Instrument Level

## (c) WRITE DATA (FM用)

ADDRESS

21				TEST
22				LFO
24				TIMER-A
25				TIMER-A
26				TIMER-B
27	MODE	RESET B A	ENABLE B A	LOAD B A
28		SLOT		CH
29	SCH			IRQ ENABLE
2D				
2E				
2F				
30		DT		MULTI
3E				
40				TL
4E				
50	KS			AR
5E				
60	AMON			DR
6E				
70				SR
7E				
80		SL		RR
8E				
90				SSG-EG
9E				
A0				F-Num: 1
A1				
A2				
A4				
A5		BLOCK		F-Num: 2
A6				
A8				
A9				
AA				3 CH = F-Num: 1
AC				
AD		3 CH = BLOCK		3 CH = F-Num: 2
AE				
B0				
E1			FB	CONNECT
B2				
B4				
E5	L	R	AMS	PMS
B6				

COMMENT

LSI の TEST DATA

LFO の FREQ CONTROL

TIMER-A の上位 8 Bits

TIMER-A の下位 2 Bits

TIMER-B の DATA

TIMER-A/B の Control及び  
3 CH の Mode

Key-ON/OFF, CH はD0, D1, D2で指定

IRQ 4-7は, SCH

プログラマーを Set

1/3, 1/6分局の選択

分周器を1/2 に 切り

Detune/Multiple  
(33, 37, 3E の Addressは無し)Total Level  
(43, 47, 4B の Addressは無し)Key Scale/Attack Rate  
(53, 57, 5B の Addressは無し)Decay Rate/AMON  
(63, 67, 6B の Addressは無し)Sustain Rate  
(73, 77, 7B の Addressは無し)Sustain Level/Release Rate  
(83, 87, 8B の Addressは無し)SSG-Type Envelop Control  
(93, 97, 9B の Addressは無し)

F-Numbers/BLOCK

3 CH-3 slot  
F-Numbers/BLOCK

Self-Feedback/Connection

PMS/AMS/LR

(d) WRITE DATA (ADPCM部)

ADDRESS	
00	CONTROL 1
01	CONTROL 2
02	START ADR (L)
03	START ADR (H)
04	STOP ADR (L)
05	STOP ADR (H)
06	PRESCAL (L)
07	PRESCAL (H)
08	ADPCM-DATA
09	DELTA-N (L)
0A	DELTA-N (H)
0B	EG CTRL
0C	LIMIT ADR (L)
0D	LIMIT ADR (H)
0E	DAC DATA
0F	( PCM DATA )
10	FLAG CONTROL

(e) READ DATA

ADDRESS		COMMENT
XX	FLAG	Status 0 (A1= "0 " のとき) Status 1 (A1= "1 " のとき)
FF	ID NO.	Status 2

注) 本品の仕様につきましては改良の為、予告なく変更する場合があります。

— 代理店 —

## —— ヤマハ株式会社 ——

電子事業本部 半導体事業部

■東京営業所 〒101 東京都千代田区神田駿河台3-4  
龍名館ビル4F  
TEL <03>255-4481(代)

■大阪営業所 〒565 大阪府吹田市新戸屋下1-16  
TEL <06>877-7731(代)

■営業部 〒438-01 静岡県磐田郡豊岡村松之木島203  
TEL 053962-4918(代)  
FAX 053962-5054