



## 龙芯 2K1000 硬件设计指导

2020-06-16

## 声 明

本手册包含的内容并不代表本公司的承诺，本公司保留对此手册更改的权利。本手册版权归龙芯中科技术有限公司所有，手册内容更新恕不另行通知。对于任何因安装、使用不当而导致的直接、间接、有意或无意的损坏及隐患概不负责。

[illegible]

## 目录

第一部分：原理图设计 .....	1
一、 电源 .....	1
1.1 电源电气要求 .....	1
1.2 上电时序 .....	2
二、 时钟方案设计 .....	4
三、 硬件配置说明 .....	5
四、 复位设计 .....	6
五、 接口设计 .....	6
5.1 DDR .....	6
5.2 PCIE .....	9
5.3 SATA .....	10
5.4 USB .....	11
5.5 SPI .....	12
5.6 GMAC .....	12
5.7 NAND .....	13
5.8 LIO .....	14
5.9 DVO .....	18

5.10 IIC .....	19
5.11 GPIO .....	19
六、 未使用管脚处理说明 .....	21
第二部分：PCB 设计.....	22
一、 通用设计规则 .....	22
二、 DDR3 .....	24
2.1 信号分组.....	25
2.2 板载颗粒布线规范.....	26
2.3 注意事项.....	31
三、 PCIE .....	31
四、 SATA .....	32
五、 USB .....	33
六、 GMAC .....	34
七、 LIO .....	37
八、 NAND.....	37
九、 DVO .....	37

## 第一部分：原理图设计

### 一、 电源

#### 1.1 电源电气要求

电源	描述	典型电压	最大电流	说明
RTC_VDD	RTC 域电源	2.7V	10uA	
VDD_RSM	RSM 域电源	1.1V	200mA	
RSM3V3	RSM 域 IO 电, 即 ACPI_3V3	3.3V	50mA	电源可以合并, 中间用磁珠隔离
USB_3V3	USB 模拟电	3.3V	95mA	
RSM2V5	RGMII 接口 RSM/SOC 域电源, 即 GMAC_VDDE	2.5V	<100mA	此处的电压要跟 PHY 的 IO 电压及电源域保持一致
		3.3V		
VDDE3V3	SOC 域 IO 电源	3.3V	200mA	电源可以合并, 中间用磁珠隔离
PEST_3V3	PCIE/SATA vph 电源	3.3V	<0.5A	
DDR_VDDQ	DDR3 IO 电源	1.5V	1A	
DDR_VREF	DDR3 VREF	0.75V		采用外置电阻分压
VDD	数字域电源	1.2V	5A	商业级 1Ghz
		1.15V		工业级 800Mhz
PEST_1V1	PCIE/SATA vp 和 vptx 电源	1.1V	<0.5A	
PLL_NODE_VDD	NODE PLL 电源	1.1V	<0.5A	电源可以合并, 中间用磁珠隔离
PLL_DDR_VDD	DDR PLL 电源	1.1V		
PLL_DC_VDD	DC PLL 电源	1.1V		
PLL_PIX0_VDD	PIX0 PLL 电源	1.1V		
PLL_PIX1_VDD	PIX1 PLL 电源	1.1V		

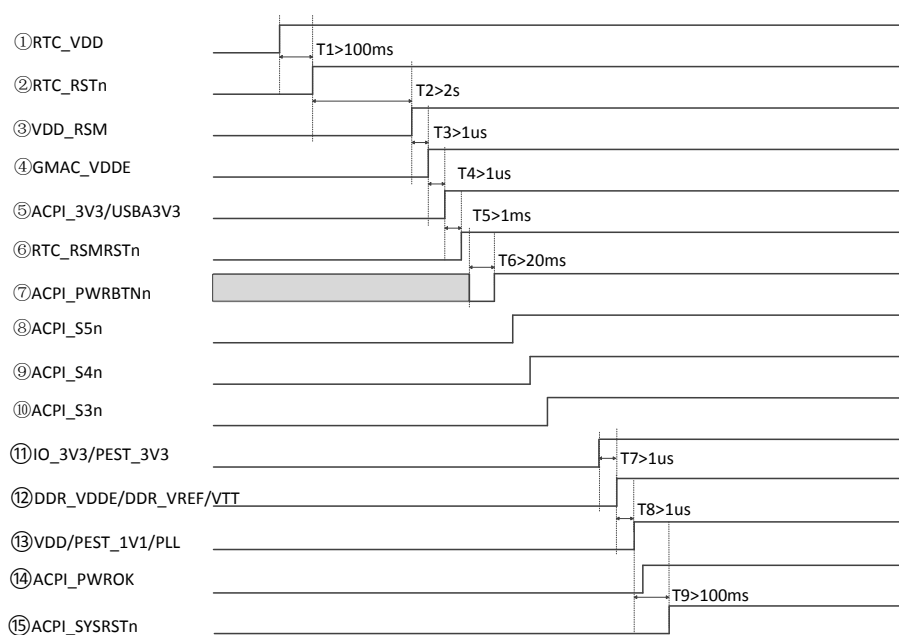
以上电源纹波要求在 20M 带宽下不大于相应电压的 1%。

## 1.2 上电时序

LS2K1000 的上电时序要求分为 ACPI 使能和 ACPI 禁用两个情况。

### (1) ACPI 使能

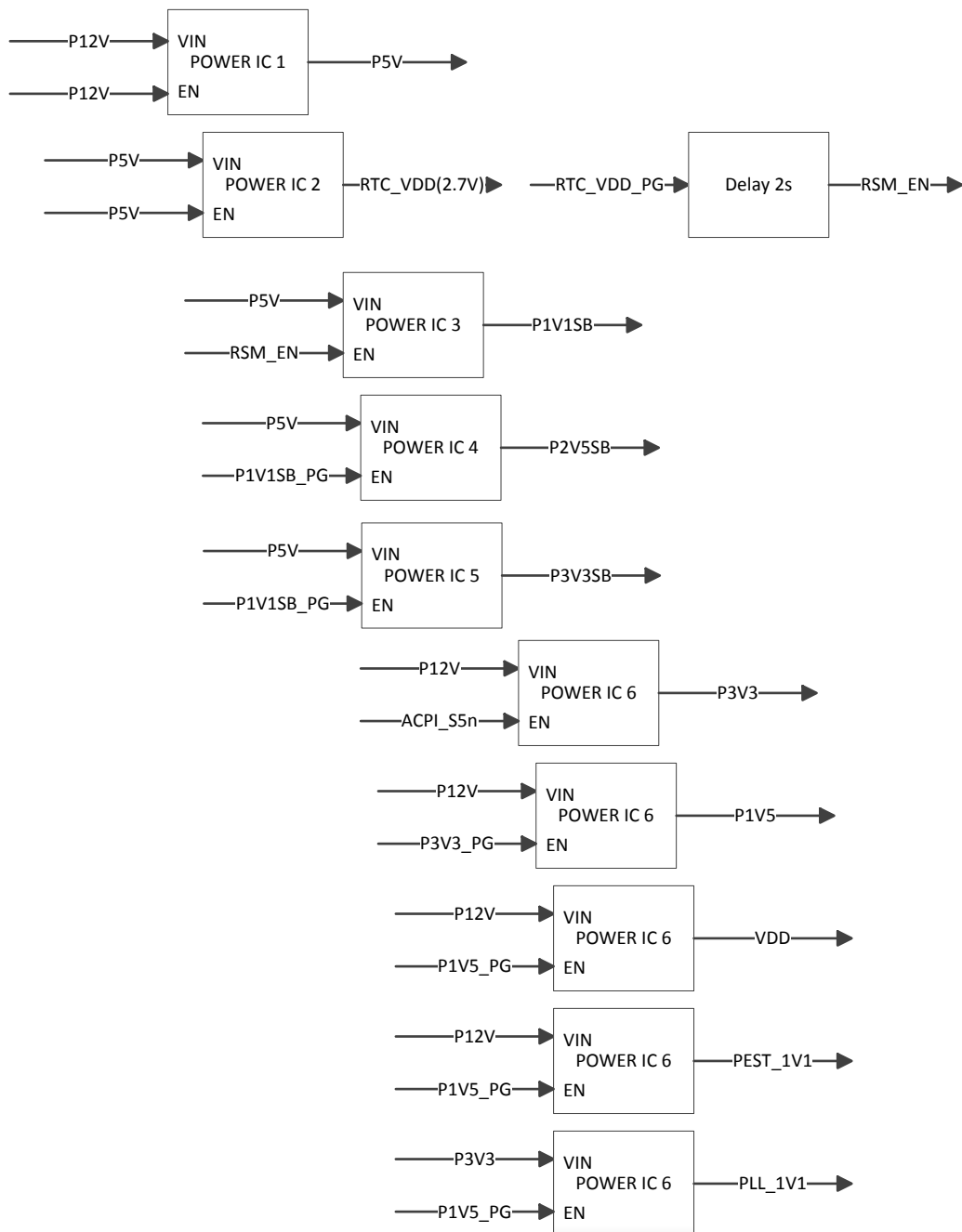
ACPI\_EN 上拉，推荐时序如下。



- 1) T2 的 2S delay 是为了保证 RTC 晶体——32.768K，可以充分起振。
- 2) ④中 GMAC\_VDDE 为 2.5V 时保持上述时序，若是 3.3V 时可合并到⑤中。
- 3) 当没有 USB 唤醒和网络唤醒的需求时，GMAC\_VDDE 和 USB\_A3V3 都为 3.3V 时可以合并到⑪中。
- 4) PEST\_1V1、VDD、PLL 电中 VDD 单独供电，如果使用 SATA 建议 VDD、PEST\_1V1，PLL 使用 3 个电源芯片供电。如果不使用 SATA, PEST\_1V1 与 PLL 电可以尝试合并为一。

5) 当 RTC\_RSMRSTn 解复位完成后，ACPI\_PWRBTNn 必须保持至少 20ms 低电平拉高或者至少 20ms 脉冲宽度的低脉冲才可触发开机。

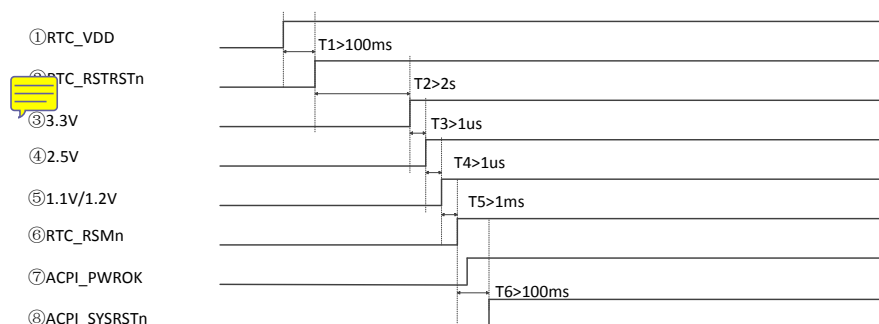
6) 以 12V DC 输入为例，提供一种电源方案框图：



## (2) ACPI 禁用



ACPI\_EN 下拉。经过小批量验证的时序如下。



- 1) ACPI\_3V3、IO\_3V3、USB\_A3V3、PEST\_3V3 可以合并到③；
- 2) GMAC\_VDDE 为 2.5V 可以合并到④，若是 3.3V 可以合并到③；
- 3) PEST\_1V1、VDD、PLL 电压可以在第⑤步上电，其中 VDD 单独供电，如果使 SATA 建议 VDD、PEST\_1V1，PLL 使用 3 个电源芯片供电，PLL 一路电。如果不使用 SATA，VDD、PEST\_1V1 与 PLL 电可以尝试合并为一；
- 4) ③④⑤经过少量测试，应该也可以同时上电。

注：APCI 禁用不是常规设计，没有经过大批量验证，不能保证是否存在问题。慎重选择此上电方案。

## 二、 时钟方案设计

LS2K1000 的时钟要求如下表：

时钟类型	管脚名称	频率	电平	电压域	备注
系统时钟	SYS_SYCLK	100Mhz $\pm$ 50PPM	3.3V 单端时钟	IO_3V3	必须由外部
RTC 时钟	RTC_XI/X0	32.768Khz $\pm$ 20PPM	500mV 左右正弦时钟	RTC_VDD	时钟提供
USB 时钟	USB0_X0	12Mhz $\pm$ 50PPM	3.3V 单端时钟	USB_3V3	若无外部时钟，可以使用内部时钟
SATA 时钟	SATA_REFCLKP/N	100Mhz	HCSL/LPHCSL 差分时钟		
PCIE 时钟	PCIE0_REFCLKP/N	100Mhz	HCSL/LPHCSL 差分时钟		
	PCIE1_REFCLKP/N	100Mhz	HCSL/LPHCSL 差分时钟		

在上述的时钟中，系统时钟和 RTC 时钟是必须接外部时钟源。

USB 时钟、PCIE 时钟、SATA 时钟，可以使用内部时钟源。SATA 时钟通过软件配置时钟源，USB 时钟、PCIE 时钟需要通过硬件配置时钟源，配置方法，见下章。

### 三、 硬件配置说明

信号名称	类型	描述	推荐配置	电压
SYS_CLKSEL[1:0]	I	PLL 时钟配置输入 00=低频模式, 01=高频模式, 10=软件模式(DFT) 11=bypass 模式	10	3V3/IO
SYS_BOOTSEL[1:0]	I	启动选择输入 00=LIO 01=SPI(DFT) 10=SDIO 11=NAND	01	3V3/IO
SYS_USBCLKMODE[1:0]	I	USB 时钟输入配置输入 10=one 12MHz clock input 11=use sysclk(DFT)	11	3V3/IO
SYS_PCIECLKSEL	I	PCIE 参考时钟选择输入 0=内部(DFT) 1=外部参考时钟输入	0	3V3/IO
SYS_PCIECLKDIV	I	PCIE 参考时钟频率输入 0=100MHz(DFT) 1=200MHz	0	3V3/IO
SYS_NANDSRD	I	NAND ECC 功能使能输入 1=enable 0=disable(DFT)	0	3V3/IO

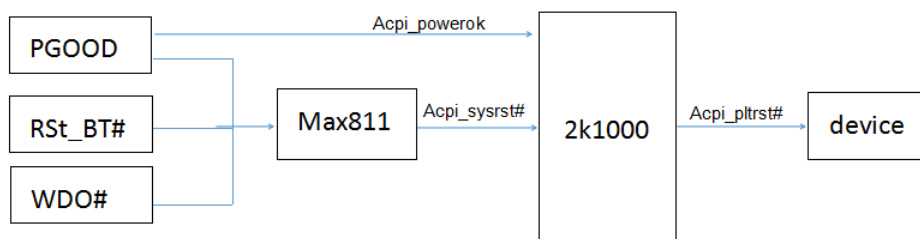
SYS_NANDTYPE[1:0]	I	BIOS 启动 NAND 类型选择 00=512Mb(page 512B) 01=1Gb(page 2KB) 10=16Gb(page 4KB) 11=128Gb(page 8KB)		3V3/IO
ACPI_EN	I	1=使能 ACPI 电源管理 0=禁止 ACPI 电源管理	1	RSM_3V3
ACPI_DOTESTn	I	0=测试模式 1=功能模式	1	RTC

注：ACPI 禁止时，2K1000 内部看门狗不可用，ACPI 相关信号不可用，软件关机命令不可用

## 四、 复位设计

复位时序设计见 1.2 节描述。

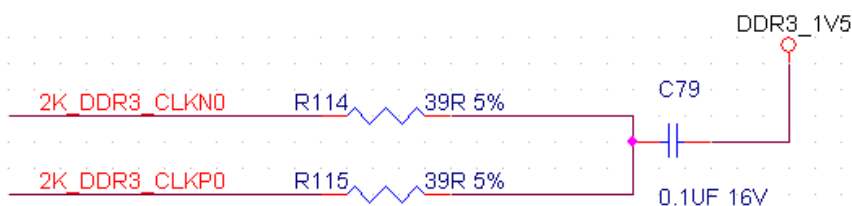
2K1000 复位电路框图推荐如下：



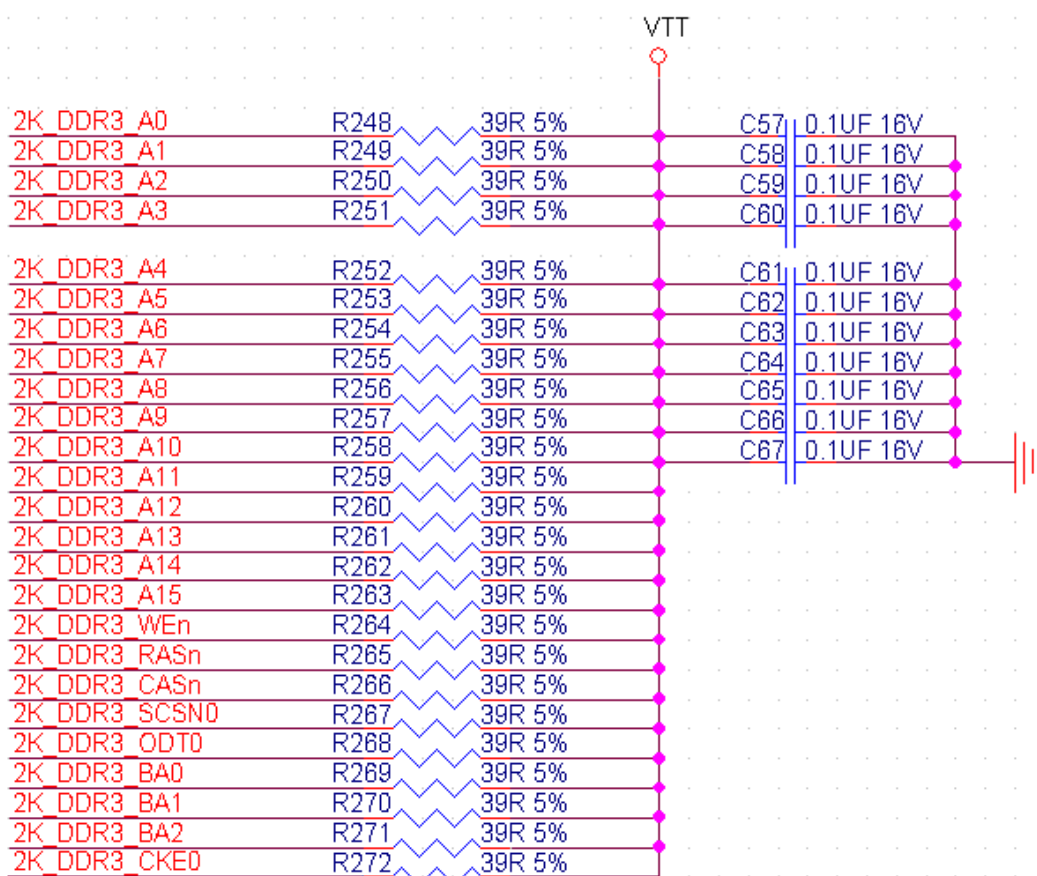
## 五、 接口设计

### 5.1 DDR

- 1) 2K1000 支持 DDR3 16bit/32bit/64bit 设计；
- 2) 单字节内的数据位允许 swap,但每个字节的最低 bit 不要变；
- 3) 板载颗粒设计时，注意在时钟信号上添加如下图端接电路；



4) 当板载颗粒超过 1 颗时，需要在地址与控制信号上连接终端电阻，如下图：



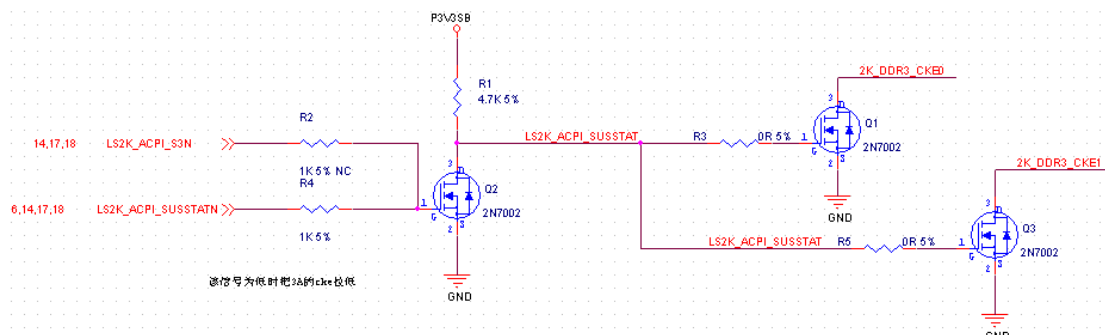
5) CLKP/N 时钟可以任意选取，方便 layout 即可；

6) 对于 CKE/CS 的选用。单 Rank 选用 CKE0/CS0，双 Rank 选用 CKE0/CS0、CKE1/CS1；

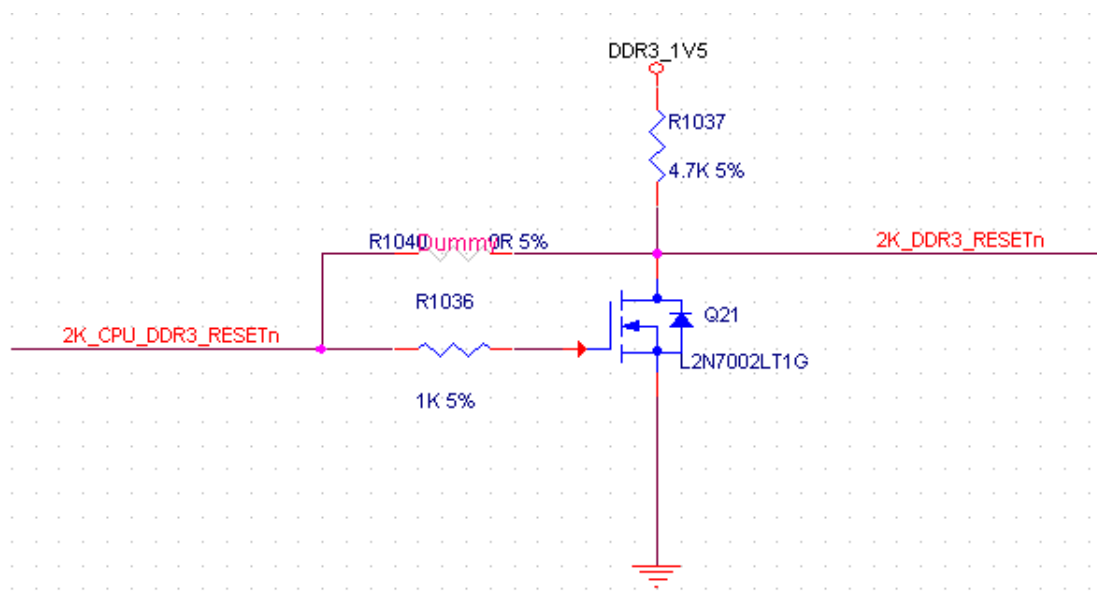
7) ODT 信号的选用应与 CS 保持一致，CS0 对于 ODT0，CS1 对应 ODT1；

8) 待机到内存时 DDR3 控制器和 DDR 颗粒供电分开;

9) 待机到内存时要添加下图电路:

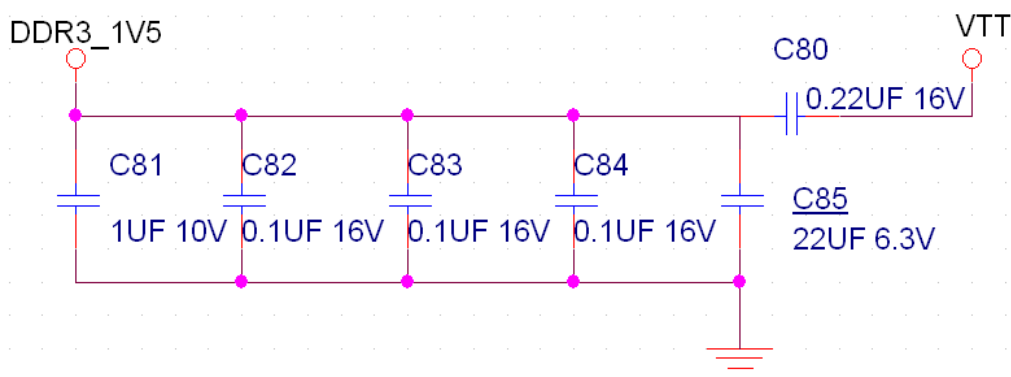


该电路保证处理器进入 S3 状态时 CKE 信号稳定为低电平。



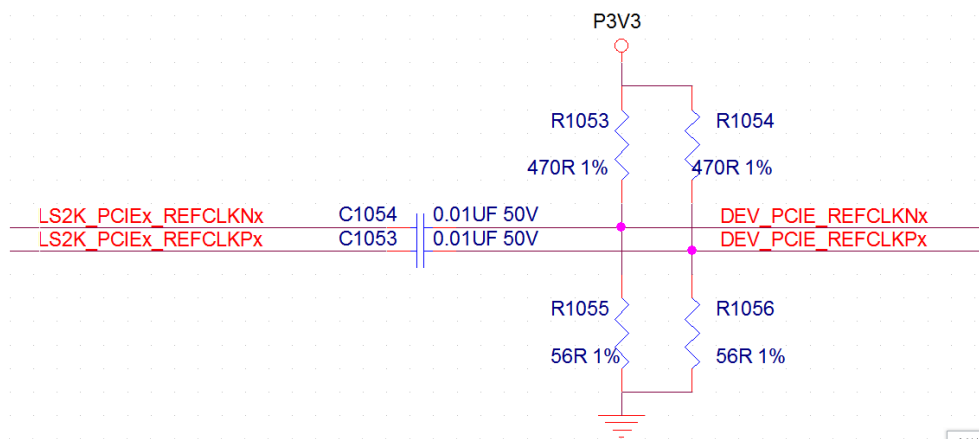
DDR\_RESETn 做反向设计。

10) DDR3\_1V5 与 VTT 之间增加如下图电路。



## 5.2 PCIE

- 1) 2K1000 PCIE 参考时钟和设备时钟需要同源；
- 2) 收发信号使用 0.1uF 电容进行 AC 耦合；
- 3) 使用 2K1000 输出的 100M 时钟给设备做参考时钟时，需要按照如下电路连接：



### 4) PCIE 模式拆分

#### PCIE0:

PCIE0\_PRSENT0 下拉，PCIE0\_PRSENT1-3 中至少有一个下拉，则 PCIE0 工作在 4 个 X1 模式，LANE0-3 分别对应 4 个 x1 port。

PCIE0\_PRSENT0 下拉, PCIE0\_PRSENT1-3 全上拉, 则 PCIE0 工作在 1 个 X4 模式。

### PCIE1:

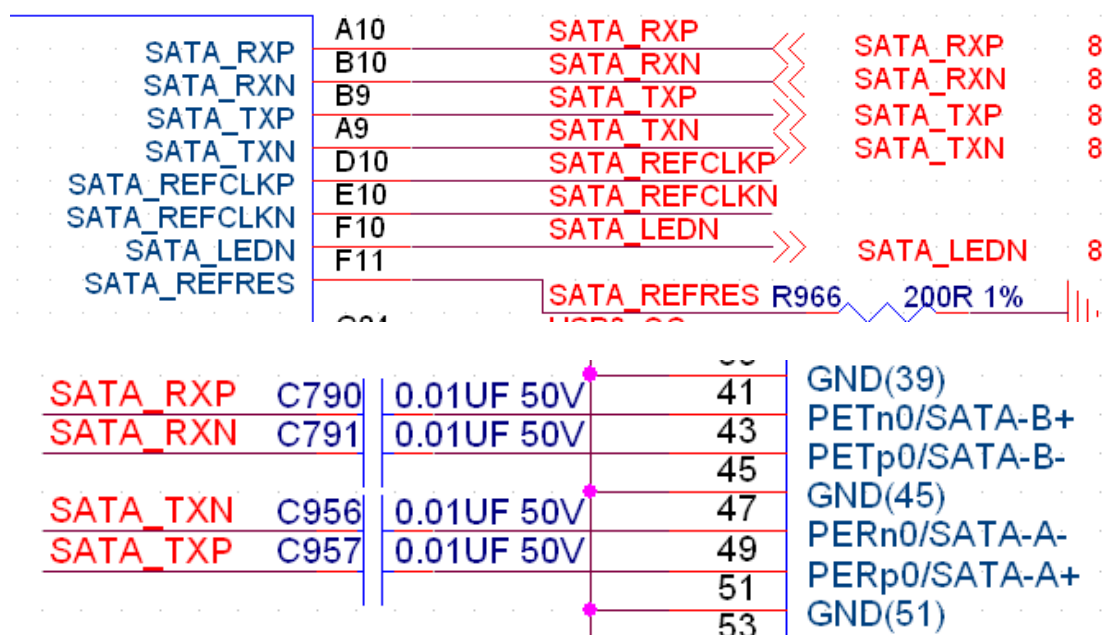
PCIE1\_PRSENT0-1 均下拉, 则 PCIE1 工作在 2 个 X1 模式, 此时 lane0-1 分别对应 2 个 X1 port。

PCIE1\_PRSENT0 下拉, PCIE1\_PRSENT1 上拉, 则 PCIE1 工作在 1 个 X4 模式。

## 5.3 SATA

SATA 接口的时钟输入使用 100Mhz 的 HCSL 差分时钟, 使用 SATA 功能时强烈建议使用外部时钟。

SATA 接口原理设计如下图。



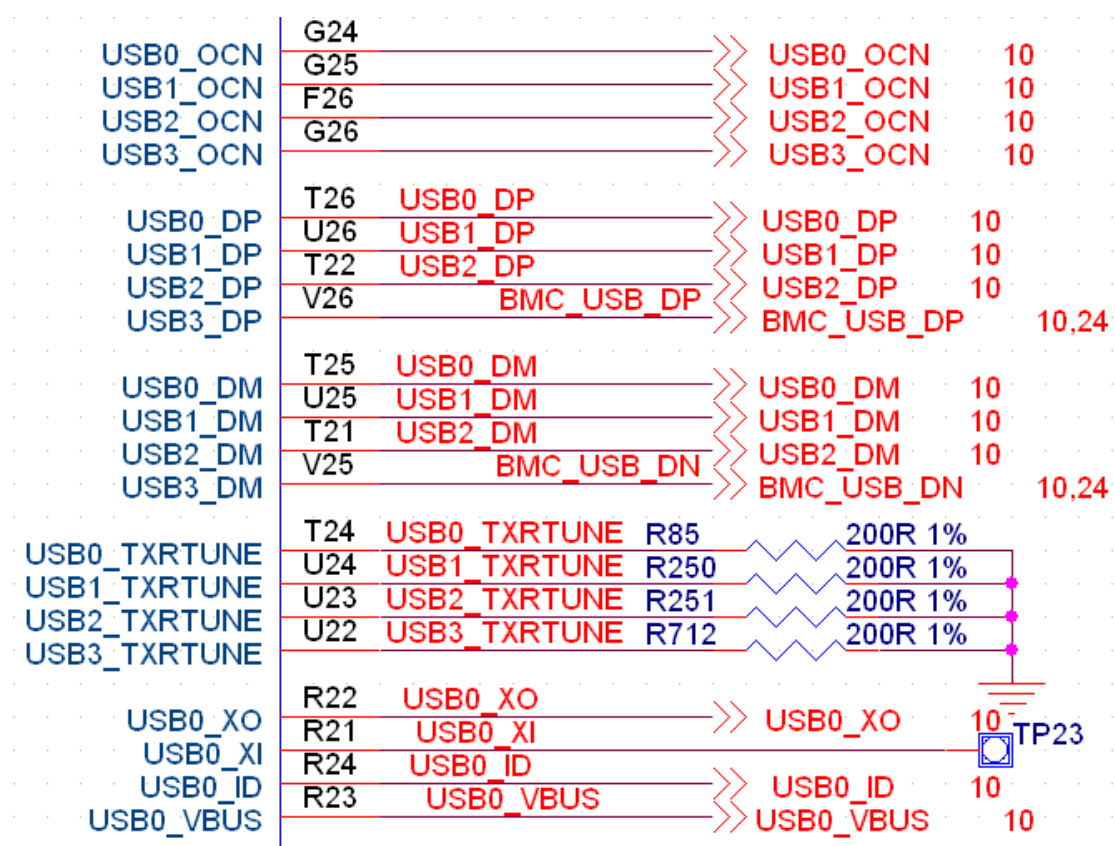
SATA\_REFRES 为外部参考电阻输入, 通过 200ohm 1%的电

阻接 GND。

## 5.4 USB

LS2K1000 一共有 4 个 USB 接口，其中 USB0 为固定的 OTG 接口。USB1-3，三个为 USB Host 2.0。

接口参考设计如下：



- 1) USB0\_OCn 是输出信号，当 OTG 驱动成功加载后，OTG 为 Host 模式时 USB0\_OCn 输出高电平，OTG 为 Device 模式时 USB0\_OCn 输出低电平。
- 2) USB[3:1]\_OCn 为过流检测输入信号，当输入为高时 USB 控制器失效。



- 3)USB[3:0]\_TXRTUNE 接 200ohm 1%到 GND。
- 4)USB 时钟输入使用 12Mhz 晶振连接至 USB0\_XO, USB0\_XI 可悬空。
- 5)USB0\_ID 为高 OTG 为 Device 模式, USB0\_ID 为低 OTG 为 Host 模式。
- 6)USB0\_VBUS 使用 5V 供电。
- 7)LS2K1000 在 USB 的每个通道上都有集成 15K 下拉电阻, 可以使用软件配置决定是否打开。

## 5.5 SPI

LS2K1000 只有 1 个 SPI 控制器, 此控制器有 4 个片选。

设计时将所使用到的片选信号 CSn 上拉, CSn0 上固定连接大于 1MB 的 SPI NOR FLASH, 用于存放 PMON。

## 5.6 GMAC

LS2K1000 的 GAMC 符合 RGMII2.0 协议规范。RGMII2.0 协议不支持在控制器端添加时钟延时功能, 在使用时建议连接有时钟内部延时功能的 PHY。

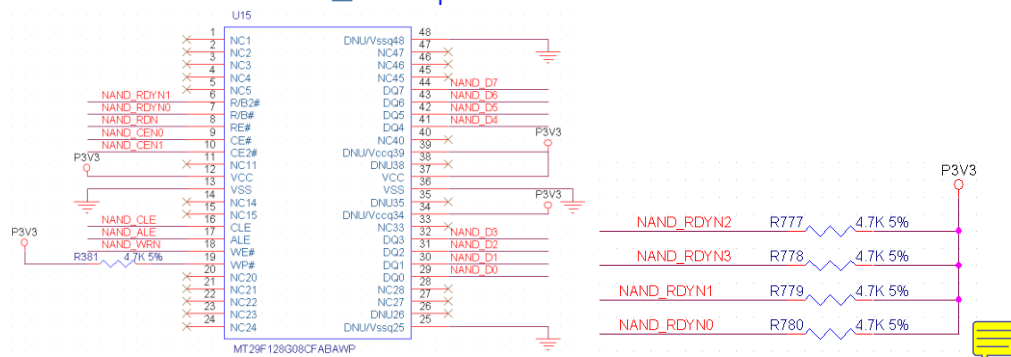
				U1D
14	GMAC0_TXD0	GMAC0_TXD0	N23	GMAC0_TXD0
14	GMAC0_TXD1	GMAC0_TXD1	P23	GMAC0_TXD1
14	GMAC0_TXD2	GMAC0_TXD2	N21	GMAC0_TXD2
14	GMAC0_TXD3	GMAC0_TXD3	N20	GMAC0_TXD3
14	GMAC0_RXD0	GMAC0_RXD0	M26	GMAC0_RXD0
14	GMAC0_RXD1	GMAC0_RXD1	N25	GMAC0_RXD1
14	GMAC0_RXD2	GMAC0_RXD2	N26	GMAC0_RXD2
14	GMAC0_RXD3	GMAC0_RXD3	P26	GMAC0_RXD3
14	GMAC0_MDCK	GMAC0_MDCK	R25	GMAC0_MDCK
14	GMAC0_MDIO	GMAC0_MDIO	P21	GMAC0_MDIO
14	GMAC0_RCTL	GMAC0_RCTL	N24	GMAC0_RCTL
14	GMAC0_TCTL	GMAC0_TCTL	R26	GMAC0_TCTL
14	GMAC0_TXCK	GMAC0_TXCK	P24	GMAC0_TXCK
14	GMAC0_RXCK	GMAC0_RXCK	P25	GMAC0_RXCK
14	GMAC1_TXD0	GMAC1_TXD0	L25	GMAC1_TXD0
14	GMAC1_TXD1	GMAC1_TXD1	L26	GMAC1_TXD1
14	GMAC1_TXD2	GMAC1_TXD2	M21	GMAC1_TXD2
14	GMAC1_TXD3	GMAC1_TXD3	M22	GMAC1_TXD3
14	GMAC1_RXD0	GMAC1_RXD0	L21	GMAC1_RXD0
14	GMAC1_RXD1	GMAC1_RXD1	L22	GMAC1_RXD1
14	GMAC1_RXD2	GMAC1_RXD2	L23	GMAC1_RXD2
14	GMAC1_RXD3	GMAC1_RXD3	K25	GMAC1_RXD3
14	GMAC1_MDCK	GMAC1_MDCK	M24	GMAC1_MDCK
14	GMAC1_MDIO	GMAC1_MDIO	M25	GMAC1_MDIO
14	GMAC1_RCTL	GMAC1_RCTL	K24	GMAC1_RCTL
14	GMAC1_TCTL	GMAC1_TCTL	M23	GMAC1_TCTL
14	GMAC1_TXCK	GMAC1_TXCK	L24	GMAC1_TXCK
14	GMAC1_RXCK	GMAC1_RXCK	K26	GMAC1_RXCK

GMAC0/1\_MDCK 和 GMAC0/1\_MDIO 信号上添加上拉电阻。

## 5.7 NAND

NAND 的参考设计如下图，每个被使用的 NAND\_RDYN 需要添加上拉电阻。

NAND_D0	B6	NAND_D0
NAND_D1	D7	NAND_D1
NAND_D2	F9	NAND_D2
NAND_D3	E8	NAND_D3
NAND_D4	C6	NAND_D4
NAND_D5	A5	NAND_D5
NAND_D6	A6	NAND_D6
NAND_D7	E9	NAND_D7
NAND_CEN0	B4	NAND_CEN0
NAND_CEN1	B5	NAND_CEN1
NAND_CEN2	D6	NAND_CEN2
NAND_CEN3	F8	NAND_CEN3
NAND_RDYN0	D5	NAND_RDYN0
NAND_RDYN1	B3	NAND_RDYN1
NAND_RDYN2	A3	NAND_RDYN2
NAND_RDYN3	C4	NAND_RDYN3
NAND_WRN	A2	NAND_WRN
NAND_RDN	E7	NAND_RDN
NAND_CLE	A4	NAND_CLE
NAND_ALE	C5	NAND_ALE

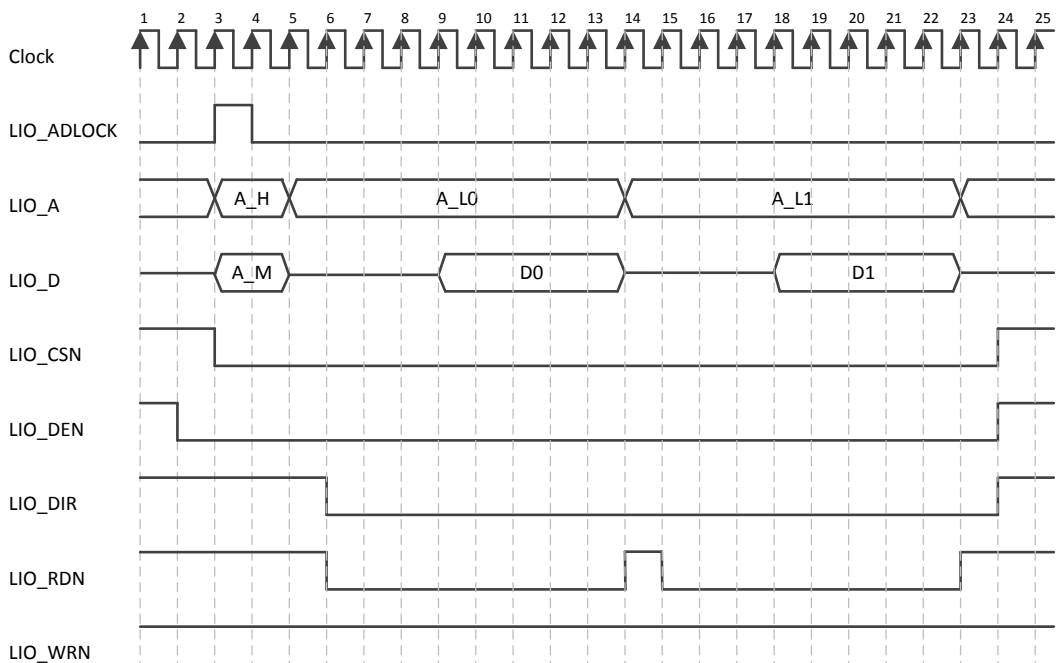


## 5.8 LIO

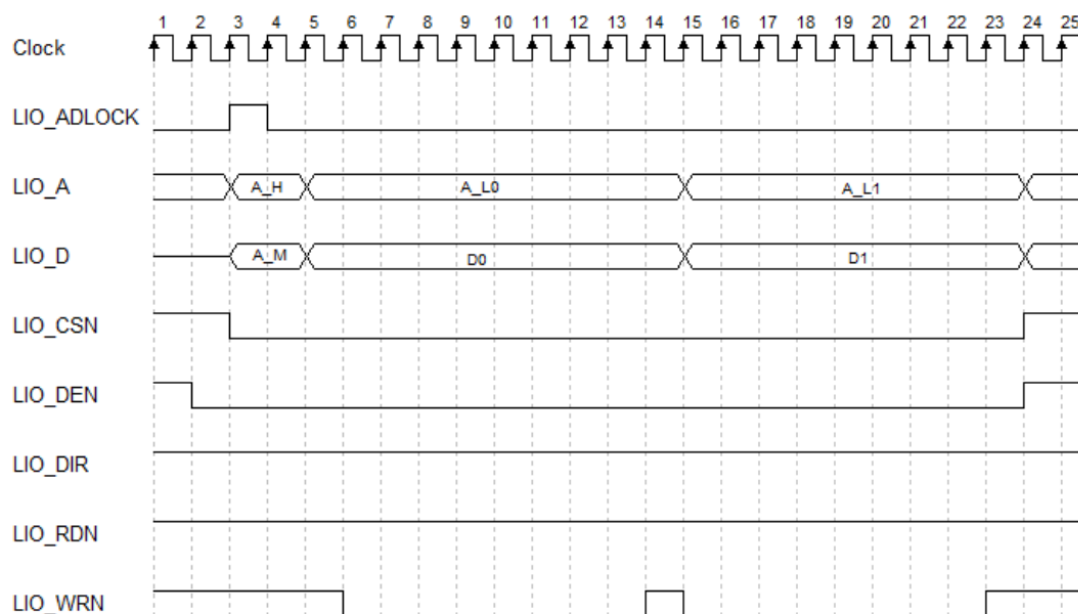
1) LIO 接口与 DVO0 存在复用关系，复用关系如下表：

信号名称	复用名称	复用类型	复用信号描述	电压
DVO0_CLKp	LIO_RDn	O	LIO RDn 输出	3V3/IO
DVO0_CLKn	LIO_WRn	O	LIO WRn 输出	3V3/IO
DVO0_HSYNC	LIO_DEN	O	LIO DEN 输出	3V3/IO
DVO0_VSYNC	LIO_DIR	O	LIO DIR 输出	3V3/IO
DVO0_DE	LIO_ADLOCK	O	LIO ADLOCK 输出	3V3/IO
DVO0_D[15:0]	LIO_AD[15:0]	I/O	LIO 双向 AD 信号	3V3/IO
DVO0_D[22:16]	LIO_A[6:0]	O	LIO 地址低位	3V3/IO
DVO0_D23	LIO_CSn	O	LIO 片选信号	3V3/IO

## 2)LIO 读操作时序:



## 3)LIO 写操作时序:



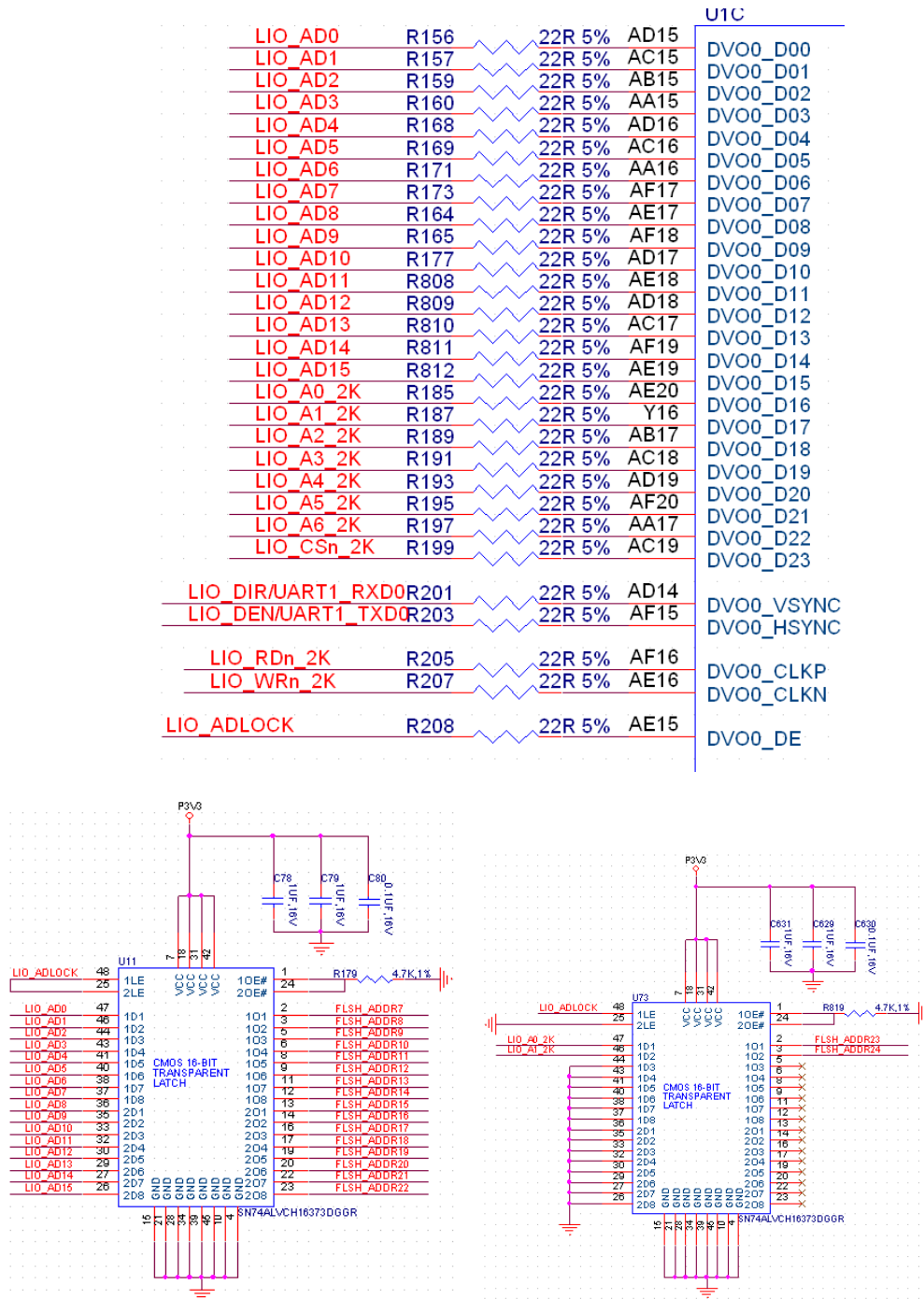
4) LIO 只支持异步模式，内部参考时钟为默认 100Mhz 的 boot 时钟，没有时钟输出。

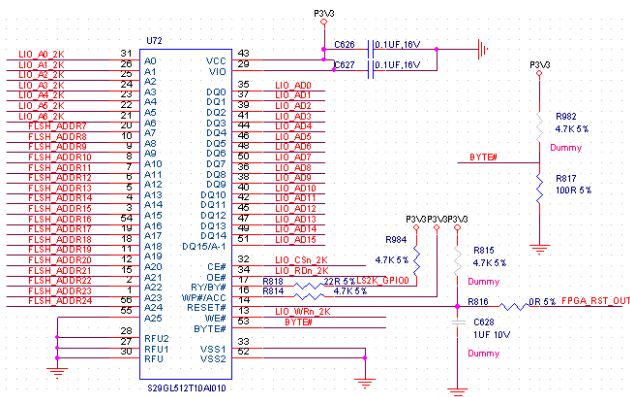
5) 2K 的 LIO 地址线最多有 30 根，地址线和数据线有复用关系，使用 ADLOCK 信号锁存地址，此信号只存在 1 个时钟周期的高电平。

6) 时序图中的 A\_M 表示通过使用 ADLOCK 对 LIO\_AD[15:0] 信号锁存得到的地址线 LIO\_A[22:7]；A\_H 表示通过使用 ADLOCK 对 LIO\_A[6:0] 信号锁存得到的地址线 LIO\_A[29:23]；A\_L 表示 LIO\_A[6:0] 未经过锁存的低 7 位地址。

7) 当 LIO 的数据位宽为 16 bit 时，送出的地址由 CPU 物理地址右移一位得到。当 LIO 的数据位宽为 8 bit 时，送出的地址与物理地址一致。

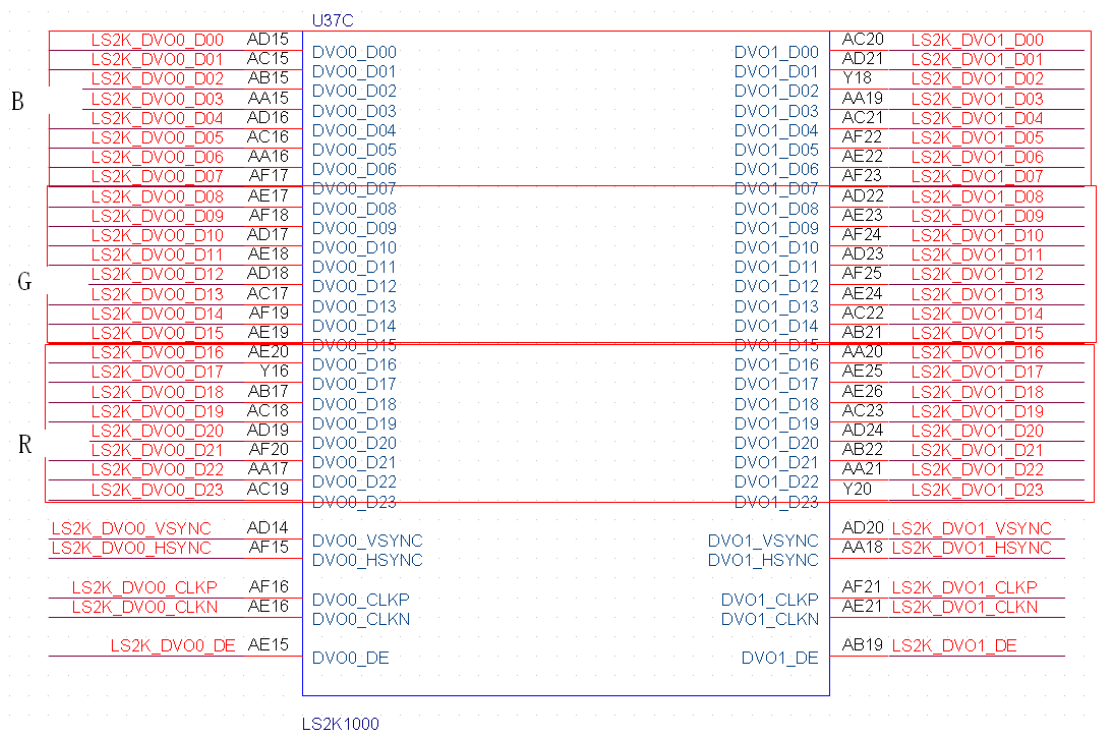
8)LIO 参考设计如下图:





## 5.9 DVO

参考设计如下图：



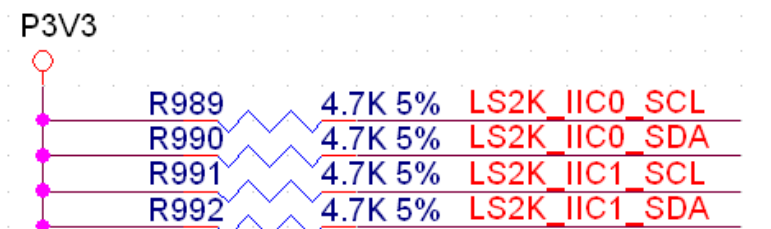
DVO 接口数据信号与 RGB 对应关系如下：

DVO 接口信号	24 位模式	16 位模式
DVO_D0	B0	
DVO_D1	B1	
DVO_D2	B2	
DVO_D3	B3	B0
DVO_D4	B4	B1
DVO_D5	B5	B2

DVO_D6	B6	B3
DVO_D7	B7	B4
DVO_D8	G0	
DVO_D9	G1	
DVO_D10	G2	G0
DVO_D11	G3	G1
DVO_D12	G4	G2
DVO_D13	G5	G3
DVO_D14	G6	G4
DVO_D15	G7	G5
DVO_D16	R0	
DVO_D17	R1	
DVO_D18	R2	
DVO_D19	R3	R0
DVO_D20	R4	R1
DVO_D21	R5	R2
DVO_D22	R6	R3
DVO_D23	R7	R4

## 5.10 IIC

IIC 接口为 OD 门，IIC 信号上需要添加上拉电阻才可以正常使用。



## 5.11 GPIO

1) GPIO44-51 不可以用作输入，只可以用作输出。用作 N AND 功能时，功能完备不受影响。

2) 只要 GPIO0-3 是独立中断，支持边沿、高低电平触发中断；其他 GPIO 为共享中断，且只能高电平触发中断。



3)GPIO 的复用为按照功能接口成组复用。

4)GPIO 复用关系:

GPIO 编号	复用信号	GPIO 编号	复用信号
GPI063	NAND_D7	GPI031	无此管脚
GPI062	NAND_D6	GPI030	HDA_SDI2
GPI061	NAND_D5	GPI029	HDA_SDI1
GPI060	NAND_D4	GPI028	HDA_SDI0
GPI059	NAND_D3	GPI027	HDA_SDO
GPI058	NAND_D2	GPI026	HDA_RESETn
GPI057	NAND_D1	GPI025	HDA_SYNC
GPI056	NAND_D0	GPI024	HDA_BITCLK
GPI055	NAND_RDYn3	GPI023	PWM3
GPI054	NAND_RDYn2	GPI022	PWM2
GPI053	NAND_RDYn1	GPI021	PWM1
GPI052	NAND_RDYn0	GPI020	PWM0
GPI051	NAND_RDn	GPI019	I2C1_SDA
GPI050	NAND_WRn	GPI018	I2C1_SCL
GPI049	NAND_ALE	GPI017	I2C0_SDA
GPI048	NAND_CLE	GPI016	I2C0_SCL
GPI047	NAND_CEn3	GPI015	无此管脚
GPI046	NAND_CEn2	GPI014	SATA_LEDn
GPI045	NAND_CEn1	GPI013	GMAC1_TCTL
GPI044	NAND_CEn0	GPI012	GMAC1_TXD3
GPI043	无此管脚	GPI011	GMAC1_TXD2
GPI042	无此管脚	GPI010	GMAC1_TXD1
GPI041	SDIO_CLK	GPI09	GMAC1_TXD0
GPI040	SDIO_CMD	GPI08	GMAC1_RCTL
GPI039	SDIO_DATA3	GPI07	GMAC1_RXD3
GPI038	SDIO_DATA2	GPI06	GMAC1_RXD2
GPI037	SDIO_DATA1	GPI05	GMAC1_RXD1
GPI036	SDIO_DATA0	GPI04	GMAC1_RXD0
GPI035	CAN1_TX	GPI03	无复用
GPI034	CAN1_RX	GPI02	无复用
GPI033	CAN0_TX	GPI01	无复用
GPI032	CAN0_RX	GPI00	无复用

## 5.12 UART

UART 复用关系如下:

信号名称	8 线 UART	2 线 UART
UART_TXD	UART0_TXD	UART0_TXD
UART_RXD	UART0_RXD	UART0_RXD
UART_RTS	UART0_RTS	UART5_TXD
UART_DTR	UART0_DTR	UART3_TXD
UART_RI	UART0_RI	UART4_TXD
UART_CTS	UART0_CTS	UART5_RXD
UART_DSR	UART0_DSR	UART3_RXD
UART_DCD	UART0_DCD	UART4_RXD
DVO0_HSYNC	UART1_TXD	UART1_TXD
DVO0_VSYNC	UART1_RXD	UART1_RXD
DVO0_DE	UART1_RTS	UART8_TXD
DVO0_D00	UART1_DTR	UART6_TXD
DVO0_D01	UART1_RI	UART7_TXD
DVO0_D02	UART1_CTS	UART8_RXD
DVO0_D03	UART1_DSR	UART6_RXD
DVO0_D04	UART1_DCD	UART7_RXD
DVO0_D05	UART2_TXD	UART2_TXD
DVO0_D06	UART2_RXD	UART2_RXD
DVO0_D07	UART2_RTS	UART11_TXD
DVO0_D08	UART2_DTR	UART9_TXD
DVO0_D09	UART2_RI	UART10_TXD
DVO0_D11	UART2_CTS	UART11_RXD
DVO0_D12	UART2_DSR	UART9_RXD
DVO0_D13	UART2_DCD	UART10_RXD

## 六、 未使用管脚处理说明

信号组	不使用的处理方式
DDR3	DDR 32/16 位模式只用低 32/16 位数据线，不用的输入信号建议 4.7K 下拉。
PCIE	总线接口输出可悬空，输入建议 4.7K 下拉
DVO	可悬空
GMAC	总线接口输出可悬空，输入建议 4.7K 下拉
SATA	总线接口输出可悬空，输入建议 4.7K 下拉
USB	总线接口建议 4.7K 下拉
HDA	总线接口输出可悬空，建议 4.7K 下拉
SPI	输出可悬空，输入需拉低，配置引脚必须正确上下拉
I2C	建议 4.7K 下拉
UART	输出可悬空，输入建议 4.7K 下拉
NAND	输出可悬空，输入建议 4.7K 下拉
GPIO	由软件设置为输出则可悬空


ACPI	ACPI_SYSRSTn 作系统复位， ACPI_DOTESTn 上拉， ACPI_RSMRSTn 上拉， 其它信号输出可悬空，输入建议 4.7K 上拉
EJTAG	EJTAG_TRST/TDI 建议 4.7K 下拉，其它信号可悬空
时钟配置	必须正确连接
电源地	电源地不可悬空 PCIE 和 SATA 均不使用时，相关电源可接地 其它电源地必须正确连接

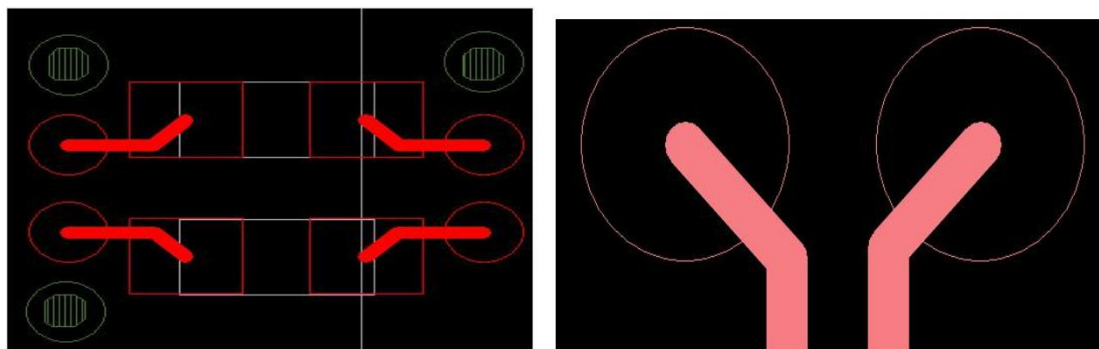
## 第二部分：PCB 设计

### 一、 通用设计规则

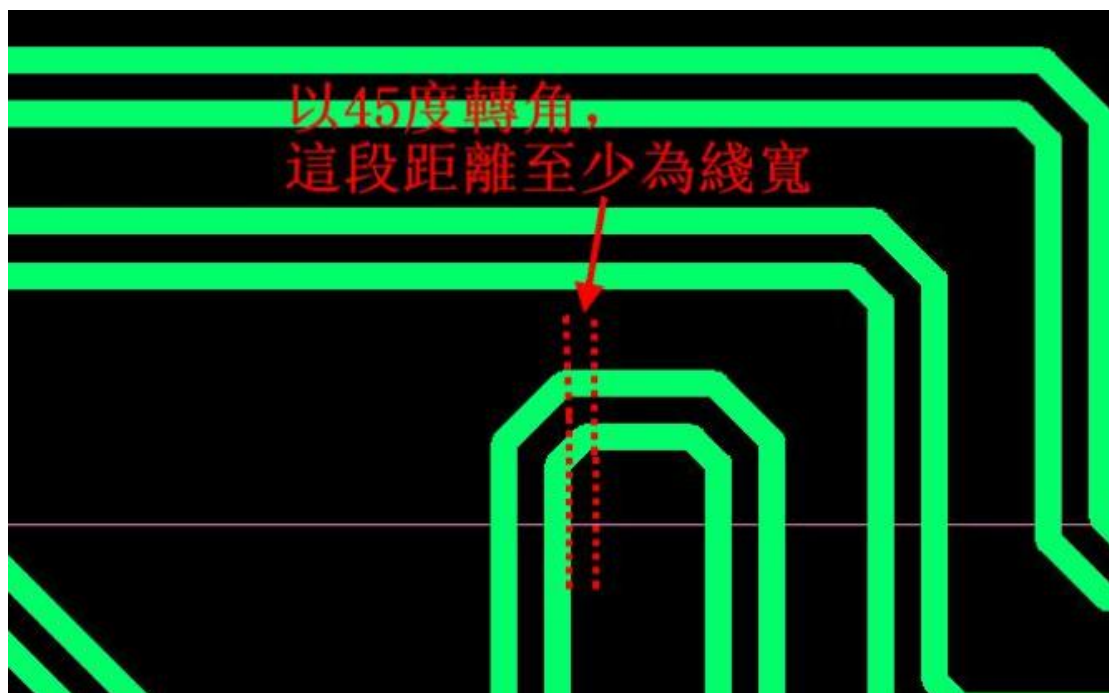
LS2K1000 处理器 SOC 既包含 PCIE, SATA, DDR3, USB, GMAC 等高速接口，也包含 GPIO, UART, I2C 等低速接口，对于下文不介绍的低速接口需满足以下基本设计规则：

- 1) 对于大多数非关键信号，保持 1:1 的间距与距参考平面高度比；
- 2) signal 经过电阻, 电容, 电感后没有特殊说明 W/S 的，请按照经过电阻, 电容, 电感前一样的走线规则走线；
- 3) 无特殊要求的单端信号线按  $50\ \Omega \pm 10\%$  走线；
- 4) Signal 绕线时与自身的 space 要大于 20mil(包括 differential signal, DDR, CLK 等)；
- 5) 测点尽量放在 Top 层，实在放不开可放 Bottom 层；
- 6) 时钟和高速信号的布线应至少距离板的边缘 250mil，距离开关电源电感、MOS 管至少 500mil；

- 7) 板上的最小线宽为 4mils，最小线间距为 4.5mils；
- 8) 所有差分信号对换层处打一 GND via，GND via 距离信号换层 via 距离尽量小,不要超过 150mil；
- 9) 仅允许最多两个引脚共用一个电源或接地过孔；
- 10) 差分信号左拐弯右拐弯要一致，~~进出pad,via要对称，~~  
  
 如下图：



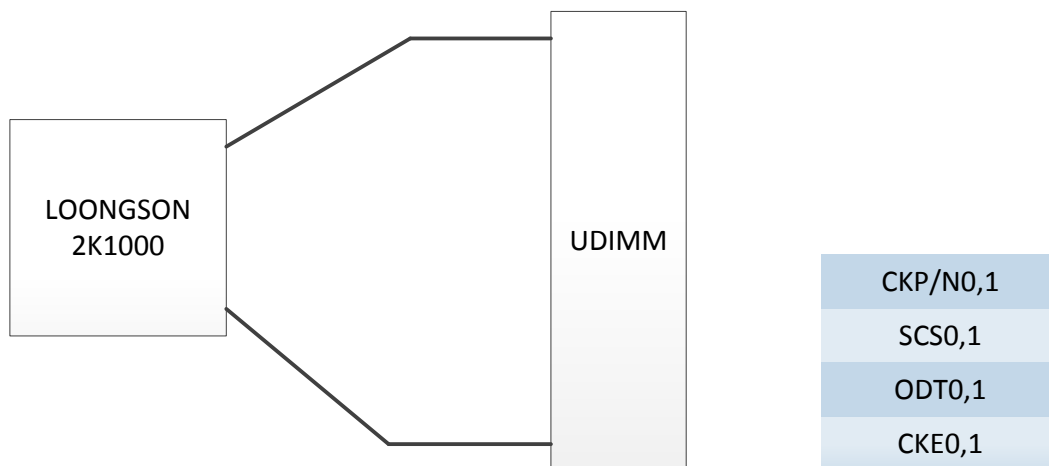
- 11) Trace 需绕线时， 请保持转角段宽度至少为线宽， 若无法避免， 请确保转角处线宽线距仍然满足规则要求， 如下图：



12) 差分走线长度匹配注意片内延时。

## 二、 DDR3

本节主要包括 DDR3 接口 PCB 设计指导。任何偏离该指导中给定的信号拓扑和走线均需要通过仿真和验证，以确定满足 DDR 3 SDRAM 和系统时序要求。LS2K1000 处理器最多支持 4 个片选，单个片选最大支持 4GB 内存空间，验证过最多的是 2 个片选，最大支持 8GB 内存，LS2K1000 控制器接 1 个 DIMM 槽拓扑机构如下：



DDR3 接口的 PCB 设计主要包括信号线的线宽/线距、叠层与阻抗控制、走线的长度限制等方面，本文档对于这几个方面都有详细的说明。其中走线的长度限制包括两个方面的含义：一是绝对的最大走线长度限制，二是所有信号与时钟之间的长度匹配限制。

## 2.1 信号分组

DDR3 接口信号分为 3 个信号组：时钟、控制命令、数据和数据选通信号，表 2.1 对信号的分组情况进行了说明。

表 2.1 DDR3 信号分组

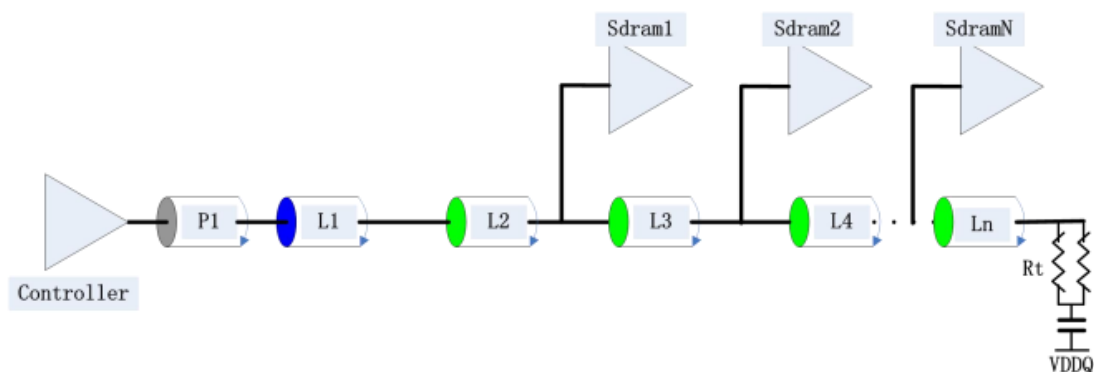
Group	Signal Name	Description
时钟(Clock)	DDR3_CLKp[7:0], DDR3_CLKn[7:0]	System Memory Differential Clocks

控制 (Control) 命令 (Command)	SCSN[3:0],CKE[3:0],ODT[3:0], RESETN, A[15:0], BA[2:0], WEN, CASN, RASN	Chip select, Clock enable, On-Die termination , Memory address bus, Bank select, Write enable, Column address select, Row address select
数据和数据选通 (Data and Data Strobes)	DQSp0, DQSn0, DQM0, DQ[7:0]	Byte Lane0
	DQSp1, DQSn1, DQM1, DQ[15:8]	Byte Lane1
	DQSp2, DQSn2, DQM2, DQ[23:16]	Byte Lane2
	DQSp3, DQSn3, DQM3, DQ[31:24]	Byte Lane3
	DQSp4, DQSn4, DQM4, DQ[39:32]	Byte Lane4
	DQSp5, DQSn5, DQM5, DQ[47:40]	Byte Lane5
	DQSp6, DQSn6, DQM6, DQ[55:48]	Byte Lane6
	DQSp7, DQSn7, DQM7, DQ[63:56]	Byte Lane7

数据和数据选通组中的每个 **Byte Lane** (Lane0~Lane7) 均可和时钟、控制、命令一样，布线时作为一个单独的同组信号看待。

## 2.2 板载颗粒布线规范

时钟信号采用 Fly-By 拓扑结构，拓扑结构如下图所示:



注： 时钟信号为差分信号， 图中只画出了一条信号的示意图

信号的布局布线指导如表 2.2 所示。

表 2.2 时钟信号组布线指导

参数	定义
信号组 (Signal Group)	CLKp, CLKn
拓扑 (Topology)	差分对的 FLY-BY 结构 Differential Pair fly-by Topology
参考平面 (Reference Plane)	地平面或电源平面， 地平面为最佳， 要求参考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	70 ~ 95Ω ± 10% (reference only) 典型值 80Ω
与非 DDR3 信号的最小间距 (Minimum Isolation Spacing to non-DDR3 Signals)	20mil
与其他 DDR3 信号组的最小间距 (Minimum Isolation Spacing to other-DDR3 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	Reference 7 附录
L1(Microstrip) (Fanout length segment)	扇出线宽: 4mil 与其他 DDR3 信号间距: 5mil L1 的长度应尽量短
L2(Stripline)	线宽: 5.2mil 与其他 DDR3 信号间距: 12mil
L3(Stripline)	线宽: 4.9mil 与其他 DDR3 信号间距: 12mil L3 的最大长度为 1000mil



L4(Stripline)	线宽： 5.2mil 与其他 DDR3 信号间距： 12mil L4 的最大长度为 1000mil
L5(Microstrip) (Stub from Via to Sdram Pad)	线宽： 5.2mil 与其他 DDR3 信号间距： 12mil L5 的最大长度为 250mil
L3 长度匹配 (L3 Segment Matching)	Maximum L3 Length – Minimum L3 Length <= 50 mil
L4 长度匹配 (L4 Segment Matching)	Maximum L4 Length – Minimum L4 Length <= 50 mil
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3+L4+L5)	Max = 3500mil
信号的总长度限制 P1+L1+L2+L3+L4+L5	Max = 4000mil
最大的过孔数 (Maximum Recommended Via Count)	3 个

命令控制信号拓扑如下：

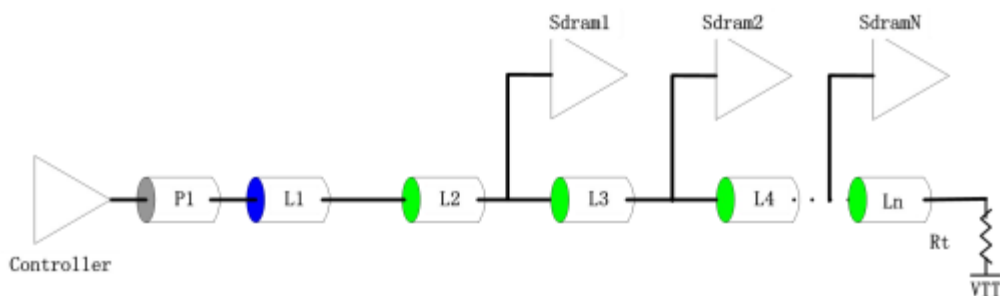


表 2.3 控制信号布线拓扑

参数	定义
信号组 (Signal Group)	SCSN[3:0], CKE[3:0], ODT[3:0], RESETN , A[15:0], BA[2:0], WEN, CASN, RASN
拓扑 (Topology)	差分对的 FLY-BY 结构 Differential Pair fly-by Topology
参考平面 (Reference Plane)	地平面或电源平面， 地平面为最佳， 要求参考 平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	40 ~ 50Ω ± 10% (reference only) 典型值 40Ω

与非 DDR3 信号的最小间距 (Minimum Isolation Spacing to non-DDR3 Signals)	20mil
与其他 DDR3 信号组的最小间距 (Minimum Isolation Spacing to other-DDR3 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出线宽: 4mil 与其他 DDR3 信号间距: 5mil L1 的长度应尽量短
L2 (Stripline)	线宽: 5.2mil 与其他 DDR3 信号间距: 12mil
L3 (Stripline)	线宽: 4.9mil 与其他 DDR3 信号间距: 12mil L3 的最大长度为 1000mil
L4 (Stripline)	线宽: 5.2mil 与其他 DDR3 信号间距: 12mil L4 的最大长度为 1000mil
L5 (Microstrip) (Stub from Via to Sdram Pad)	线宽: 5.2mil 与其他 DDR3 信号间距: 12mil L5 的最大长度为 250mil
L3 长度匹配 (L3 Segment Matching)	Maximum L3 Length – Minimum L3 Length <= 50 mils
L4 长度匹配 (L4 Segment Matching)	Maximum L4 Length – Minimum L4 Length <= 50 mils
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3+L4+L5)	Max = 3500mil
信号的总长度限制 P1+L1+L2+L3+L4+L5	Max = 4000mil
最大的过孔数 (Maximum Recommended Via Count)	3 个
控制信号与时钟对的长度匹配 (包括封装长度)	(CLK - 25mil ) <= Control <= (CLK + 25mil)

数据信号拓扑结构如下:

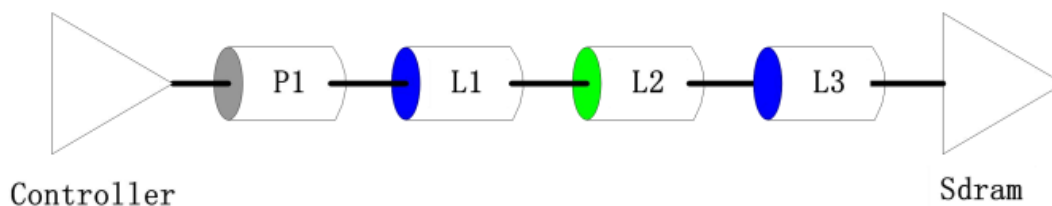


表 2.4 数据信号组布线指导

参数	定义
信号组 (Signal Group)	Data -DQ[63:0] , DQSp[7:0], DQSn[7:0], ,DQM[7:0]
拓扑 (Topology)	点到点信号 Point-to-Point
参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	单端信号 40~45Ω±10% (reference only) , 典型值 40Ω 差分信号 70-95Ω±10%, 典型值 80
与非 DDR3 信号的最小间距 (Minimum Isolation Spacing to non-DDR3 Signals)	20mil
与其他 DDR3 信号组的最小间距 (Minimum Isolation Spacing to other-DDR3 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	
L1(Microstrip) (Fanout length segment)	扇出线宽: 4mil 与其他 DDR3 信号间距: 5mil L1 的长度应尽量短
L2 (Stripline)	线宽: 5.2mil 与其他 DDR3 信号间距: 12mil
L3 (Microstrip) (Stub from Via to Sdram Pad)	线宽: 5.2mil 与其他 DDR3 信号间距: 5mil L3 的长度应尽量短
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	Max = 1500mil
信号的总长度限制 P1+L1+L2+L3	Max = 2000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个

数据信号与 DQS 对的长度匹配 (包括封装长度)	同一个 Lane 内长度误差在 10mil 之内, 不同 Lane 之间尽量等长, 最大误差 $\leq 1000\text{mil}$
数据信号与时钟对的长度匹配 (包括封装长度)	$\text{Clock}-3500\text{mil} < \text{DQ} < \text{Clock}+2000\text{mil}$

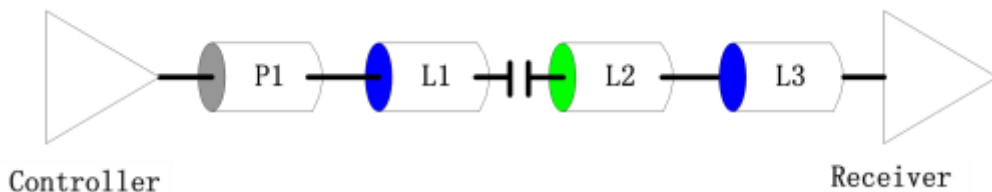
## 2.3 注意事项

DDR3 接口的数据信号和选通信号分成了 4 个相对独立数据信号组 (Byte Lane), 不同的信号组可以使用不同的布线层来完成走线, 信号过孔要求尽量少, 一般不超 2 个, 但是, 为最小化信号之间的偏移 (Skew), 同组内的信号需要在同一布线层完成走线, 具有相同的走线方式。所有信号布线均需有完整的参考平面, 参考平面可以是电源或地平面 (地平面最佳), 但不允许出现参考平面不完整或者没有参考平面的信号走线。

为获得最优的信号质量和时序裕量, 本文档不仅给出了每个信号组推荐的布线拓扑、线宽线距、最小和最大的布线长度, 并且定义了各信号组之间的长度匹配规则。各信号组的长度匹配都是以 DDR3 时钟为参考的, 相对于时钟信号的最小和最大长度偏差值依赖于规范所能容忍的时序变化范围。每个信号的长度计算都包括芯片内的封装长度和 PCB 板的板级走线长度。组内数据和选通信号之间有严格的长度匹配要求, 因此封装长度对信号组的等长有重要影响。

## 三、PCIE

PCIE 端口设计采用点对点方式, 拓扑结构如下所示, 耦合方式采用 AC 耦合, 耦合电容放在离发送端近的位置。



PCIE 差分信号布线规则如下表所示:

表 3.1 PCIE 信号走线要求

Signal	差分阻抗	trace length	Differential mismatch	Trace spacing
PCIE[1:0]_TXP[3:0], PCIE[1:0]_TXN[3:0]; PCIE[1:0]_RXP[3:0], PCIE[1:0]_RXN[3:0];	Only Gen1: 100ohm±15% Only Gen2: 85ohm±15% Gen1,2: 85ohm±15%	各差分信号对总长度小于 12 inch	差分信号长度对内相差 <5mil	对间距至少 20mil 各差分对间信号长度相差不超过 7 inch

#### 四、 SATA

SATA 端口设计采用点对点方式， 拓扑结构如下所示耦合方式采用 AC 耦合， 耦合电容放在离终端近的位置。

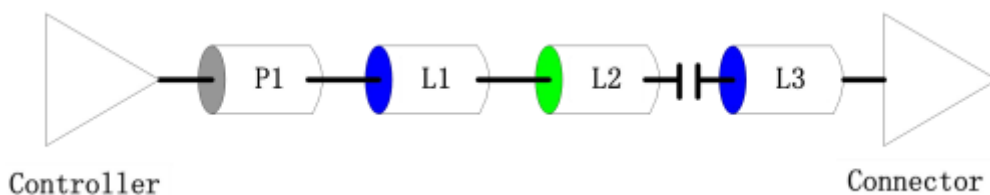


表 4.1 SATA 布线指导

参数	定义
信号组 (Signal Group)	SATA0_TXN、 SATA0_TXP; SATA0_RXN、 SATA0_RXP;
拓扑 (Topology)	差分对 Differential Pair
参考平面 (Reference Plane)	地平面或电源平面， 地平面为最佳， 要求参考平面完整不允许信号跨分割

差分信号阻抗 (Differential Mode Impedance)	90Ω +/-10%
与其他信号的最小间距 (Minimum Isolation Spacing to Other Signals)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出差分对线宽/线距: 4.1mil/4.1mil 与其他信号间距: 10mil L1 的长度应尽量短
L2 (Stripline)	差分对线宽/线距: 4.1mil/8.5mil 与其他信号间距: 16mil
L3 (Microstrip)	差分对线宽/线距: 4.1mil/8.0mil 与其他信号间距: 12mil
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	<4000mil
信号的总长度限制-P1+L1+L2+L3	
最大的过孔数 (Maximum Recommended Via Count)	2 个
差分对的长度匹配 (Differential Pair Length Matching) (Total length including package)	总长度的最大差别 < 5mil

## 五、 USB

USB 接口信号拓扑如下:

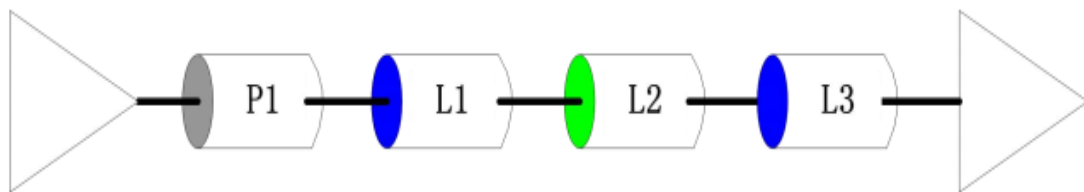


表 5.1 USB 布线指导

参数	定义
----	----

信号组 (Signal Group)	USB[3:0]_DP、 USB[3:0]_DM
拓扑 (Topology)	差分对 Differential Pair
参考平面 (Reference Plane)	地平面或电源平面， 地平面为最佳， 要求参考平面完整不允许信号跨分割
差分信号阻抗 (Differential Mode Impedance)	90Ω +/-10%
与其他信号的最小间距 (Minimum Isolation Spacing to Other Signals)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出差分对线宽/线距: 4 mil/4 mil 与其他信号间距: 10mil L1 的长度应尽量短
L2 (Stripline)	差分对线宽/线距: 5mil/7.5mil 与其他信号间距: 16mil
L3 (Microstrip)	差分对线宽/线距: 5mil/6.8mil 与其他信号间距: 12mil 最大长度: 500mil
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	
信号的总长度限制-P1+L1+L2+L3	
最大的过孔数 (Maximum Recommended Via Count)	2 个
USB_DP、 USB_DM 的长度匹配 (USB_DP to USB_DM Length Matching) (Total length including package)	总长度的最大差别 < 5mil

## 六、 GMAC

LS2K1000 集成 2 路 GMAC 控制器, 分别为 GMAC0 和 GMAC1, 本部分以 GMAC0 为例, GMAC1 的布线规范同 GMAC0。RGMII 接口信号分为 3 个信号组: 发送、接收、控制信号, 表 6.1 对信号的分组情况进行了说明。

表 6.1 GMII 接口信号分组

Group	Signal Name	Description
发送组 (TX)	GMAC0_TXCK、 GMAC0_TXD[3..0]、 GMAC0_TCTL	——
接收组 (RX)	GMAC0_RXCK、 GMAC0_RXD[3..0]、 GMAC0_RCTL	——
控制组 (CTRL)	GMAC0_MDC、 GMAC0_MDIO	——

发送组信号拓扑结构如下：

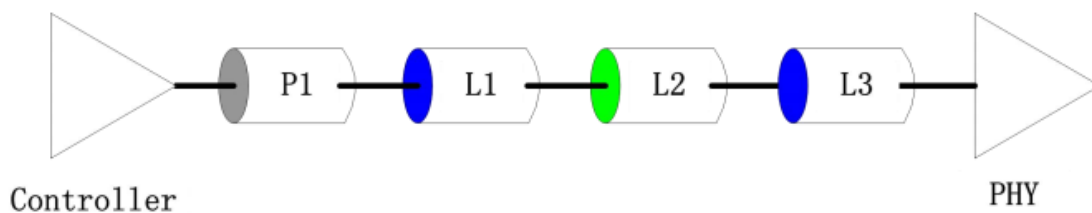


表 6.2 发送组布线指导

参数	定义
信号组 (Signal Group)	GMAC0_TXCK 、 GMAC0_TXD [3..0] 、 GMAC0_TCTL
拓扑 (Topology)	点到点信号 Point-to-Point
参考平面 (Reference Plane)	地平面或电源平面， 地平面为最佳， 要求参 考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	50Ω +/-10% (Reference only)
与其他信号的最小间距 (Minimum Isolation Spacing to Other Signals)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出线宽： 4mil 与其他 MII 发送信号间距： 5mil L1 的长度应尽量短
L2 (Stripline)	线宽： 4.9mil 与其他 MII 发送信号间距： 12mil
L3 (Microstrip) (Stub from Via to PHY Pad)	线宽： 5.2mil 与其他 MII 发送信号间距： 5mil L3 的长度应尽量短



总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	Max = 4000mil
信号的总长度限制-P1+L1+L2+L3	Max = 5000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个
发送组信号与 GMAC0_TXCK 的长度匹 配 (包括封装长度)	发送组 (TX) 信号与时钟 GMAC0_TXCK 的 误差 在 100mil 之内

接收组信号布线拓扑如下图：

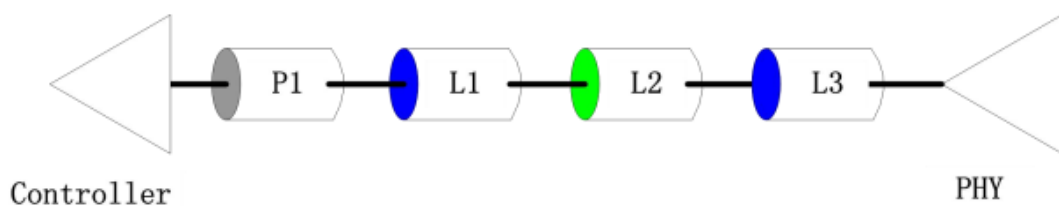


表 6.3 接收组布线指导

参数	定义
信号组 (Signal Group)	GMAC0_RXCK、 GMAC0_RXD [3..0]、 GMAC0_RCTL
拓扑 (Topology)	点到点信号 Point-to-Point
参考平面 (Reference Plane)	地平面或电源平面， 地平面为最佳， 要求参 考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	50Ω +/-10%
与其他信号的最小间距 (Minimum Isolation Spacing to Other Signals)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出线宽： 4mil 与其他 MII 控制信号间距： 5mil L1 的长度应尽量短
L2 (Stripline)	线宽： 4.9mil 与其他 MII 发送信号间距： 12mil
L3 (Microstrip) (Stub from Via to PHY Pad)	线宽： 5.2mil 与其他 MII 发送信号间距： 5mil L3 的长度应尽量短

总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	Max = 4000mil
信号的总长度限制 -P1+L1+L2+L3	Max = 5000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个
接收组信号与 GMAC0_RXCK 的 长度匹配 (包括封装长度)	接收组 (RX) 信号与时钟 GMAC0_RXCK 的 误差在 100mil 之内

注：GMAC0\_MDC、GMAC0\_MDIO 信号为一般性信号，布线是满足 50ohm 阻抗匹配即可。

## 七、 LIO

LIO 接口属于一般性信号，建议做±500mil 的误差的等长匹配，信号总长度≤5000mil。

## 八、 NAND

NAND 接口属于一般性信号，建议做±500mil 的误差的等长匹配，信号总长度≤5000mil。

## 九、 DVO

DVO 走线采用点对点拓扑结构，走线要求 50ohm±10%阻抗匹配，信号等长要求±500mil，线间距至少满足 3W 原则，板级走线总长度建议≤3500mil。