

目 录

目录	1
第一章 PRINT 接口	1
1.1 概述	1
1.2 寄存器定义	1
1.2.1 交换台配置寄存器 (SBCFG)	2
1.2.2 交换台输出寄存器 (SBOUT)	3
1.2.3 交换台同步选择寄存器 (SBPS)	3
1.2.4 DMA 基地址寄存器 (DCBASE)	4
1.2.5 DMA 配置寄存器 (DCDMACFG)	4
1.2.6 DMA 步长寄存器 (DCSTRIDE)	4
1.2.7 DMA 命令寄存器 (DCCTRL)	5
1.2.8 DMA 输出格式寄存器 (DCSWIZ)	5
1.2.9 DMA 状态寄存器 (DCSTAT)	5
1.2.10 控制器使能寄存器 (PDENSTA)	6
1.2.11 页边距寄存器 (PDMRGN)	6
1.2.12 幅面寄存器 (PDACT)	7
1.2.13 同步信号滤波寄存器 (PDGFDL)	7
1.2.14 输出模式寄存器 (PDMODE)	7
1.2.15 调制器查找表寄存器 0-15 (MDLUT0-15)	8
1.2.16 调制器配置寄存器 (MDCFG)	8
1.2.17 中断寄存器 0 (INT0)	8
1.2.18 中断寄存器 1 (INT1)	9
1.2.19 中断使能寄存器 0 (INTEN0)	9
1.2.20 中断使能寄存器 1 (INTEN1)	10

此页留空

表 目 录

1.1	PRINT 控制器地址空间分布	1
1.2	PRINT 控制器寄存器列表	1
1.3	打印中断处理模块寄存器列表	2
1.4	交换台配置寄存器	3
1.5	交换台输出寄存器	3
1.6	交换台同步选择寄存器	4
1.7	DMA 基地址寄存器	4
1.8	DMA 配置寄存器	4
1.9	DMA 步长寄存器	4
1.10	DMA 命令寄存器	5
1.11	DMA 输出格式寄存器	5
1.12	DMA 状态寄存器	6
1.13	控制器使能寄存器	6
1.14	页边距寄存器	7
1.15	幅面寄存器	7
1.16	同步信号滤波寄存器	7
1.17	输出模式寄存器	7
1.18	调制器查找表寄存器 0-15	8
1.19	调制器配置寄存器	8
1.20	中断寄存器 0	9
1.21	中断寄存器 1	9
1.22	中断使能寄存器 0	10
1.23	中断使能寄存器 1	10

此页留空

图 目 录

此页留空

第一章 PRINT 接口

1.1 概述

龙芯 1B500 集成一个打印接口，可通过使用图像数据与同步信号生成打印数据与机芯控制信号。其中包含：

- 8 路输出通道
- DMA 控制器 (DMA Controller) 从内存中取数至 FIFO 供像素数据控制器 (Pixel Data Controller) 使用
- 交换台 (Switchboard) 用来选择控制信号输入与打印数据输出
- 调制器 (Modulator) 可将外部同步信号 (HSYNC, VSYNC) 同步至内部时钟域，并可选择作为像素数据控制器的控制信号。此外，在输出时，此模块可通过使用查找表将并行像素数据 (最多 4 位) 转换为至多 32 位串行数据

八个控制器的基地址分别为 0x0000 、 0x0400 、 0x0800 、 0x0c00 、 0x1000 、 0x1400 、 0x1800 和 0x1c00 。

1.2 寄存器定义

表 1.1: PRINT 控制器地址空间分布

地址空间	名称	大小
0x0000 - 0x03ff	打印控制器 0 (Channel 0)	128B
0x0400 - 0x07ff	打印控制器 1 (Channel 1)	128B
0x0800 - 0x0bff	打印控制器 2 (Channel 2)	128B
0x0c00 - 0x0fff	打印控制器 3 (Channel 3)	128B
0x1000 - 0x13ff	打印控制器 4 (Channel 4)	128B
0x1400 - 0x17ff	打印控制器 5 (Channel 5)	128B
0x1800 - 0x1bff	打印控制器 6 (Channel 6)	128B
0x1c00 - 0x1fff	打印控制器 7 (Channel 7)	128B
0x2000 - 0x2100	打印接口配置	32B

表 1.2: PRINT 控制器寄存器列表

名称	偏移	描述
SBCFG	0x000	交换台配置寄存器
SBOUT	0x004	交换台输出寄存器
SBPS	0x008	交换台同步选择寄存器
DCBASE	0x080	DMA 基地址寄存器
DCDMACFG	0x084	DMA 配置寄存器

名称	偏移	描述
DCSTRIDE	0x088	DMA 步长寄存器
DCCTRL	0x08c	DMA 命令寄存器
DCSWIZ	0x090	DMA 输出格式寄存器
DCSTAT	0x094	DMA 状态寄存器
PDENSTA	0x100	控制器使能寄存器
PDMRGN	0x104	页边距寄存器
PDACT	0x108	幅面寄存器
PDGFDL	0x10c	同步信号滤波寄存器
PDMODE	0x110	输出模式寄存器
MDLUT0	0x180	调制器查找表寄存器 0
MDLUT1	0x184	调制器查找表寄存器 1
MDLUT2	0x188	调制器查找表寄存器 2
MDLUT3	0x18c	调制器查找表寄存器 3
MDLUT4	0x190	调制器查找表寄存器 4
MDLUT5	0x194	调制器查找表寄存器 5
MDLUT6	0x198	调制器查找表寄存器 6
MDLUT7	0x19c	调制器查找表寄存器 7
MDLUT8	0x1a0	调制器查找表寄存器 8
MDLUT9	0x1a4	调制器查找表寄存器 9
MDLUT10	0x1a8	调制器查找表寄存器 10
MDLUT11	0x1ac	调制器查找表寄存器 11
MDLUT12	0x1b0	调制器查找表寄存器 12
MDLUT13	0x1b4	调制器查找表寄存器 13
MDLUT14	0x1b8	调制器查找表寄存器 14
MDLUT15	0x1bc	调制器查找表寄存器 15
MDCFG	0x1c0	调制器配置寄存器

表 1.3: 打印中断处理模块寄存器列表

名称	偏移	描述
INT0	0x2000	中断寄存器 0
INT1	0x2004	中断寄存器 1
INTEN0	0x2008	中断使能寄存器 0
INTEN1	0x200c	中断使能寄存器 1

1.2.1 交换台配置寄存器 (SBCFG)

偏 移： 0x000

复位值： 32'h0

表 1.4: 交换台配置寄存器

位域	名称	访问	描述
31	X	RW	Select video_p[0] as video output 使能时将并行最低位路由至 LVDS 引脚
30	MME	RW	Merge mask enable 使能时使用选通的输入覆盖数据输出
29:26	MMS	RW	Merge mask select 从外部输入选择覆盖信号
25	MDE	RW	Merge data enable 使能时使用选通的输入与数据输出合并后输出
24:21	MDS	RW	Merge data select 从外部输入选择合并信号
20	TMDE	RW	Tgen merge data enable 使能时使用选通的 TGEN 输入与数据输出合并后输出
19:16	TMDS	RW	Tgen merge data select 从 TGEN 输入选择合并信号
15	EX	RW	External source 1: 使用选择的外部输入信号作为同步或时钟信号 0: 使用内部生成的信号作为同步或时钟信号
14:10	CS	RW	Clock select 当 EX 为 1 时, 从外部输入或 TGEN 输入选择时钟信号
9:5	HS	RW	HSYNC select 从外部输入或 TGEN 输入选择 HSYNC 信号
4:0	VS	RW	VSYNC select 从外部输入或 TGEN 输入选择 VSYNC 信号

1.2.2 交换台输出寄存器 (SBOUT)

偏 移: 0x004

复位值: 32'h0

表 1.5: 交换台输出寄存器

位域	名称	访问	描述
12:8	VOD	RW	Serial data output delay 串行数据输出延迟为 VOD+1
6:2	COD	RW	Clock output delay 时钟输出延迟为 COD+1
1	COS	RW	Clock out select 时钟输出选择
0	COM	RW	Clock out mask 使能时仅在数据有效时输出时钟

1.2.3 交换台同步选择寄存器 (SBPS)

偏 移: 0x008

复位值: 32'h0

表 1.6: 交换台同步选择寄存器

位域	名称	访问	描述
31	E	RW	Pulse select 使能时，不同通道的 HSYNC 由同一输入提供
21	PVS	RW	Polarity of VSYNC 0: VSYNC 上升沿有效；1: VSYNC 下降沿有效
20	PHS	RW	Polarity of HSYNC 0: HSYNC 上升沿有效；1: HSYNC 下降沿有效
18:16	SEL	RW	HSYNC pulse select 从一组串行 HSYNC 输入中选择有效输入
15:0	IDLE	RW	HSYNC idle count 当一组串行 HSYNC 中两脉冲间隔周期数超过此数值时，重置选择器

1.2.4 DMA 基地址寄存器 (DCBASE)

偏 移： 0x080

复位值： 32'h0

表 1.7: DMA 基地址寄存器

位域	名称	访问	描述
31:0	BASE	RW	Base address 打印数据内存基地址

1.2.5 DMA 配置寄存器 (DCDMACFG)

偏 移： 0x084

复位值： 32'h0

表 1.8: DMA 配置寄存器

位域	名称	访问	描述
31:16	BPL	RW	Bytes per line 每行字节数
15:0	LPB	RW	Lines per band 打印区域行数

1.2.6 DMA 步长寄存器 (DCSTRIDE)

偏 移： 0x088

复位值： 32'h0

表 1.9: DMA 步长寄存器

位域	名称	访问	描述
15:0	STRIDE	RW	Line stride 一行打印数据的内存步长

1.2.7 DMA 命令寄存器 (DCCTRL)

偏 移: 0x08c

复位值: 32'h0

表 1.10: DMA 命令寄存器

位域	名称	访问	描述
1	AT	WO	Abort tasks 终止打印任务
0	XFREN	WO	Enable or chain task 开始或链接打印任务

1.2.8 DMA 输出格式寄存器 (DCSWIZ)

偏 移: 0x090

复位值: 32'h0

表 1.11: DMA 输出格式寄存器

位域	名称	访问	描述
7	MIRR	RW	Mirror 镜像控制: 0: 取数地址由低向高; 1: 取数地址由高向低
6	S64	RW	Swap 64 bit Portions of DMA Data 决定 128 位中的高或低 64 位数据的处理顺序 0: [63:0] 位优先处理; 1: [127:64] 位优先处理
5	S32	RW	Swap 32 bit Portions of DMA Data 决定 64 位中的高或低 32 位数据的处理顺序 0: [31:0] 位优先处理; 1: [63:32] 位优先处理
4	S16	RW	Swap 16 bit Portions of DMA Data 决定 32 位中的高或低 16 位数据的处理顺序 0: [15:0] 位优先处理; 1: [31:16] 位优先处理
3	S8	RW	Swap 8 bit Portions of DMA Data 决定 16 位中的高或低 8 位数据的处理顺序 0: [7:0] 位优先处理; 1: [15:8] 位优先处理
2	S4	RW	Swap 4 bit Portions of DMA Data 决定 8 位中的高或低 4 位数据的处理顺序 0: [3:0] 位优先处理; 1: [7:4] 位优先处理
1	S2	RW	Swap 2 bit Portions of DMA Data 决定 4 位中的高或低 2 位数据的处理顺序 0: [1:0] 位优先处理; 1: [3:2] 位优先处理
0	S1	RW	Swap 1 bit Portions of DMA Data 决定 2 位中的高或低 1 位数据的处理顺序 0: [0] 位优先处理; 1: [1] 位优先处理

1.2.9 DMA 状态寄存器 (DCSTAT)

偏 移: 0x094

复位值： 32'h0

表 1.12: DMA 状态寄存器

位域	名称	访问	描述
2:0	STAT	RO	DMA 任务状态机 0: Idle 1: load registers 2: busy 3: done 4: abort tasks 5: error 6: clear registers

1.2.10 控制器使能寄存器 (PDENSTA)

偏 移： 0x100

复位值： 32'h0

表 1.13: 控制器使能寄存器

位域	名称	访问	描述
31	LENB	RW	Laser enable 使能时开启控制器
30	LFB	RW	Laser first band enable 0: 已经打印过第一块区域 (VSTATE 由 VIDLE 直接进入 VACTIVE) 1: 正在打印第一块区域 (进入 FILL 后进入 VSWAIT)
29	LLB	RW	Laser last band enable 0: 尚未打印最后一块区域 (打印任务完成后进入 VIDLE) 1: 正在打印最后一块区域 (任务结束后进入 BTMM)
28:26	HSTATE	RO	horizontal state machine 水平状态机 0: HIDLE (HSTATE idle) 1: LFTM (left margin) 2: RITM (right margin) 3: HACT (HSTATE active)
25:23	VSTATE	RO	vertical state machine 垂直状态机 0: VIDLE (VSTATE idle) 1: FILL (Fill buffer) 2: VSWAIT (VSTATE wait) 3: TOPM (Top margin) 4: BTMM (bottom margin) 5: VACT (VSTATE active)

1.2.11 页边距寄存器 (PDMRGN)

偏 移： 0x104

复位值： 32'h0

表 1.14: 页边距寄存器

位域	名称	访问	描述
31:16	TM	RW	Top margin 顶边距点数为 TM
15:0	LM	RW	Left margin 左边距点数为 LM

1.2.12 幅面寄存器 (PDACT)

偏 移： 0x108

复位值： 32'h0

表 1.15: 幅面寄存器

位域	名称	访问	描述
31:16	VACT	RW	Active lines w/o bottom margin 页有效行数为 VACT （不包含底边距）
15:0	HACT	RW	Active pixels w/o right margin 行有效点数为 HACT （不包含右边距）

1.2.13 同步信号滤波寄存器 (PDGFDL)

偏 移： 0x10c

复位值： 32'h0

表 1.16: 同步信号滤波寄存器

位域	名称	访问	描述
7:4	VGF_DL	RW	VSYNC glitch filter delay 滤波器过滤小于 VGF_DL+1 个时钟周期的 VSYNC 同步信号
3:0	HGF_DL	RW	HSYNC glitch filter delay 滤波器过滤小于 HGF_DL+1 个时钟周期的 HSYNC 同步信号

1.2.14 输出模式寄存器 (PDMODE)

偏 移： 0x110

复位值： 32'h0

表 1.17: 输出模式寄存器

位域	名称	访问	描述
31:24	DVAL	WO	Default value 打印数据默认输出
16	LSR	WO	Soft reset 软复位

位域	名称	访问	描述
9:8	MFL	RW	Minimum FIFO level to start 启动所需最小 FIFO 水平 0: FIFO 中含有至少 1 个有效数据 1: FIFO 中含有至少 1/4 有效数据 2: FIFO 中含有至少 1/2 有效数据 3: FIFO 中均为有效数据
4:1	OM	RW	Output mode: 1, 2, 4, 8 (bits per pixel) 低 OM 位输出有效
0	CB	RW	Clone bits: duplicate data to 8 bits 当 OM 不为 8 时, 使能此配置, 可复制输出以填满 8 位输出

1.2.15 调制器查找表寄存器 0-15 (MDLUT0-15)

偏 移: 0x180, 0x184, 0x188, 0x18c, 0x190, 0x194, 0x198, 0x19c
0x1a0, 0x1a4, 0x1a8, 0x1ac, 0x1b0, 0x1b4, 0x1b8, 0x1bc

复位值: 32'h0

表 1.18: 调制器查找表寄存器 0-15

位域	名称	访问	描述
31:1	LUT	RW	LUT entry 并行转串行输出查找表 此查找表用于将 4 位及以下的并行数据作为索引, 将 LUT 的 MDCFG.CD+1 位由高至低, 基于系统时钟串行输出

1.2.16 调制器配置寄存器 (MDCFG)

偏 移: 0x1c0

复位值: 32'h0

表 1.19: 调制器配置寄存器

位域	名称	访问	描述
31	FRPC	RW	Generate pixel clock without sync 生成像素时钟时不进行同步
20:16	HD	RW	HSYNC delay HSYNC 延迟为 HD+1 个时钟周期
4:0	CD	RW	Clock divider 分频后的时钟周期为 CD+1 个时钟周期

1.2.17 中断寄存器 0 (INT0)

偏 移: 0x2000

复位值: 32'h0

表 1.20: 中断寄存器 0

位域	名称	访问	描述
6:0	CH0_INT	RO	Channel 0 interrupts [6] BAND_DONE_INT: (BAND 完成中断); 写 1 清除中断 [5] DMA_DONE_INT: (DMA 完成中断); 写 1 清除中断 [4] FE_INT: (FIFO 错误中断); 写 1 清除中断 [3] VFE_INT: (垂直同步错误中断); 写 1 清除中断 [2] VD_INT: (VSYNC 检测中断); 写 1 清除中断 [1] VIDLE_INT: (VSTATE 进入 VIDLE 中断); 写 1 清除中断 [0] VACT_INT: (VSTATE 进入 VACT 中断); 写 1 清除中断
14:8	CH1_INT	RO	Channel 1 interrupts 同上
22:16	CH2_INT	RO	Channel 2 interrupts 同上
30:24	CH3_INT	RO	Channel 3 interrupts 同上

1.2.18 中断寄存器 1 (INT1)

偏 移: 0x2004

复位值: 32'h0

表 1.21: 中断寄存器 1

位域	名称	访问	描述
6:0	CH4_INT	RO	Channel 4 interrupts [6] BAND_DONE_INT: (Band 完成中断); 写 1 清除中断 [5] DMA_DONE_INT: (DMA 完成中断); 写 1 清除中断 [4] FE_INT: (FIFO 错误中断); 写 1 清除中断 [3] VFE_INT: (垂直同步错误中断); 写 1 清除中断 [2] VD_INT: (VSYNC 检测中断); 写 1 清除中断 [1] VIDLE_INT: (VSTATE 进入 VIDLE 中断); 写 1 清除中断 [0] VACT_INT: (VSTATE 进入 VACT 中断); 写 1 清除中断
14:8	CH5_INT	RO	Channel 5 interrupts 同上
22:16	CH6_INT	RO	Channel 6 interrupts 同上
30:24	CH7_INT	RO	Channel 7 interrupts 同上

1.2.19 中断使能寄存器 0 (INTEN0)

偏 移: 0x2008

复位值: 32'h0

表 1.22: 中断使能寄存器 0

位域	名称	访问	描述
6:0	CH0_INT_EN	RO	Channel 0 interrupt enable [6] BAND_DONE_INT_EN: (BAND 完成中断使能) [5] DMA_DONE_INT_EN: (DMA 完成中断使能) [4] FE_INT_EN: (FIFO 错误中断使能) [3] VFE_INT_EN: (垂直同步错误中断使能) [2] VD_INT_EN: (VSYNC 检测中断使能) [1] VIDLE_INT_EN: (VSTATE 进入 VIDLE 中断使能) [0] VACT_INT_EN: (VSTATE 进入 VACT 中断使能)
14:8	CH1_INT_EN	RO	Channel 1 interrupt enable 同上
22:16	CH2_INT_EN	RO	Channel 2 interrupt enable 同上
30:24	CH3_INT_EN	RO	Channel 3 interrupt enable 同上

1.2.20 中断使能寄存器 1 (INTEN1)

偏 移: 0x200c

复位值: 32'h0

表 1.23: 中断使能寄存器 1

位域	名称	访问	描述
6:0	CH4_INT_EN	RO	Channel 4 interrupt enable [6] BAND_DONE_INT_EN: (Band 完成中断使能) [5] DMA_DONE_INT_EN: (DMA 完成中断使能) [4] FE_INT_EN: (FIFO 错误中断使能) [3] VFE_INT_EN: (垂直同步错误中断使能) [2] VD_INT_EN: (VSYNC 检测中断使能) [1] VIDLE_INT_EN: (VSTATE 进入 VIDLE 中断使能) [0] VACT_INT_EN: (VSTATE 进入 VACT 中断使能)
14:8	CH5_INT_EN	RO	Channel 5 interrupt enable 同上
22:16	CH6_INT_EN	RO	Channel 6 interrupt enable 同上
30:24	CH7_INT_EN	RO	Channel 7 interrupt enable 同上