

2017 年龙芯技术培训主题二

龙芯内存调试



讲演人姓名：黄帅、陈新科

内存相关概念介绍

内存控制器结构及参数介绍

PMON下内存调试

内存训练程序

内存信号测量



- **Unbuffered DIMM:**

无缓冲型模组，这是我们平时所用到的标准DIMM，分有ECC和无ECC两种，简称UDIMM。



- **Registered DIMM:**

寄存型模组，这是高端服务器所使用的DIMM，分有ECC和无ECC两种，但市场上几乎都是ECC的，简称RDIMM。



- **SO-DIMM:**

Small Outline DIMM，小外型DIMM，笔记本电脑中所使用的DIMM，分ECC和无ECC两种。

DIMM(Dual-Inline-Memory-Modules): 双列直插式存储模块

内存颗粒: DIMM上用于存储数据的最小芯片单元，有不同容量和位宽

SPD: I2C接口，存储关于内存模块的配置信息。存储在EEPROM，一般由模组生产商写入

龙芯PMON中会用到以下字节：

- Byte2: DRAM Device type
- Byte3: Module Type
- Byte4: SDRAM Density and Banks
- Byte5: SDRAM Addressing
- Byte7: Module Organization
- Byte63: Address mapping

Byte Number	Function Described	Notes
0	Number of Serial PD Bytes Written / SPD Device Size / CRC Coverage	1, 2
1	SPD Revision	
2	Key Byte / DRAM Device Type	
3	Key Byte / Module Type	
4	SDRAM Density and Banks	3
5	SDRAM Addressing	3
6	Module Nominal Voltage, VDD	
7	Module Organization	3
8	Module Memory Bus Width	
9	Fine Timebase (FTB) Dividend / Divisor	
10	Medium Timebase (MTB) Dividend	
11	Medium Timebase (MTB) Divisor	
12	SDRAM Minimum Cycle Time (tCKmin)	3
13	Reserved	
14	CAS Latencies Supported, Least Significant Byte	3
15	CAS Latencies Supported, Most Significant Byte	3
16	Minimum CAS Latency Time (tAamin)	3
17	Minimum Write Recovery Time (tWRmin)	3
18	Minimum RAS# to CAS# Delay Time (tRCDmin)	3
19	Minimum Row Active to Row Active Delay Time (tRRDmin)	3
20	Minimum Row Precharge Delay Time (tRPmin)	3
21	Upper Nibbles for tRAS and tRC	3
22	Minimum Active to Precharge Delay Time (tRASmin), Least Significant Byte	3
23	Minimum Active to Active/Refresh Delay Time (tRCmin), Least Significant Byte	3

Abbreviation	Function	Abbreviation	Function	Abbreviation	Function
ACT	Active	Read	RD, RDS4, RDS8	PDE	Enter Power-down
PRE	Precharge	Read A	RDA, RDAS4, RDAS8	PDX	Exit Power-down
PREA	Precharge All	Write	WR, WRS4, WRS8	SRE	Self-Refresh entry
MRS	Mode Register Set	Write A	WRA, WRAS4, WRAS8	SRX	Self-Refresh exit
REF	Refresh	RESET	Start RESET Procedure	MPR	Multi-Purpose Register
ZQCL	ZQ Calibration Long	ZQCS	ZQ Calibration Short	-	-
NOTE: See “Command Truth Table” on page 33 for more details.					

ACT: 选择Bank并且打开相应行

PRE: 选择Bank并且关闭相应行

READ: 选择Bank和列地址，开始突发读取

WRITE: 选择Bank和列地址，开始突发写入

MRS: 模式寄存器设置

PREA: 关闭当前RANK所有Bank打开的行

REF: 刷新操作

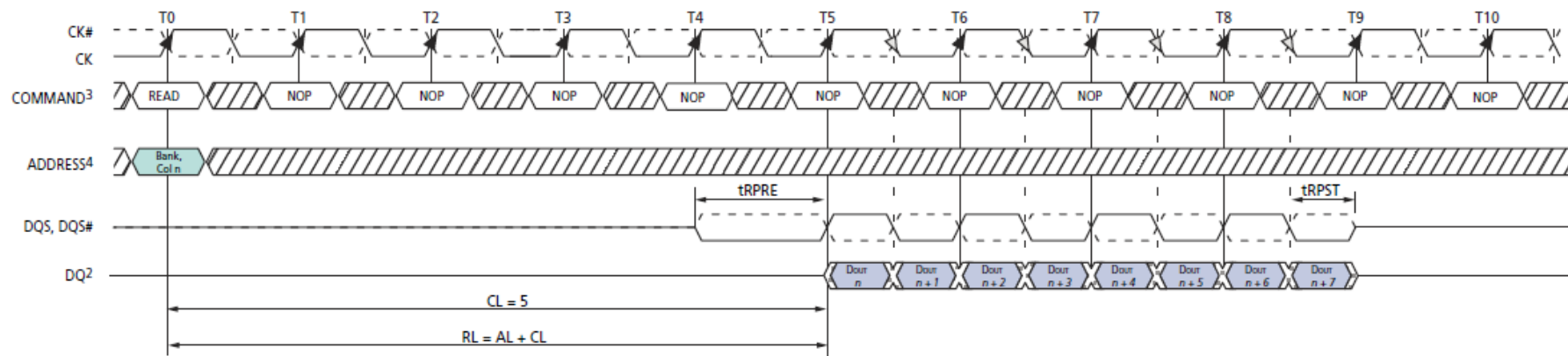
ZQCL: 阻抗校准

PDE: 进入低功耗模式

PDX: 退出低功耗模式

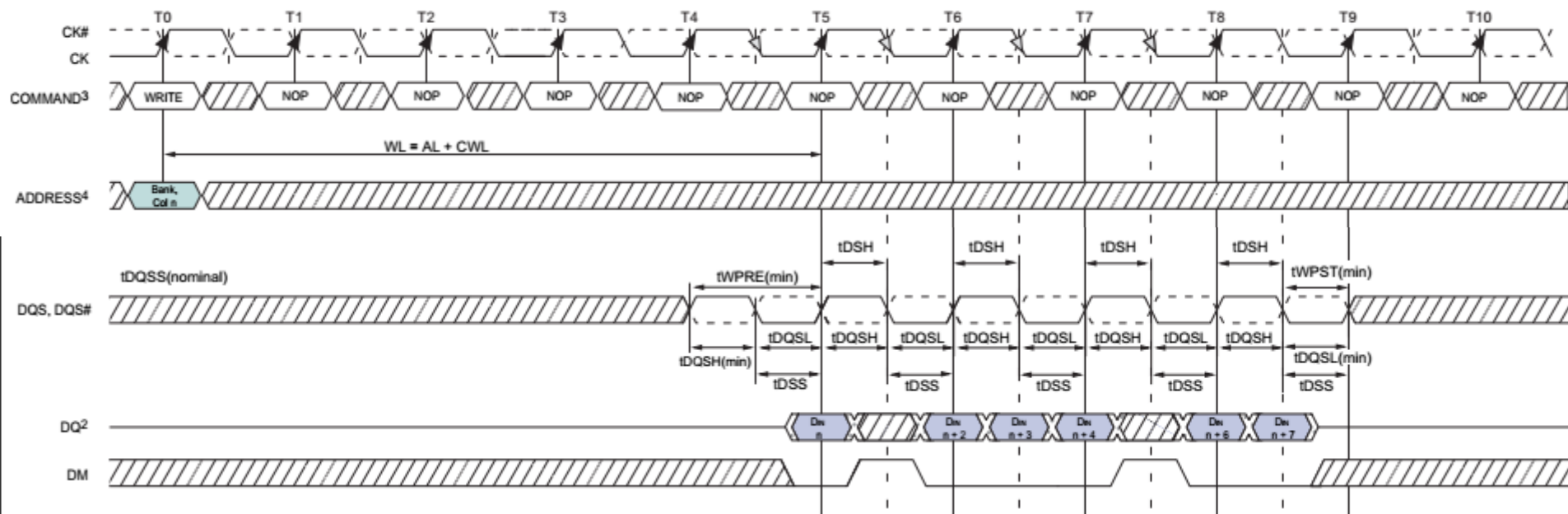
SRE: 进入自刷新模式

SEX: 退出自刷新模式



1. T0时刻颗粒在时钟上升沿采集命令 (CASn/RASn/WEn)
2. 在CL-1个周期后(CL=5), T4时刻颗粒开始驱动DQS (read preamble)
3. T5时刻 (接收到命令CL个周期), 颗粒开始驱动DQ总线并同时输出DQS直至T9时刻, 共输出8个连续数据(burst_length=8)
4. T9时刻结束一次突发读传输

相位关系: DQS信号与DQ数据信号是边沿对齐的。



1. T0时刻颗粒在时钟上升沿采集命令 (CASn/RASn/WEn)
2. 在CWL-1个周期后(CWL=5), T4时刻颗粒接收到内存控制器发出的DQS (write preamble)
3. T5时刻 (接收到命令CL个周期)之前1/4周期, 颗粒接收到内存控制器发出的DQ数据。直至T9时刻, 共收到8个连续数据(burst_length=8)
4. T9时刻结束一次突发写传输

注: 写操作需要DM来标识写操作的掩码, DM与DQ保持相同相位关系。

相位关系: DQS信号边沿处于DQ信号中间

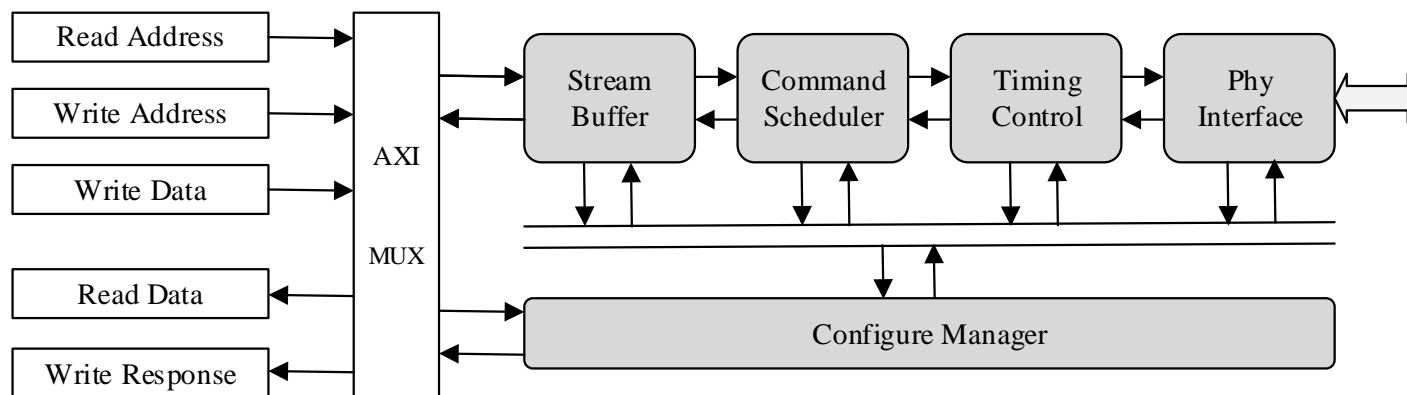
内存相关概念介绍

内存控制器结构及参数介绍

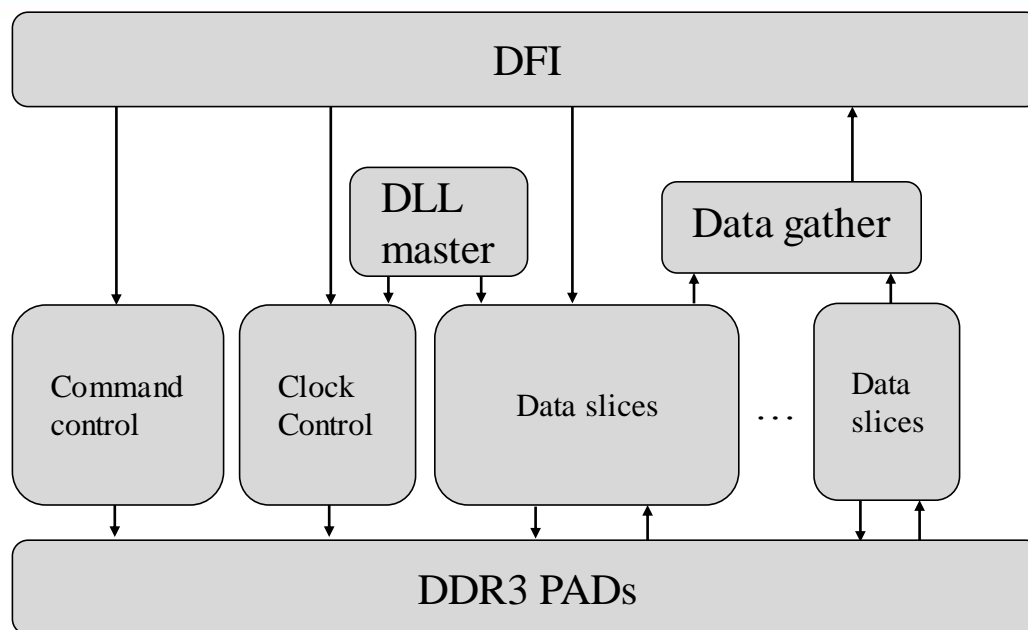
PMON下内存调试

内存训练程序

内存信号测量



- **streambuffer:** 用于内存数据预取，以降低内存访问延时、提升内存带宽；
- **command scheduler:** 基于优化的调度策略，对接收到的访存命令重排序，以降低访存冲突，提升内存带宽。
- **timing control:** 该模块主要按照JEDEC协议的要求处理内存接口的时序，以保证访问内存的命令不会违反协议。
- **PHY interface:** 该模块主要处理内存接口的信号。内存训练相关的控制、内存读写信号的时序处理以及输出驱动能力的调整、阻抗匹配这些功能都通过该模块实现。
- **configure manager:** 管理内存控制器所有的配置寄存器，也是硬件与软件的接口。



- **Dll master:** DLL主控模块，用于计算一个时钟周期内延时单元个数；
- **Command control:** 控制发给内存的命令、地址及控制信号，同时实现2T/3T功能；
- **Clock control:** 控制发送到内存的时钟信号，为了便于调试，实现了内存时钟信号的任意相位调整功能；
- **Dataslice:** 数据控制模块，用于实现内存要求的DQ-DQS关系以及PAD输出使能的控制等功能；
- **Datagather:** 用于收集读返回数据并送给上层逻辑电路。

- 功能:

计算一个时钟周期内延时单元个数

- 初值参数:

`dll_start_point(0x1a)`---起始延迟单元个数

`dll_increment(0x1b)`----每次DLL下溢时, 起始延迟单元增加个数

初值一般不需要修改, 最好设置成比较小的值, 防止锁定在第2(或者更大) 个时钟周期。但是3B1500芯片是个特例, 它需要把`dll_start_point`设置成比锁定值稍小一些的值。

- 计算结果:

`dll_value_ck(0x4)`----代表DLL master锁定值。计算方法为

$$\text{dll_value_ck} = \text{当前时钟周期/每级延时}$$

通过该寄存器的值可以得到每级延时单元的延时值。

- **`dll_bypass(0x19)`**

DLL初始化bypass控制。当频率较低时, 比如100MHz左右, DLL无法锁定, 需要手动设置以便控制器正常初始化。

- 功能:

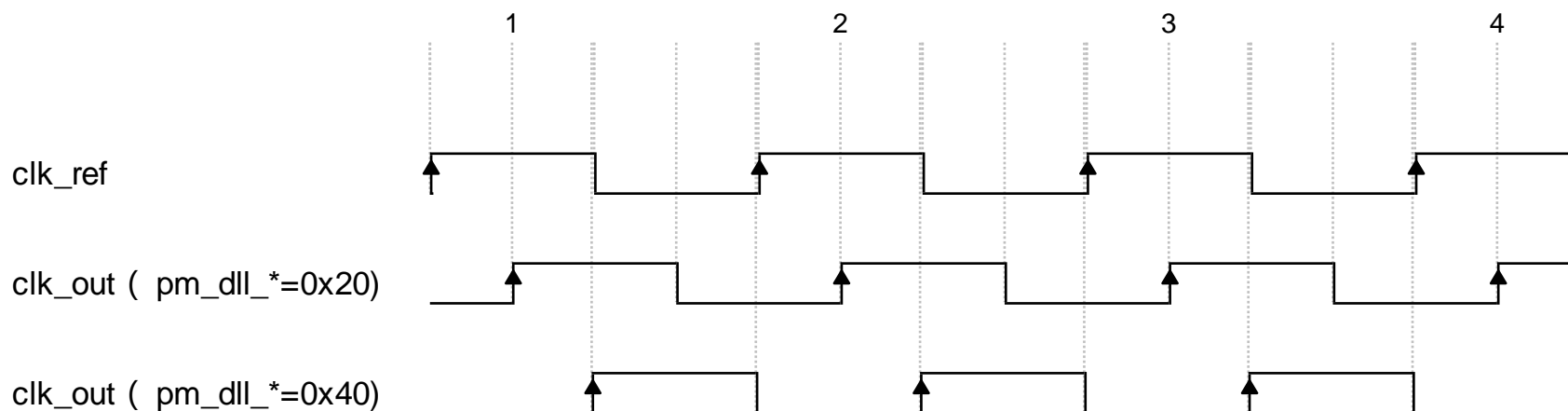
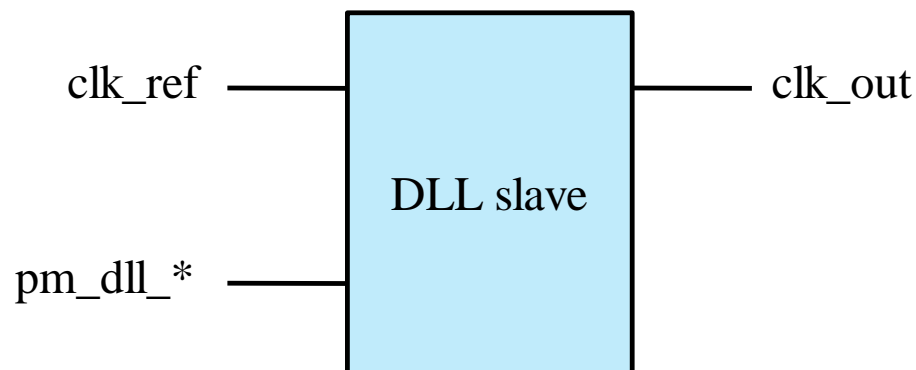
由延时单元组成, 用于控制输出时钟相对于输入时钟的相移。

- 控制参数:

Pm_dll_*

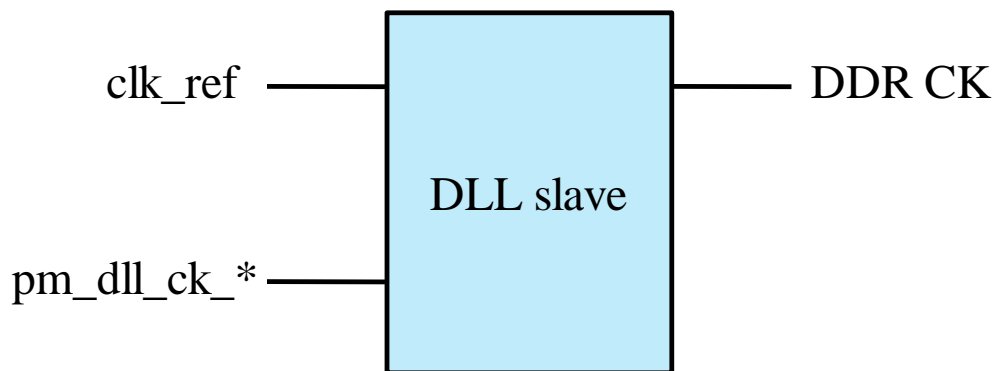
- 工作模式

1. **正常模式:** 参数bit7为0, 低7位代表相移 $n/128$ 个时钟周期。因为该模式的相移与时钟周期相关, 所以在时钟周期变化之后, 不需要重新设置。系统长时间运行时, 由于电压或者温度的波动导致延时单元延时值变化。在正常模式下, DLL会自动纠正这种环境变化带来的影响。
2. **BYPASS模式:** 参数bit7为1, 低7位表示 n 个延迟单元。绝对时间, 与时钟周期无关。所以在时钟周期变化之后, 为了保持相位关系, 需要重新计算该值。这种模式并不会随环境变化自动校正。



非Bypass模式下，0x20代表1/4周期，0x40代表1/2周期

1. 参考时钟为内部时钟
2. 输出后时钟直接送给内存
3. 控制器内部提供4组DLL slave，所以可以对外提供4组不同相位时钟
4. pm_dll_ck_*设置成0x40时时钟边沿置于地址/命令中间
5. pm_dll_ck_*在训练前给定，该参数的变化会影响训练相关DLL的设置，进而影响内存稳定性，所以调试时优先选择调整该参数。
6. 一般设置范围0x20~0x60



1. wrdqs DLL:

用于对写DQS的相位进行调整，每个颗粒对应一个参数:dll_wrdqs_0-8，该值在write leveling完成后确定

2. wrdq DLL:

用于对写DQ的相位进行调整，每个颗粒对应一个参数:dll_wrdata_0-8，DQS与DQ相位差为1/4时钟周期,在非BYPASS模式下该差值固定为0x20，在write leveling完成后确定

3. RDDQS DLL:

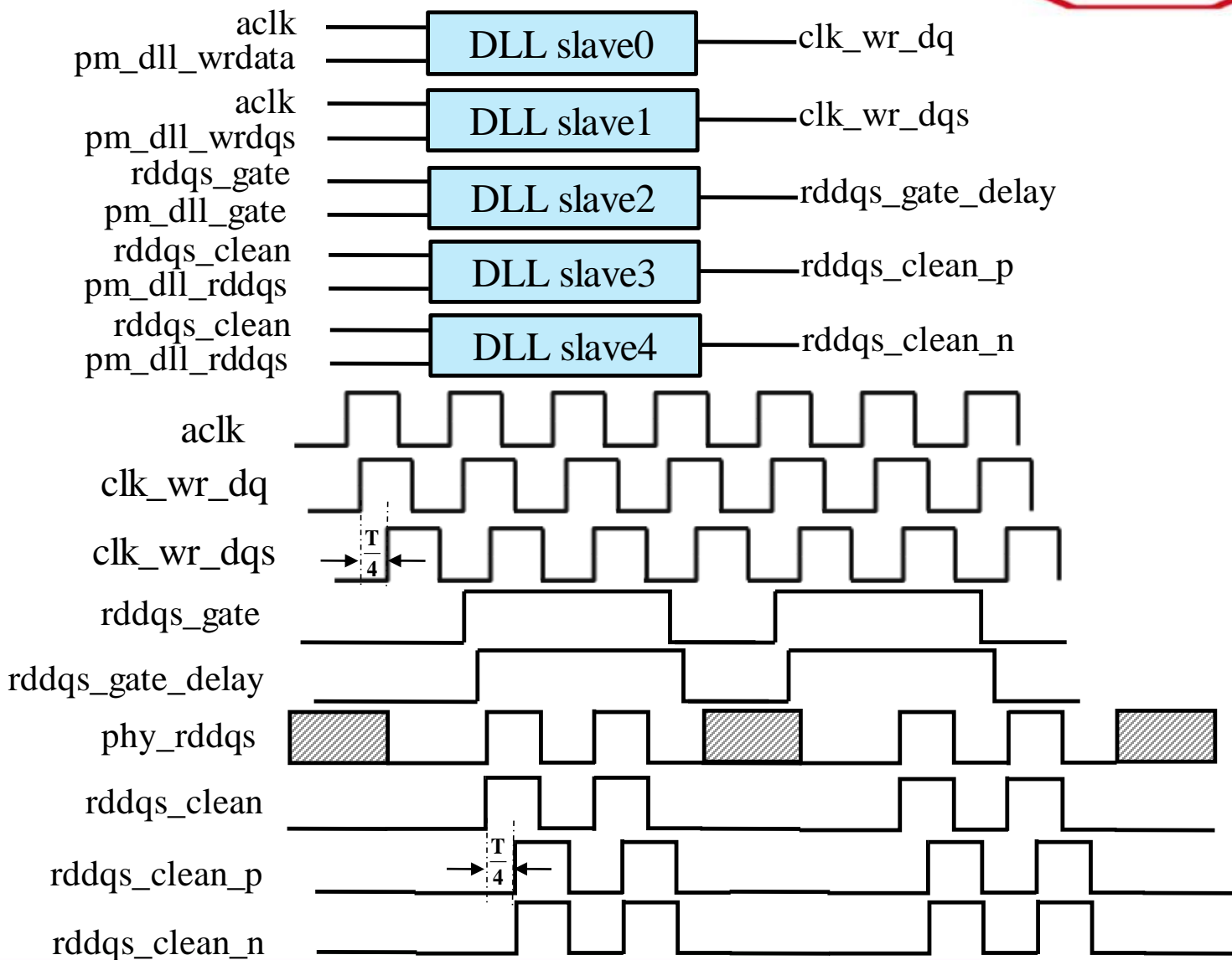
用于对读DQS的相位进行调整，以使得芯片内部可以正常采集读数据，目前该值固定为0x20。

dll_rddqs_p_0-8: 调整上升沿与对应数据的相位

dll_rddqs_n_0-8: 调整下降沿与对应数据的相位

4. RDGATE DLL

用于对内部gate信号相位进行调整，以确定读数据返回窗口



包含:

dq_oe_end, dq_oe_begin, dq_stop_edge, dq_start_edge 四个参数

用途:

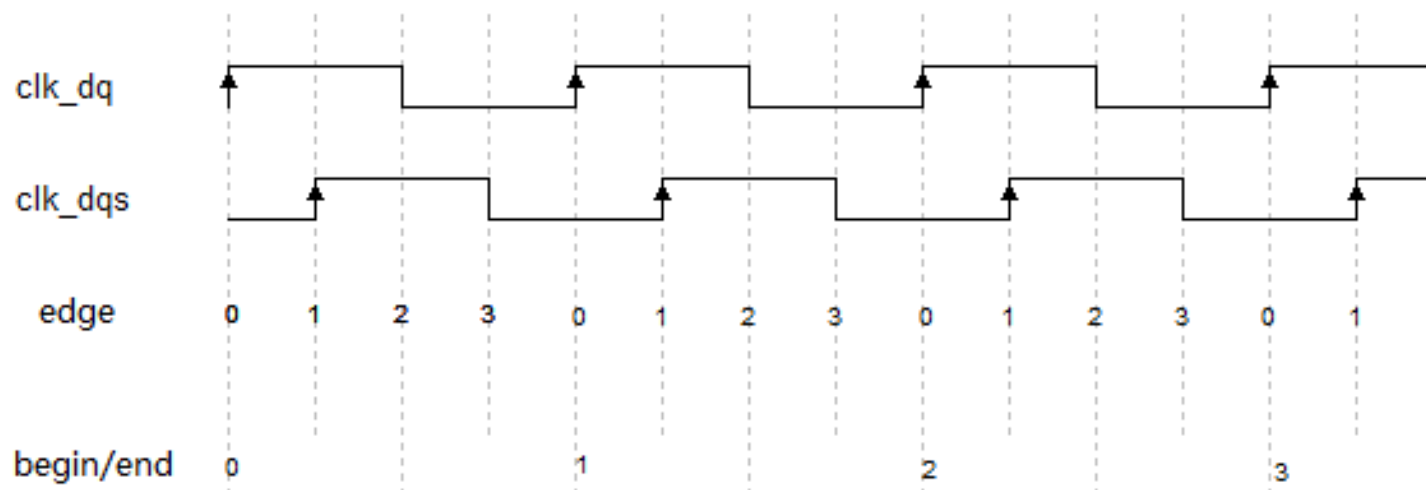
调整DDR DQ信号的输出使能。因为DQ信号为双向信号，写时输出，读时输入

dq_stop/start_edge为0时对应clk_dq的上升沿;

dq_stop/start_edge为1时对应clk_dqs的上升沿;

dq_stop/start_edge为2时对应clk_dq的下降沿;

dq_stop/start_edge为3时对应clk_dqs的下降沿;



说明:

1. dq_oe_end/begin 整周期调整
2. dq_stop_edge/dq_start_edge $\frac{1}{4}$ 周期调整
3. dq_oe_end与dq_stop_edge组合得到终止信号
4. dq_oe_begin与dq_start_edge组合得到起始信号
5. 两种组合的边沿相同时, 输出使能长度为burst_length/2

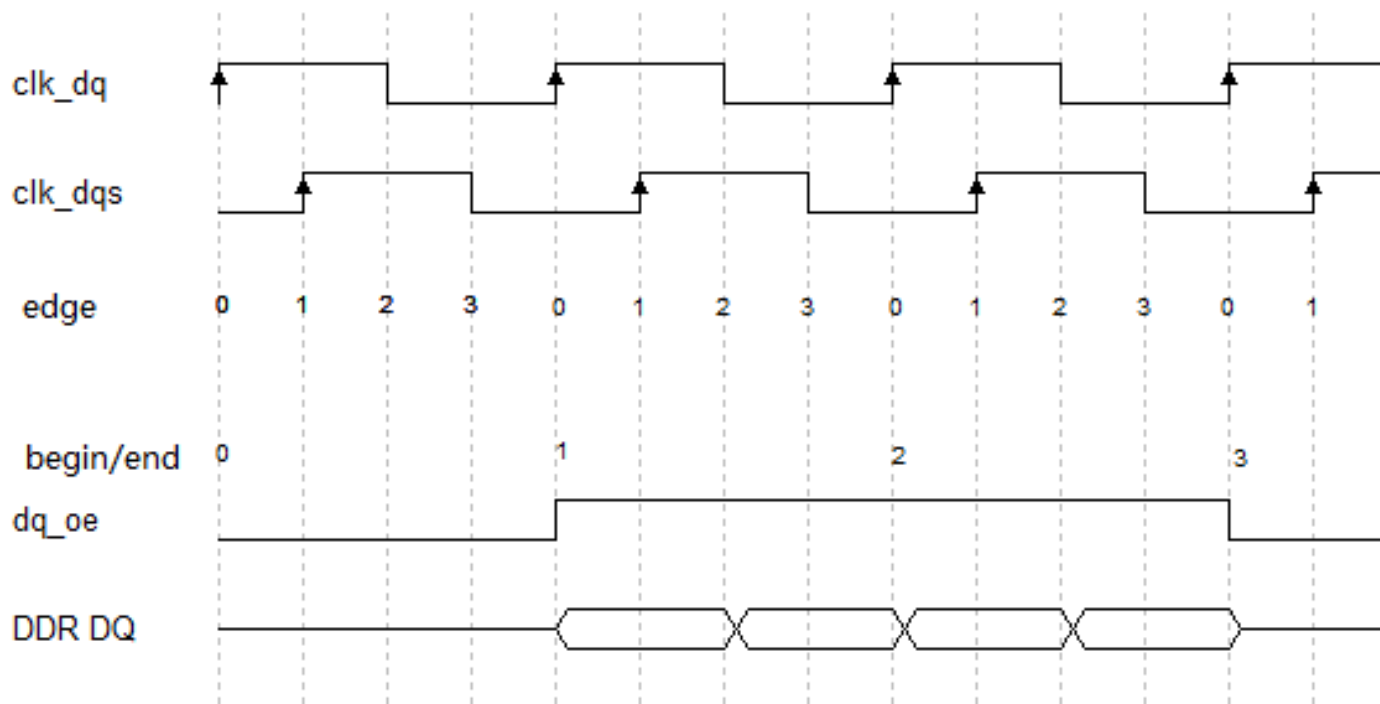
设置要求:

dq_oe_begin与dq_start_edge组合得到的时钟边沿不可晚于dq_oe_end与dq_stop_edge组合得到的时钟边沿。

举例说明(理想情况)：

$Dq_oe_end = 1, dq_stop_edge = 0$

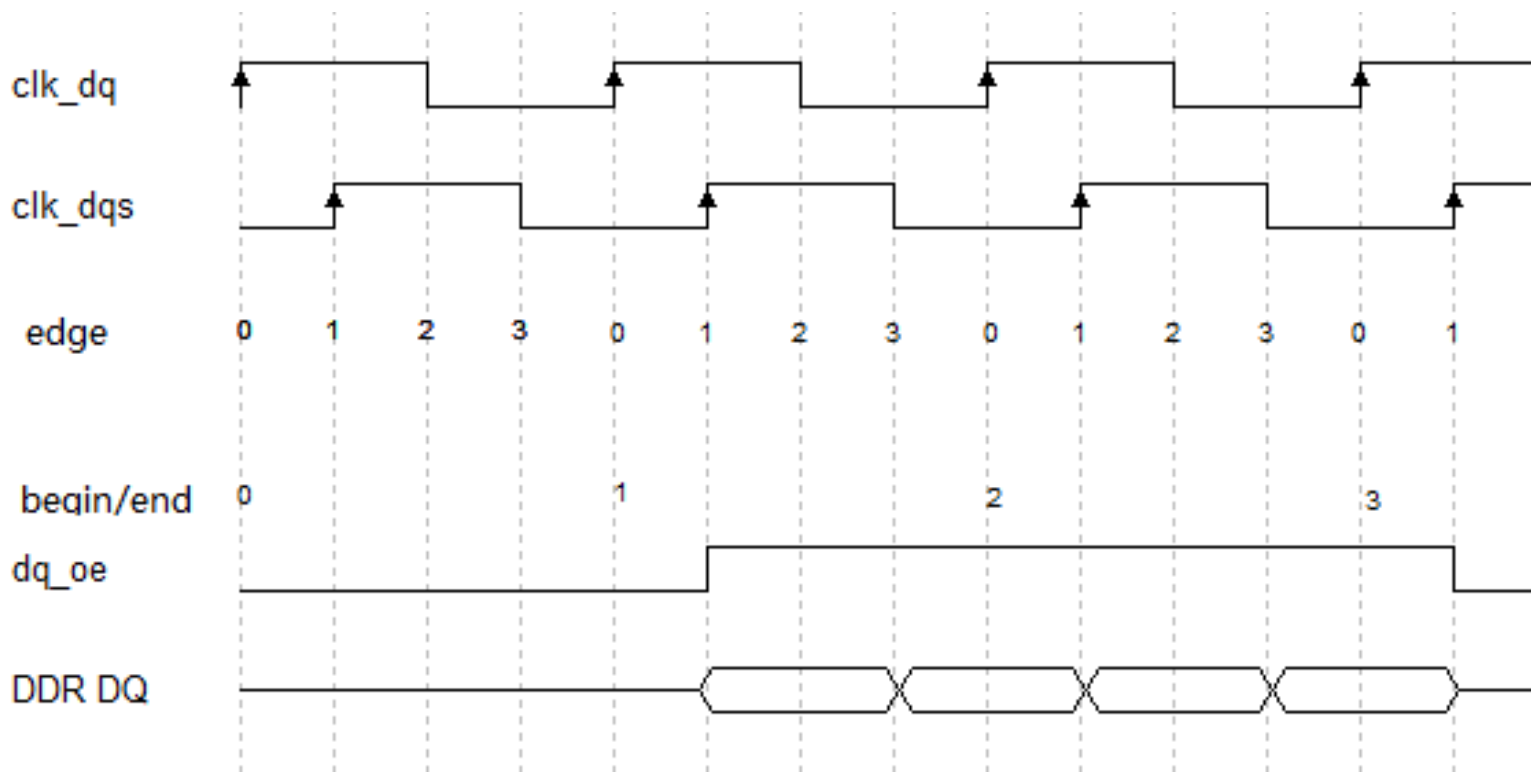
$Dq_oe_begin = 1, dq_start_edge = 0$



举例说明(实际情况)：

$Dq_oe_end = 1, dq_stop_edge = 1$

$Dq_oe_begin = 1, dq_start_edge = 1$



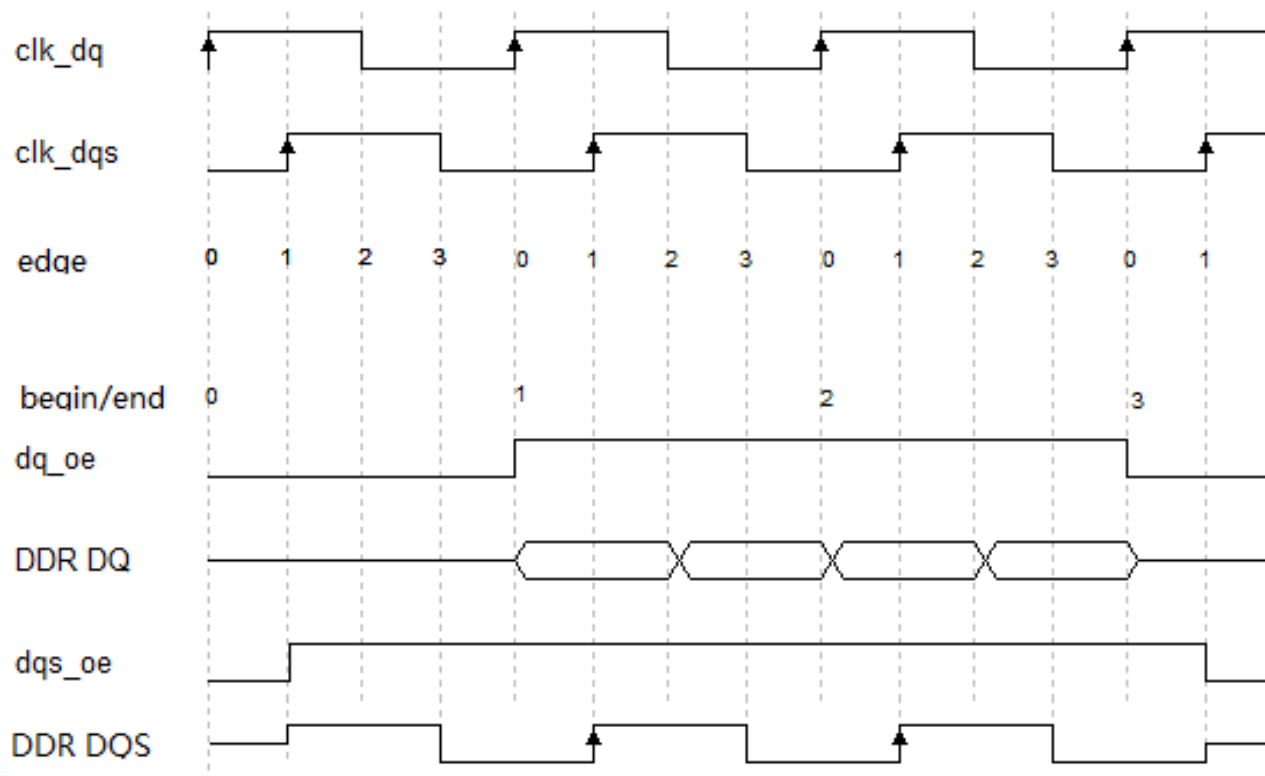
- **dqs_oe**相关参数

dqs_oe_end, dqs_oe_begin, dqs_stop_edge, dqs_start_edge

- DQS有preamble和postamble

- 默认情况配置:

dqs_oe_end = 1, dq_stop_edge = 1, dq_oe_begin = 0, dq_start_edge = 1



- **rd_oe_end, rd_oe_begin, rd_stop_edge, rd_start_edge**四个参数:

该组参数用于控制PHY内部读DQS gate信号的产生逻辑。内存控制器每发出一个对内存的读命令都会对应产生一个读使能信号，用于识别读DQS的返回窗口，该窗口通过gate leveling过程确定。一般情况下rd_oe_begin/end设置成相同值，rd_stop/start_edge设置成相同值。

- **odt_oe_end, odt_oe_begin, odt_stop_edge, odt_start_edge**四个参数:

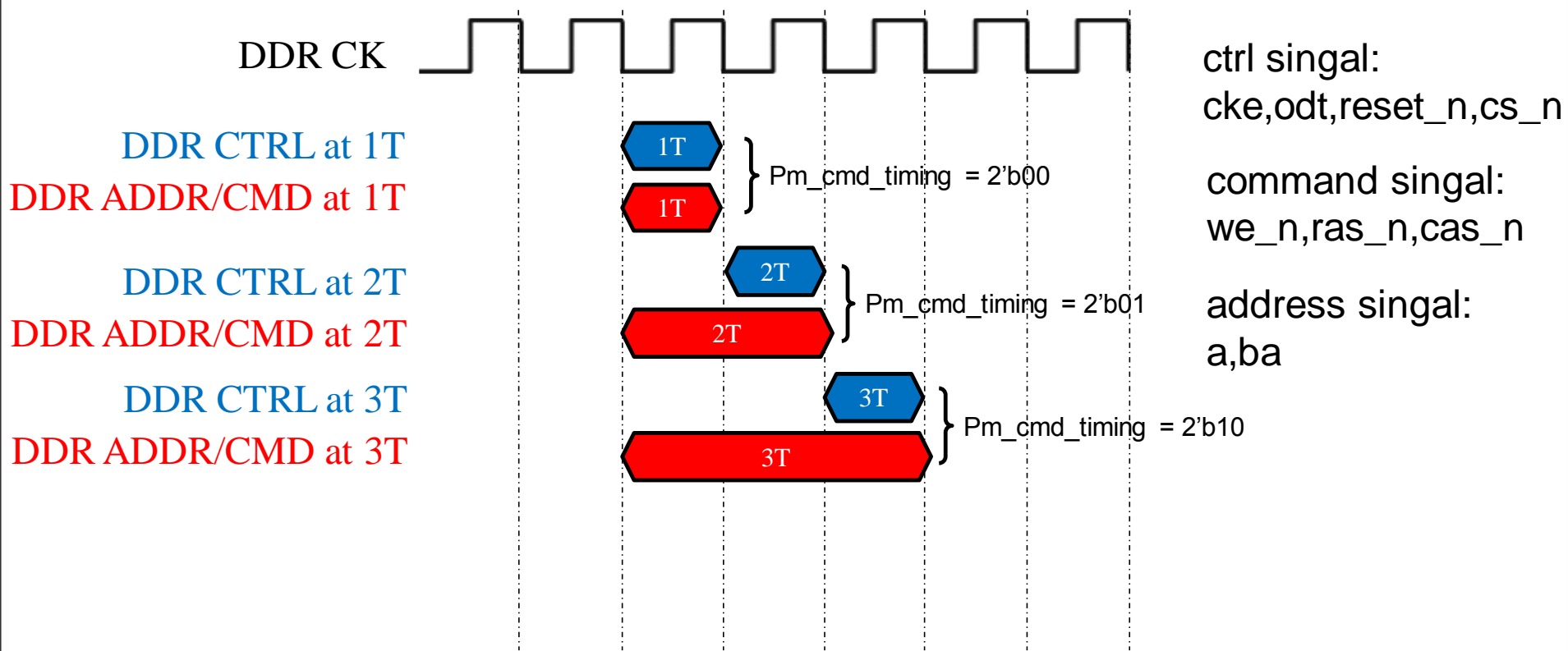
该组参数用于控制CPU端ODT打开窗口。读ODT打开窗口与读DQS gate窗口需要保持固定的时序关系。即读ODT需要比读DQS gate提前半个周期打开，并且需要比读DQS gate延迟半个周期关闭。

比如在训练完成之后rd_oe_end/rd_oe_begin/rd_stop_edge/rd_start_edge的值为0x02020000，那么odt_oe_end/odt_oe_begin/odt_stop_edge/odt_start_edge需要配置成0x02010202。

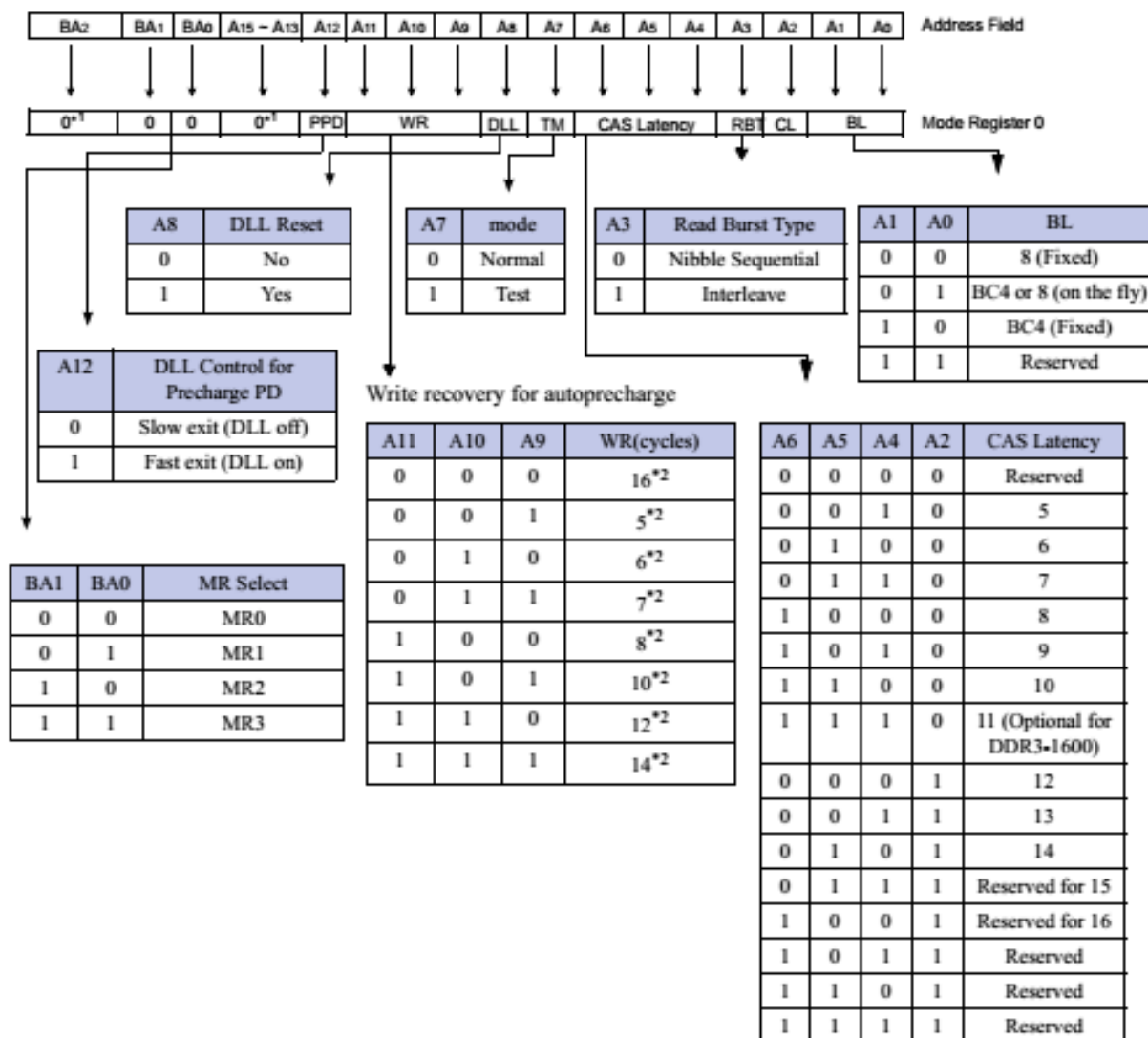
- 正常情况设置成1
- 卡死情况(调试模式，设置成0)：

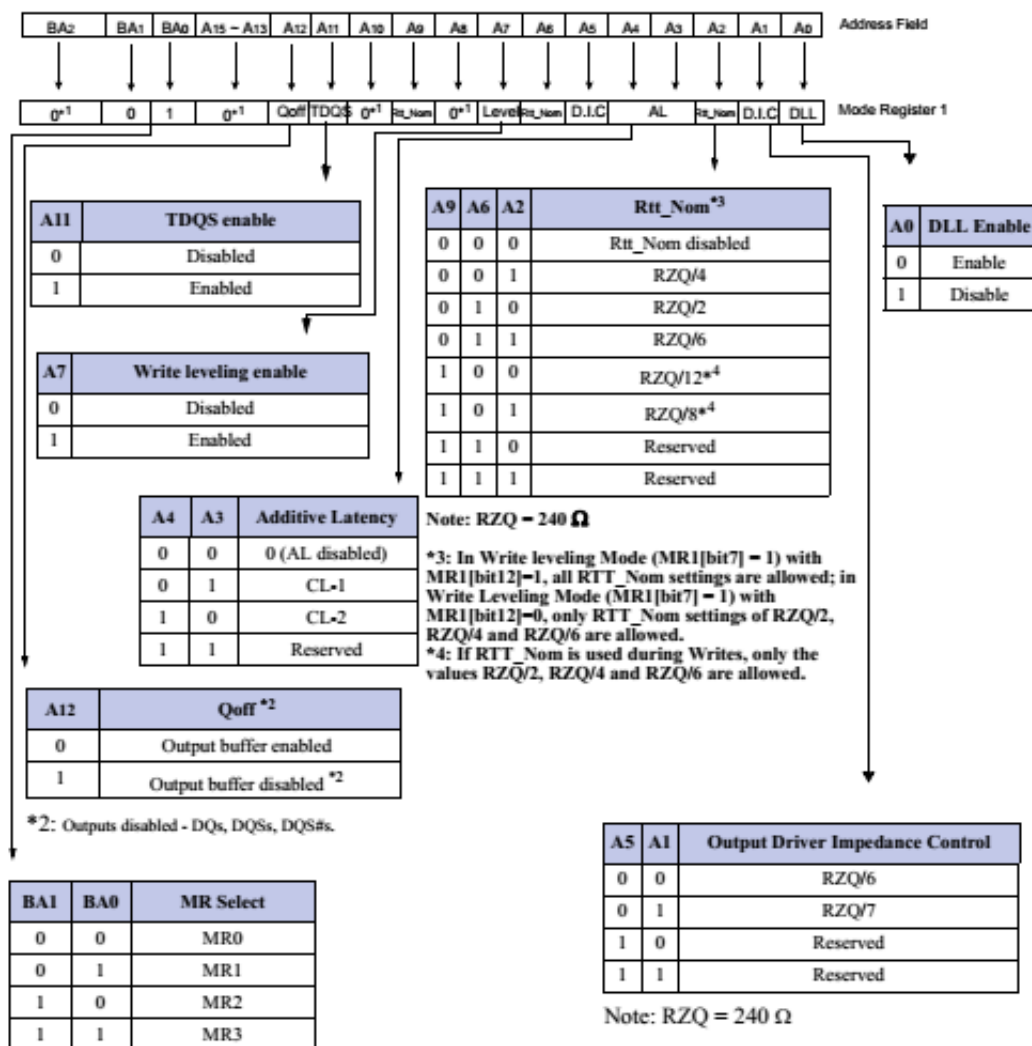
有可能是因为某一个内存颗粒返回的数据个数不够导致。这种情况下可以设置rdfifo_valid为0，由内存控制器在固定延迟之后返回数据，如果看到某个Byte的数据出错，那么基本上可以断定问题出在该Byte上。其中固定延迟由参数tPHY_RDLAT(0x1d5)配置，一般设置成比较大的值，比如0xc~0xf。这是卡死情况下经常使用的一种调试方法。

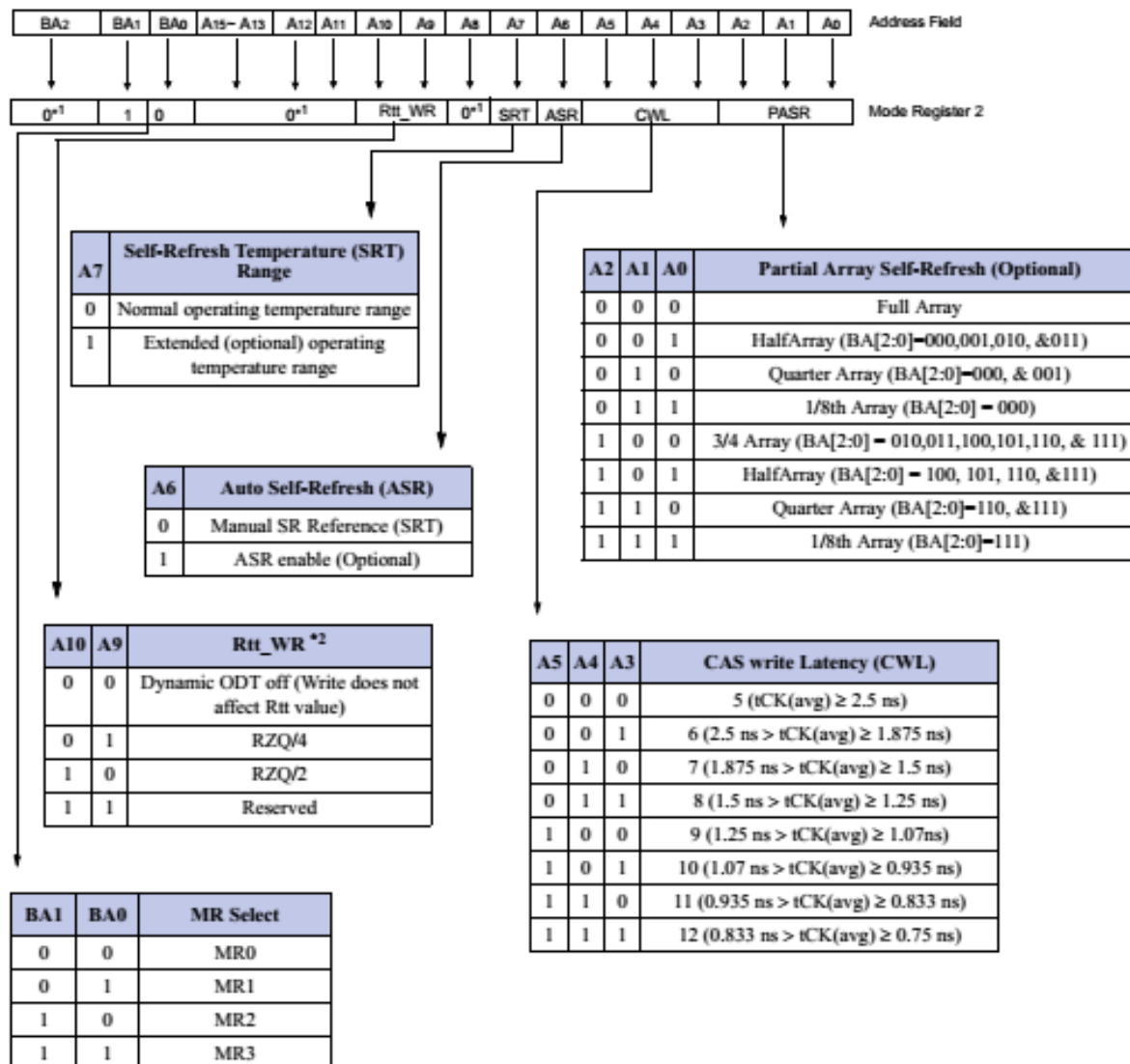
2T/3T模式：为了解决内存的命令、地址等信号驱动能力不够的问题

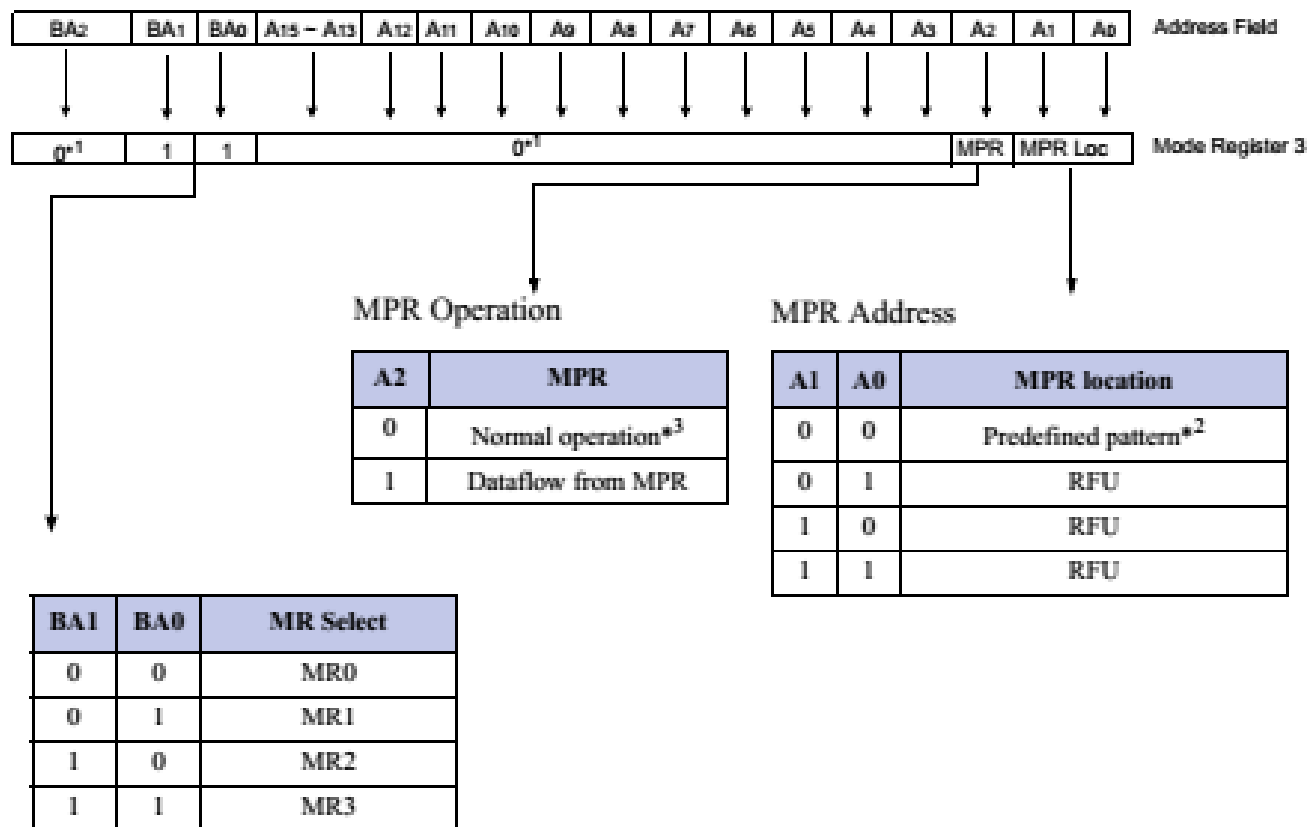


0x170				
Odt_wr_cs_map	63:48	读写	0x8421	对应CS发送写命令时，使能的ODT信号 Bit [15:12]: CS3发读时对应ODTx是否有效, x=3..0 Bit [11: 8]: CS2发读时对应ODTx是否有效, x=3..0 Bit [7: 4]: CS1发读时对应ODTx是否有效, x=3..0 Bit [3: 0]: CS0发读时对应ODTx是否有效, x=3..0
Odt_wr_length	43:40	读写	0x5	发送写命令时，ODT信号有效时钟周期数减一后的值（也就是说ODT有效的时间长度等于odt_wr_length加1）
Odt_wr_delay	35:32	读写	0x0	发送写命令时，ODT信号与写命令的起始间隔
Odt_rd_cs_map	31:16	读写	0x1144	对应CS发送读命令时，使能的ODT信号 Bit [15:12]: CS3发读时对应ODTx是否有效, x=3..0 Bit [11: 8]: CS2发读时对应ODTx是否有效, x=3..0 Bit [7: 4]: CS1发读时对应ODTx是否有效, x=3..0 Bit [3: 0]: CS0发读时对应ODTx是否有效, x=3..0
Odt_rd_length	11:8	读写	0x5	发送读命令时，ODT信号有效时钟周期数减一后的值（也就是说ODT有效的时间长度等于odt_rd_length加1）
Odt_rd_delay	3:0	读写	0x1	发送读命令时，ODT信号与读命令的起始间隔









* 1 : BA2, A3 - A15 are RFU and must be programmed to 0 during MRS.

* 2 : The predefined pattern will be used for read synchronization.

* 3 : When MPR control is set for normal operation (MR3 A[2] = 0) then MR3 A[1:0] will be ignored.

32/16位通道模式

- 只使用DIMM低32位/16位
- 嵌入式领域使用贴片颗粒可根据需求使用该模式
- 利于降低功耗
- 该模式可用来排除硬件或者参数设置问题

对于共用地址、命令线的颗粒来说（比如UDIMM/RDIMM）,如果32/16位通道模式下内存工作稳定，则可以排除地址、命令线的问题

- 内存卡死时也用来排除问题

Table 61 — Refresh parameters by device density

Parameter	Symbol	512Mb	1Gb	2Gb	4Gb	8Gb	Units	Notes
REF command to ACT or REF command time	tRFC	90	110	160	260	350	ns	
Average periodic refresh interval	tREFI	0 °C ≤ T _{CASE} ≤ 85 °C	7.8	7.8	7.8	7.8	μs	
		85 °C < T _{CASE} ≤ 95 °C	3.9	3.9	3.9	3.9	μs	1

NOTE 1. Users should refer to the DRAM supplier data sheet and/or the DIMM SPD to determine if DDR3 SDRAM devices support the following options or requirements referred to in this material.

以2Gb颗粒为例，工作频率533MHz，

$t_{REF}(0x1cb) = 7.8\mu s / (1/533MHz) / 256 = 16.2$ ，向下取整设置为0x10

$t_{REF}(0x320) = 7.8\mu s / (1/533MHz) / 16$ ，取低4位

$t_{RFC}(0x1ca) = 160ns / (1/533MHz) = 85.28$ ，向上取整，设置为0x56(86d)

- 只需要配置cs_diff_0、row_diff_0、ba_diff_0和col_diff_0
- 根据内存条属性配置
- PMON设置上s1参数后，初始化阶段自动配置。
- 比如双面2GB(2RANKx1Gbx8)容量的内存条：

CS个数为2，行地址数为14，列地址数为10，BANK数为3。

需要配置：

cs_diff_0 = 1; row_diff_0 = 2; ba_diff_0 = 0; col_diff_0 = 6

Configuration	2Gb x 4	1Gb x 8	512Mb x 16
# of Banks	8	8	8
Bank Address	BA0 - BA2	BA0 - BA2	BA0 - BA2
Auto precharge	A10/AP	A10/AP	A10/AP
BC switch on the fly	A12/BC#	A12/BC#	A12/BC#
Row Address	A0 - A15	A0 - A15	A0 - A15
Column Address	A0 - A9, A11, A13	A0 - A9, A11	A0 - A9
Page size ¹	2 KB	2 KB	2 KB

ECC功能

- 仅在64位模式下使用
- 需要DIMM支持（有存放ECC码的颗粒）
- 提升系统稳定性（驱动能力更强、信号更好、容错机制）
- 用于排除内存问题：
 1. 系统出错时检查ECC状态位，如果没有出现ECC错误，那么可排除内存问题。
 2. 如果是卡死，可结合rdfifo_valid的设置来排除内存问题。

有时内存不稳定的问题可以通过牺牲内存性能的方式来解决。当内存的压力变小后，一些因为供电或者信号质量导致的问题可能就变的不明显。如果通过这种方式使内存变的稳定，那么基本上可以排除训练程序所带来的问题。当稳定性问题解决后，可以再逐步把部分参数还原来确定引起问题的参数，与此同时可以提升一些内存性能。有关性能相关的参数主要在0x1a0-0x1e8地址范围内。其中0x1a0-0x1d8地址范围内的参数需要根据颗粒的手册来确认，而0x1e0-0x1e8地址范围内的参数为内存控制器定义，数值越大，内存性能越低。

值增大会降低内存带宽的参数：

tZQCS(0x1c9)

tRFC(0x1ca)

tRP(0x1cc)

tRCD(0x1cd)

tRRD(0x1ce)

tFAW(0x1cf)

tWTR(0x1d8)

tCCD(0x1d9)

tRTP(0x1dc)

tWR(0x1dd)

t*_diff*(0x1e0-0x1e8)

值增大会提高内存带宽的参数：

tREF(0x1cb)