

在参考配置的基础上，根据实际情况，正确设置 CS\_map、行列地址数等参数。

然后根据布线的长度情况进行如下调整：

下面说的延迟值指的是：考虑了 CPU 封装走线、主板走线以及内存颗粒端走线（使用内存条时）的延迟，也就是从芯片硅片到内存颗粒管脚的走线延迟。

1. CLK 的延迟值(reg\_8f0)配置需要根据 CLK 线和 ADDR/CMD/CTRL 线的长度关系配置。一般将 CLK 相对 ADDR/CMD/CTRL 线向后推迟 500ps~1.2ns（走线等长的情况下，额外推迟的时间；如果不等长，需要根据差额进行补偿）即可。

2. CLK 和各个 byte 的 DQS 之间的长度关系（或者准确的说是走线延迟的关系）。目标是：内存颗粒端接收到的 CLK 和 DQS 信号边沿对齐。对于贴片的情况，需要手工进行计算。参数中有配置 CLK 和各个 DQS 的延时的参数，参数的延迟值的计算方法为：延迟的时间等于（参数值/128）\* 时钟周期。比如说，板子上 CLK 的走线延迟为 1ns，DQS0 的延迟为 0.5ns，那么就需要将 DQS0 的延迟相对 CLK 推迟 0.5ns。如果时钟周期为 3ns，CLK 的延迟配置为 0x10，那么 DQS0 的延迟就应该配置为：0x10 + (0.5/3) \* 128.

DQS 延时参数的位置在 reg\_af0~reg\_b10.

当 DQS 的延时参数大于等于 0x40 时，需要将 0x2d~0x32 中相应 Slice 的 bit[17:16]配置为 2'b11；否则设为 2'b00.

DQS 的延迟参数不能大于等于 0x60.

3. 配置读 DQS Gate 的延迟（参数中的 rdlvl\_gate\_delay\_X, reg\_a70~reg\_a90）。这个参数需要手工实验一些值（范围为 0x00~0x22，实验的步长使用 0x4 或者 0x8 即可），选择一个最好的即可。

ODT 配置（reg\_0x080）：

DDR2 的读 ODT 需要打开，DDR3 的不用打开。写 ODT，DDR2/DDR3 都需要打开。