

Project4 ISE 的使用

ISE 的主要功能包括设计输入、综合、仿真、实现和下载，涵盖了 FPGA 开发的全过程，从功能上讲，其工作流程无需借助任何第三方 EDA 软件。

(1) 设计输入：ISE 提供的设计输入工具包括用于 HDL 代码输入和查看报告的 ISE 文本编辑器 (The ISE Text Editor)，用于原理图编辑的工具 ECS (The Engineering Capture System)，用于生成 IP Core 的 Core Generator，用于状态机设计的 StateCAD 以及用于约束文件编辑的 Constraint Editor 等。

(2) 综合：ISE 的综合工具不但包含了 Xilinx 自身提供的综合工具 XST，同时还可以内嵌 Mentor Graphics 公司的 LeonardoSpectrum 和 Synplicity 公司的 Synplify，实现无缝链接。

(3) 仿真：ISE 本身自带了一个具有图形化波形编辑功能的仿真工具 HDL Benchner，同时又提供了使用 Model Tech 公司的 Modelsim 进行仿真的接口。实现：此功能包括了翻译、映射、布局布线等，还具备时序分析、管脚指定以及增量设计等高级功能。

(4) 下载：下载功能包括了 BitGen，用于将布局布线后的设计文件转换为位流文件，还包括了 ImPACT，功能是进行设备配置和通信，控制将程序烧写到 FPGA 芯片中去。

1. 工具使用视频

请访问 <http://mooc.buaa.edu.cn>,选择统一认证入口登录

注册课程《M_G06B2830 数字系统设计工具集》。

访问课程页面中关于 ISE 工具的相关内容。

2.ISE 的下载安装

下载地址：<http://www.xilinx.com/support/download/index.htm>

安装请看视频《ISE 工具的安装》

3. ISE 工具的使用

3.1 新建工程

新建工程请看视频《如何新建工程》

ISE 界面的介绍，请看视频《ISE 界面介绍》

3.2 设计输入

设计输入请看视频《如何进行设计输入》

关于 verilog 的相关语法知识请看视频《代码模板的使用》，ISE 中内嵌的语言模块包括了大量的开发实例和所有 FPGA 语法的介绍和举例，包括 Verilog HDL/HDL 的常用模块、FPGA 原语使用实例、约束文件的语法规则以及各类指令和符号的说明。

3.3 使用 ISim 进行仿真

在代码编写完毕后，需要借助于测试平台来验证所设计的模块是否符合要求。基于 Verilog 语言的测试平台建立方法，请看视频《在 ISim 中进行仿真》，更详细的内容请参见 <http://www.xilinx.com/> 中的 ISim User Guide 部分。

对待测单元进行仿真后，可以对仿真的结果进行分析，并根据仿真结果调整设计，相关波形的分析，请看视频《在 ISim 中进行波形分析》

需要查看我们的存储空间是否正确的存储了我们所需的值;有些时候会遇到，明明给了使能，却没有数据输出，或者数据输出时错误的，此时，若能够真实的看一看存储器的状态，然后在波形文件中添加入存储器相关的变量，存储器的初始化和读取数据请看视频《存储器的初始化和读取数据》

3.4 使用 XST 进行综合

完成了输入、仿真以及管脚分配后就可以进行综合和实现了，所谓综合，就是将 HDL 语言、原理图等设计输入翻译成由与、或、非门和 RAM、触发器等基

本逻辑单元的逻辑连接（网表），并根据目标和要求（约束条件）优化所生成的逻辑连接，生成 EDF 文件。XST 内嵌在 ISE 版本中，使用 ISE 自带的综合工具 XST 进行综合，请看视频《使用 XST 进行综合》，更详细的内容请参见 <http://www.xilinx.com/> 中的 XST User Guide 部分。

3.5 实现

所谓实现（Implement）是将综合输出的逻辑网表翻译成所选器件的底层模块与硬件原语，将设计映射到器件结构上，进行布局布线，达到在选定器件上实现设计的目的。实现主要分为 3 个步骤：翻译（Translate）逻辑网表，映射（Map）到器件单元与布局布线（Place & Route）。请看视频《如何进行实现》。

3.6 硬件编程和下载


硬件编程和下载就是生成二进制编程文件并下载到芯片中的过程，是 FPGA 设计的最后一步，请看视频《硬件编程和下载》。

4 练习

练习 1：设计一个计数器并进行仿真。

(1) 新建工程


1) 首先打开 ISE，每次启动时 ISE 都会默认恢复到最近使用过的工程界面。当第一次使用 ISE 时，由于此时还没有过去的工程记录，所以工程管理区显示空白。

2) 选择 [File]->[New Project] 选项，在弹出的新建向导对话框中的工程名称中输入“counter”。在工程路径中单击  按键，将工程放到指定目录。

3) 单击“next”按钮，弹出如所示的界面，在该界面中指定芯片的类型及仿真、综合等。

4) 点击“Next”，进入最后一页，单击“finish”后，就可以建立一个新的工程。

(2)设计输入

1) 在工程管理区任意位置单击鼠标右键，在弹出的菜单中选择“New Source”命令，或者单击工程管理区左侧的快捷命令，会弹出 New Source 对话框。

2) 从代码类型中选择 Verilog Module 选项，在 File Name 文本框中输入 counter，单击“Next”进入指定端口对话框。

3) 在该界面中对端口进行定义。“Port Name”表示端口名称，“Direction”表示端口方向（可以选择为 input、output 或 inout），MSB 表示信号的最高位，LSB 表示信号的最低位，对于单位信号的 MSB 和 LSB 不用填写。

4) 定义了模块端口后，单击“Next”进入下一步，点击“Finish”按键完成源文件的创建。这样，ISE 会自动创建一个 Verilog 模块的例子，并且在源代码编辑区内打开。简单的注释、模块和端口定义已经自动生成，所剩余的工作就是在模块中实现代码。

```
module counter(  
    input clk,  
    input rst_n,  
    output [3:0] cnt  
);
```

模块名(文件名)

```
reg [3:0] count;  
assign cnt=count;  
always@(posedge clk, negedge rst_n)  
begin  
    if (!rst_n)  
        count<= 0;  
    else  
        count<= count + 1'b1;  
    end  
endmodule
```

I/O 说明

功能描述

(3)使用 ISim 仿真

1) 首先在工程管理区的任意位置单击鼠标右键，在弹出的菜单中选择“New

Source” 命令，

2)选中“Verilog Test Fixture”类型，输入文件名为“counter_tb”，

3)再点击“next”进入下一页。这时，工程中所有 Verilog Module 的名称都会显示出来，需要选择要进行测试的模块。

4)用鼠标选中“counter”，点击“next”后进入下一页，直接点击“Finish”按键，ISE 会在源代码编辑区自动显示测试模块的代码：

可看出，ISE 自动生成了测试平台的完整架构，包括所需信号、端口声明以及模块调用的完成。所需的工作就是在 initial...end 模块中的“// Add stimulus here”后面添加测试向量生成代码。添加的测试代码如下：

```
#5rst_n = 1'b1;  
  
End  
  
always #10 clk = ~clk;
```

完成测试文件后，在过程管理区会显示与仿真有关的进程。如果没有看到测试文件，可以在工程管理的上面选择 Simulation。

5)进行仿真，直接双击 ISim Simulator 中的 Simulate Behavioral Model，则 ISE 会自动启动 ISim Simulator 软件，并得到如所示的仿真结果。

(4)使用 xst 进行综合

完成了输入、仿真以及管脚分配后就可以进行综合和实现了。在过程管理区双击 Synthesize-XST，就可以完成综合。

综合可能有 3 种结果：如果综合后完全正确，则在 Synthesize-XST 前面绿色小圈圈，里面有一个打钩；如果有警告，则出现一个带感叹号的黄色小圆圈；如果有错误，则出现一个带叉的红色小圈圈。

综合完成之后，可以通过双击来查看 RTL 级结构图，察看综合结构是否按照设计意图来实现电路。双击 View RTL Schematics 后，弹出一个的对话框，可以在该对话框中选择一种开始方式，一种是向导方式，一种是顶层模块图的方式。

(5)实现

经过综合后，在过程管理区双击“Implement Design”选项，就可以完成实现。经过实现后能够得到精确的资源占用情况。

(6)硬件编程和下载

1)硬件编程和下载就是生成二进制编程文件并下载到芯片中的过程，是FPGA设计的最后一步。生成编程文件在ISE中的操作非常简单，在过程管理区中双击Generate Programming File选项即可完成，完成后则该选项前面会出现一个打钩的圆圈。生成的编程文件放在ISE工程目录下，是一个扩展名为.bit的位流文件。

2)Configure Target Device 项，然后在弹出的Configure Device对话框中选取合适的下载方式，ISE会自动连接FPGA设备。成功检测到设备后，会出现iMPACT的主界面

在主界面的中间区域内单击鼠标右键，并选择菜单的“Initialize Chain”选项，如果FPGA配置电路JTAG测试正确，则会将JTAG链上扫描到的所有芯片在iMPACT主界面上列出来。

JTAG链检测正确后，在弹出的对话框“do you want to continue and Assign New Configuration File?”，选择“yes”，会弹出窗口，让用户选择期望后缀为.bit的二进制比。

选中下载文件后，单击“打开”按键，在iMPACT的主界面会出现一个芯片模型以及位流文件的标志。

配置成功后，在弹出的对话框“do you want attach flash PROM File?”，选择“no”。

芯片模型以及位流文件的标志上单击鼠标右键，在弹出的对话框中选择Program选项，就可以对FPGA设备进行编程。

编程成功后，会弹出“program succeeded”的界面。至此，就完成了整个完整的FPGA设计流程。

练习 2 对 rom 进行初始化

Xilinx的ROM的初始化需要导入Coe文件，所以要先生成coe文件。

1. 生成 coe 文件

打开记事本，输入二进制的数，命名为 data.coe。把每一行之间的空格用文本替换功能换成“，”（这可以通过强大的 UltraEdit 来实现），并在最后一行添加一个分号“；”。最后，在文件的最开始添加下面两行：

```
memory_initialization_radix=2;//二进制，10：十进制，16：十六进制
```

```
memory_initialization_vector=
```

然后，保存文件退出。

例如：

```
MEMORY_INITIALIZATION_RADIX=2;
```

```
MEMORY_INITIALIZATION_VECTOR=
```

```
00001000,
```

```
00001001,
```

```
00001010,
```

```
00001011,
```

```
00001100,
```

```
00001101,
```

```
00001110,
```

```
00001111;
```

2. 将 coe 文件加载到 BLOCKROM 所生成的 ROM 中

先新建一个工程，在工程中新建一个 BLOCKROM 的 IP Core，其建立步骤如下所示。

- 1) 在 E:盘建立工程 smem

- 2) 新建一个 BLOCKROM 的 IP Core。选择新建文件 new source 命令，弹出

new source 向导对话框。在该对话框中选择源文件类型 [IP(CORE Generator&Architecture Wizard)], 单击【next】按钮。

在弹出的对话框中选择 IP, 选择【Memories&Storage Elements】->【RAMs&ROMs】->【Block Memory Generator】, 在单击【next】按钮。

在出现的【Block Memory Generator】界面中选择 memory type 为: Single Port ROM, 单击【next】按钮。

在该界面中设置 memory size, width 为: 16, Depth 为: 1024。单击【next】按钮。

设置 memory Initialization 初始化文件, 选择【load Init File】, 点击【Browse】选择先前生成的 data.Coe 文件, 如错误! 未找到引用源。所示, 单击【next】按钮。如果不成功, 文件名为红色。

在弹出的界面中选择默认选项, 如错误! 未找到引用源。所示。单击【next】按钮

在该界面中单击【Generate】按钮生成 ROM IP 核。

3)设计测试文件

选择新建文件 new source 命令, 弹出 new source 向导对话框。在该对话框中选择源文件类型【Verilog Text Fixture】, 输入文件名: test_rom, 被测试的模块选择: ROM。在测试文件中只要给出 clk 信号即可。

```
always #10 clka=~clka;
```

4)进行仿真

双击过程管理区的【Simulate Behavioral Model】中弹出 ISim 的界面, 在该界面中就可以看到仿真后的存储器内容。

5.关于 ISE 工具使用更详细的内容

请看《ISE 使用教程》或者 ISE help 菜单中的 software manual 的“ISE Design Suite Software Manuals PDF Collection”文件。