

## 本科试卷（十）

### 一、选择题（每小题 2 分，共 30 分）

1. 下面逻辑式中，正确的是\_\_\_\_\_。

A.  $\overline{A \oplus B} = A \square B$     B.  $A + A = 1$     C.  $A \bullet A = 0$     D.  $A + \overline{A} = 1$

2. 逻辑函数  $F = A \oplus (A \oplus B)$  的值是\_\_\_\_\_。

A. B    B. A    C.  $A \oplus B$     D.  $\overline{A} \square B$

3. 与最小项表达式  $F(A,B,C) = m_0 + m_2 + m_5 + m_7$  等价的逻辑函数为\_\_\_\_\_。

A.  $F = A \odot C$     B.  $F = \overline{A}BC + A\overline{B}\overline{C}$     C.  $F = \overline{A}C + A\overline{C}$     D.  $F = \Sigma(0, 5)$

4.  $a_1$ 、 $a_2$ 、 $a_3$ 、 $a_4$ 、 $a_5$  是五个开关，设它们闭合时为逻辑 1，断开时为逻辑 0，电灯  $F=1$  时表示灯亮， $F=0$  时表示灯灭。若在五个不同的地方控制同一个电灯的灭亮，逻辑函数  $F$  的表达式是\_\_\_\_\_。

A.  $a_1 a_2 a_3 a_4 a_5$     B.  $a_1 + a_2 + a_3 + a_4 + a_5$   
C.  $a_1 \oplus a_2 \oplus a_3 \oplus a_4 \oplus a_5$     D.  $a_1 \odot a_2 \odot a_3 \odot a_4 \odot a_5$

5. 用低电平为输出有效的译码器实现组合逻辑电路时，还需要\_\_\_\_\_。

A. 与非门    B. 或非门    C. 与门    D. 或门

6. 逻辑函数  $F = \overline{A}C + AB + \overline{B}C$ ，当变量的取值为\_\_\_\_\_时，不出现冒险现象。

A.  $B=C=1$     B.  $B=C=0$     C.  $A=1, C=0$     D.  $A=0, B=0$

7. 集成计数器的模值是固定的，但可以用\_\_\_\_\_来改变它们的模值。

A. 复 0 和复 9    B. 置数法和复位法    C. 改变初值法    D. 控制 CP 脉冲

8. 同步时序电路和异步时序电路比较，其差异在于后者\_\_\_\_\_。

A. 没有触发器    B. 没有统一的时钟脉冲控制  
C. 没有稳定状态    D. 输出只与内部状态有关

9. 有 S1, S2 两个状态，在相同输入条件下\_\_\_\_\_，可确定 S1 和 S2 不等价。

A. 输出相同    B. 输出不同    C. 状态相同    D. 状态不同

10. 一个 T 触发器，在  $T=1$  时，加上时钟脉冲，则触发器\_\_\_\_\_。

A. 保持原态    B. 置 0    C. 置 1    D. 翻转

11. 下面说法错误的是\_\_\_\_\_。

- A. 一个 RAM 有三组信号线，地址线，数据线，读/写命令线。
- B. RAM 中地址线是双向的，它传送地址码，以便按地址码访问存储单元。
- C. RAM 中数据线是双向的。
- D. RAM 中读写命令线是单向的，它是控制线。
12.  $64K \times 16$  位  $E^2PROM$  芯片，其地址线有\_\_\_\_条，数据线有\_\_\_\_条。
- A. 64, 16    B. 16, 64    C. 16, 4    D. 16, 16
13. 下面\_\_\_\_不属于 PLD 中可编程连接采用的处理技术。
- A. 熔丝技术    B. 反熔丝技术    C. EPROM 技术    D. SRAM 技术
14. 使用\_\_\_\_构成时序电路时需外加触发器。
- A. FPLA    B. GAL    C. ispLSI1032    D. FPGA
15. ASM 流程图是设计\_\_\_\_的一种重要工具。
- A. 控制器    B. 运算器    C. 计数器    D. 存储器

## 二、填空题（每小题 2 分，共 18 分）

1. 异或运算的布尔代数和 VHDL 表示分别为\_\_\_\_\_和\_\_\_\_\_。
2. 布尔代数的基本规则有代入规则，反演规则和\_\_\_\_\_规则。
3. 奇偶校验器的基本原理是：偶数个 1，它的和数总是\_\_\_\_\_；奇数个 1，它的和数总是\_\_\_\_\_。
4. 八路数据选择器电路如图 2-1 所示，该电路实现的逻辑函数表达式是\_\_\_\_\_。

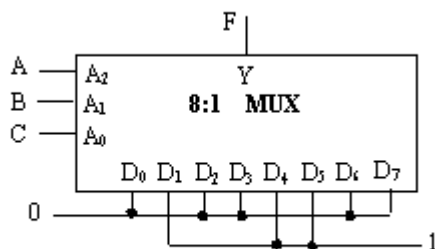


图 2-1

5. JK 触发器的次态方程是  $Q^{n+1} =$ \_\_\_\_\_。
6. 某移位寄存器的时钟脉冲频率为 100KHz，欲将存放在该寄存器中的数左移 16 位，完成该操作需要\_\_\_\_\_  $\mu S$ 。

7. RAM 和 ROM 有三组信号线，它们是地址线，\_\_\_\_\_，数据线。
8. 一个 6 变量的与阵列，列线是\_\_\_\_\_条，一个与门的输入线是\_\_\_\_\_条，最多有\_\_\_\_\_个编程点。
9. 微程序控制器是将所有的操作控制信号编码成一条条微指令，存放在一个\_\_\_\_\_中，系统工作时一条接一条读出，产生各种操作控制信号以控制执行部件。

### 三、组合逻辑设计（12 分）

用与非门设计一个组合电路，逻辑功能如下：当三个裁判(含一个裁判长)一致均同意，或一个裁判和裁判长同意时，输出成绩有效。否则，成绩无效。要求：

- (1) 列真值表。
- (2) 输出函数表达式。
- (3) 输出函数最简式。
- (4) 用与非门实现。

### 四、时序逻辑分析（14）

电路如图 1 所示：

- (1) 写出激励方程、状态方程、输出方程。
- (2) 列出状态转移表，画出状态转移图。
- (3) 判断电路类型，描述电路功能。

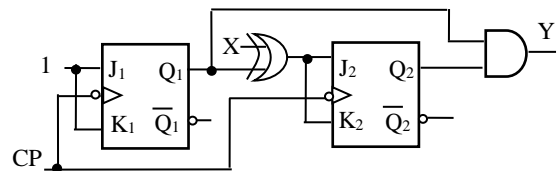


图 1

### 五、VHDL 语言设计（12）

用 VHDL 设计 3 线—8 线译码器。

### 六、小型控制器设计（14 分）

有一个数字比较系统，它能连续对两个八位二进制数据进行比较，操作过程如下：

先将两个数存入寄存器 A 和寄存器 B，然后进行比较，最后将大数移入寄存器 B 中。

其方框图如图 2 所示。其中 Y 为输入信号，LDA 和 LDB 为打入控制信号，COMP 是三态门使能控制信号，A>B 是比较器输出信号。假设状态发生变化在  $T_1$  节拍时间，打入寄存器操作发生在  $T_2$  节拍时间，状态周期  $T = T_1 + T_2$ 。

- (1) 画出 ASM 流程图。

- (2) 列出状态转移真值表
- (3) 设计多路选择器型控制器电路。

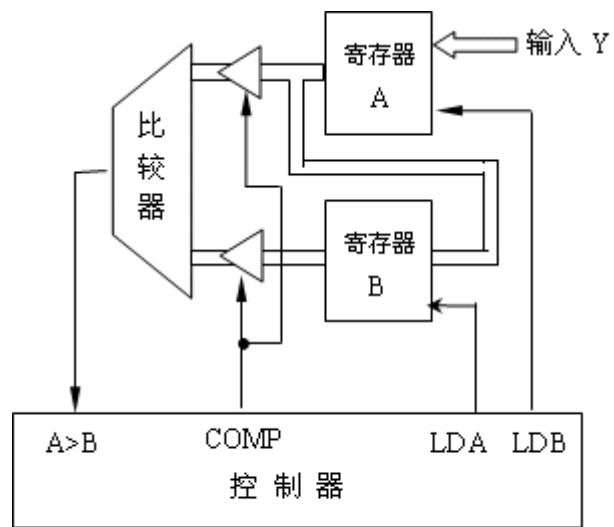


图2

闭