

本科试卷（七）

一、选择题（每小题2分，共30分）

1. 八进制数 $(375.236)_8$ 的十六进制数是_____。

- A. $(7D.4F)_{16}$ B. $(7D.4E)_{16}$ C. $(7C.4F)_{16}$ D. $(7D.3F)_{16}$

2. 下列逻辑函数中，与 $(A+B)(A+C)$ 等价的是_____。

- A. $F=AB$ B. $F=A+B$ C. $F=A+BC$ D. $F=B+C$

3. 函数 F 的卡诺图如图 1-1，其最简与或表达式是_____。

- A. $F = \overline{A}\overline{B}D + \overline{A}B\overline{D} + A\overline{C}\overline{D}$
 B. $F = A\overline{B}C + \overline{A}C\overline{D} + \overline{A}\overline{B}D$
 C. $F = A\overline{B}\overline{C} + A\overline{B}D + A\overline{C}\overline{D}$
 D. $F = \overline{A}\overline{B}D + \overline{A}B\overline{D} + A\overline{B}\overline{D}$

AB \ CD	00	01	11	10
00		1		1
01	1			
11	1			
10		1		1

图 1-1

4. 4:10 线译码器，输入信号端有_____个。

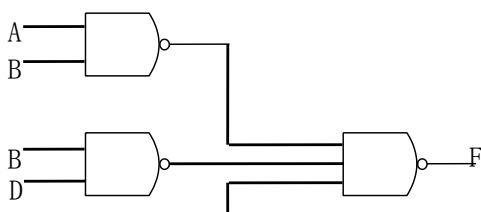
- A. 10 B. 2 C. 3 D. 4

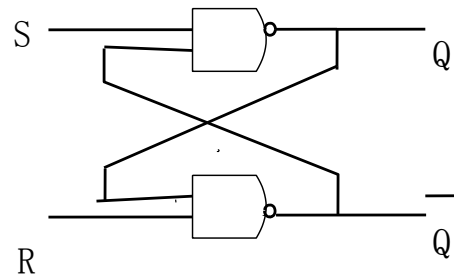
5. 用四选一数据选择器实现函数 $Y = A_1A_0 + \overline{A_1}A_0$ ，应使_____。

- A. $D_0=D_2=0, D_1=D_3=1$ B. $D_0=D_2=1, D_1=D_3=0$
 C. $D_0=D_1=0, D_2=D_3=1$ D. $D_0=D_1=1, D_2=D_3=0$

6. 图 1-2 所示的组合逻辑电路，其函数表达式为_____。

- A. $F = AB + BD + \overline{C}\overline{D}$ B. $F = \sum m(0,4,5,7,8,12,13,14,15)$
 C. $F = \sum m(1,2,3,6,9,10,11)$ D. $F = \sum m(0,8,12,14,15)$





图

1-2

图 1-3

7. 时序电路中不可缺少的部分为_____。
 - A. 组合电路
 - B. 记忆电路
 - C. 同步时钟信号
 - D. 组合电路和记忆电路
8. 与非门构成的基本 RS 触发器如图 1-3 所示，欲使该触发器保持现态，即 $Q^{n+1} = Q^n$ ，则输入信号应为_____。
 - A. $S=R=0$
 - B. $S=R=1$
 - C. $S=1, R=0$
 - D. $S=0, R=1$
9. n 个触发器构成的计数器中，有效状态最多有_____个。
 - A. n
 - B. $2n$
 - C. 2^{n-1}
 - D. 2^n
10. 把一个五进制计数器与一个四进制计数器串联可得到_____进制计数器。
 - A. 4
 - B. 5
 - C. 9
 - D. 20
11. 下面不属于简单可编程逻辑器件的是_____。
 - A. EPROM
 - B. PAL
 - C. ISP
 - D. GAL
12. 下面器件中，_____是易失性存储器。
 - A. FLASH
 - B. EPROM
 - C. DRAM
 - D. PROM
13. 双向数据总线常采用_____ 构成。
 - A. 数据分配器
 - B. 数据选择器
 - C. 三态门
 - D. 译码器
14. FPGA 采用逻辑单元阵列结构，由三个基本模块阵列组成。_____是系统的核心。
 - A. 可组态逻辑块
 - B. 通用逻辑块
 - C. 可编程互连连线
 - D. 可编程互连连线
15. 数字系统的初步设计通常指_____。

- A. 设计控制器 B. 设计 ASM 图 C. 子系统的设计 D. 子系统的划分

二、填空题（每小题 2 分，共 18 分）

1. 布尔代数的基本规则有代入规则，_____和对偶规则。
2. 用卡诺图法化简逻辑函数比布尔代数法更容易得到最简的逻辑函数表达式，缺点是_____受一定的限制。
3. 数据分配器是一种单路输入，_____输出的逻辑构件。
4. 组合逻辑电路在结构上不存在输出到输入的_____, 且电路的输出与_____输入状态无关。
5. 某移位寄存器的时钟脉冲频率为 100KHz，欲将存放在该寄存器中的数左移 8 位，完成该操作需要_____时间。
6. 采用一对一法进行状态编码时，10 个状态需要用_____个触发器实现。
7. RAM 和 ROM 有三组信号线，它们是地址线，控制线，_____。
8. ispLSI 1032 的 I/O 单元工作于输出状态时，其中有输出缓冲，_____和_____。
9. 控制器的控制过程可以用_____图表示出来，它能和实现它的硬件很好地对应起来。

三、组合逻辑设计（12 分）

设计一个将 8421BCD 码转换成余 3 码的电路，用与非门实现。

- (1) 列出真值表；
- (2) 卡诺图化简；
- (3) 写出表达式；
- (4) 画出由与非门实现的逻辑图。

四、时序逻辑分析（14 分）

分析图 1 所示同步计数电路。

- (1) 做出状态转移表和状态转移图；
- (2) 计数器是几进制计数器？能否自启动？

(3) 画出在时钟作用下各触发器输出波形。

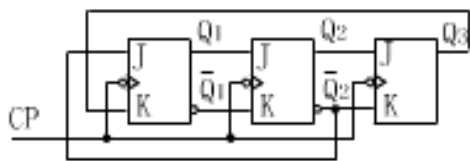


图 1

五、VHDL 语言设计（12 分）

用 VHDL 设计设计一个 3 位格雷码可逆计数器， $y=1$ 时计数器加， $y=0$ 时计数器减，其状态图如图 2 所示：

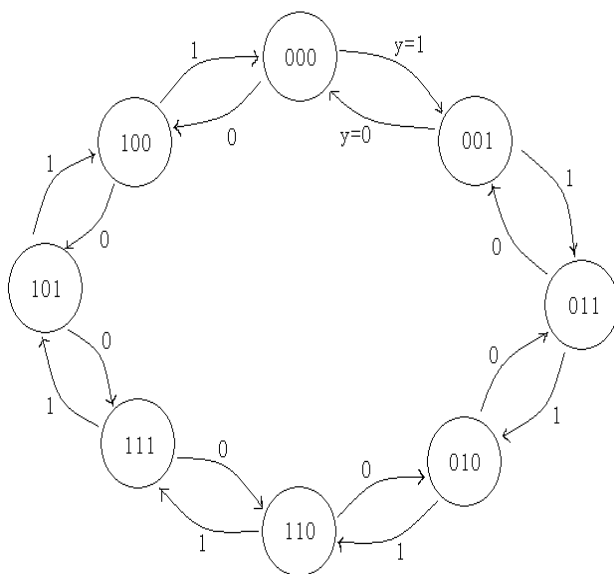


图 2

六、数字系统设计（14 分）

有一个数字比较系统，它能对两个 16 位二进制数进行比较。其操作过程如下：先将两个二进制数存入寄存器 R_A 和 R_B ，然后进行比较，最后将大数移入寄存器 R_A 中。设计

- (1) 系统方框图；
- (2) ASM 流程图；
- (3) 计数器型控制器。

[关闭](#)

