

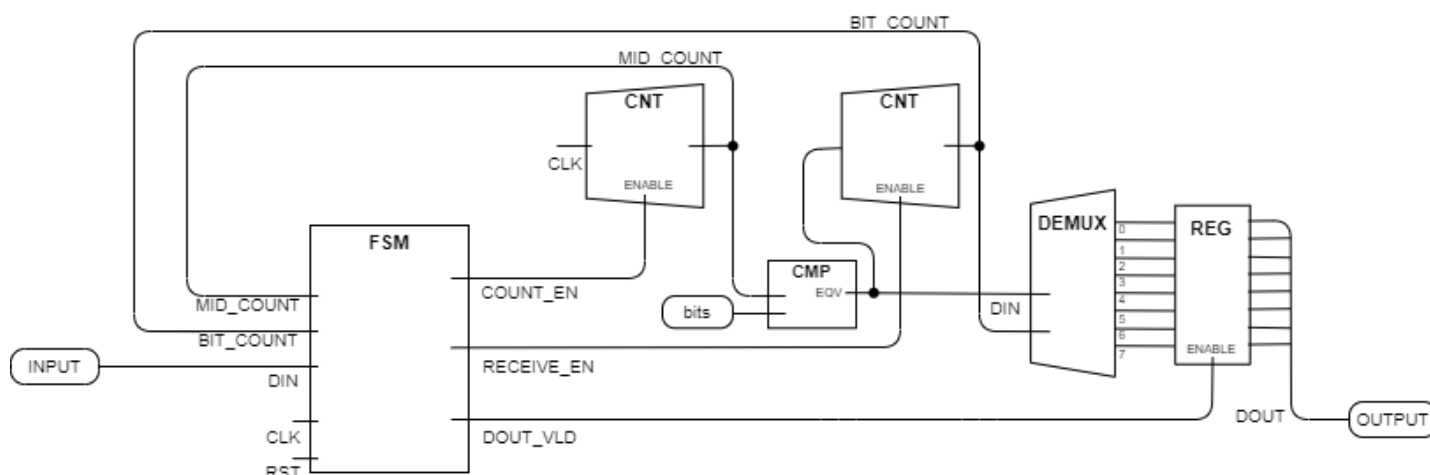
# Návrh číslicových systémů

## Projekt: UART

Meno, priezvisko: Natália Bubáková  
Login: xbubak01

7. mája 2021

### 1 Architektúra navrhnutého obvodu (na úrovni RTL)



### Popis funkcie

RTL schéma mojej implementácie pozostáva z prvku FSM, dvoch čítačov CNT, demultiplexora, registru a iných menších prvkov a medzikrokov.

FSM (Finite State Machine) prijíma vstup *DIN* a na základe neho odovzdáva signály a reguluje jednotlivé čítače a samotný výstup.

Prvý čítač po tom ako od FSM prijme „enable“ signál *COUNT\_EN*, počíta hodinové cykly *CLK*. Jeho výstupom je 5-bitová hodnota *MID\_COUNT*, ktorá sa ďalej porovnáva s 24, tak aby ďalej mohla poslať signál, či sa už nachádza v midbite.

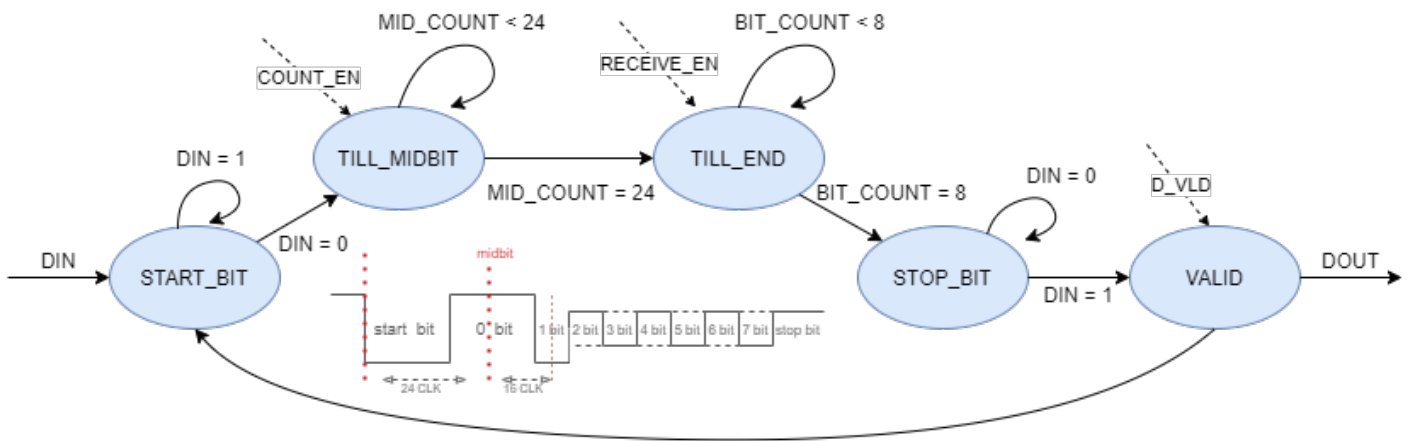
Tento signál spolu s „enable“ signálom z FSM prechádza do druhého čítača, ktorého výstupom je 4-bitová hodnota určujúca počet načítaných bitov.

Vstup a spracované signály tak skončia demultiplexore a na základe signálu *DOUT\_VLD* jednotlivé bity prejdú registrom a cez *DOUT* vyjdú na výstup.

## 2 Návrh automatu (Finite State Machine)

LEGENDA:

- Stavy automatu: *START\_BIT, TILL\_BIT, TILL\_END, STOP\_BIT, VALID*
- Vstupný, výstupný signál: *DIN, DOUT*
- „Enable“ signály: *COUNT\_EN, RECEIVE\_EN, DOUT\_VLD*
- „Counter“ signály: *MID\_COUNT, BIT\_COUNT*



### Popis funkcie

Cyklus automatu FSM počas priebehu nadobúda 5 štádií. Začína v stave *START\_BIT*, kde čaká na signál pre štart. Teda pokiaľ je *DIN* v log. 1, zmena nenastane, akonáhle sa však dostane do log. 0, môže pokračovať do ďalšieho stavu.

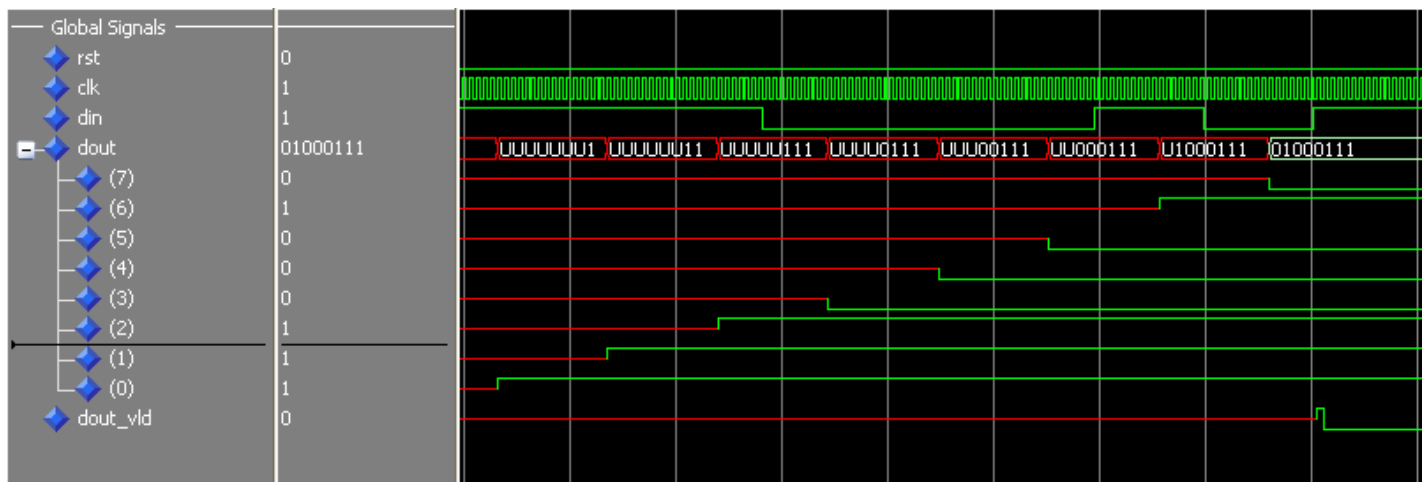
V tomto bode sa prepínačom *COUNT\_EN* aktivuje čítač *MID\_COUNT*, ktorý eviduje počet hodinových cyklov v stave *TILL\_MIDBIT*. Tento stav predstavuje priestor od začiatku úvodného bitu, tzv. *start bitu*, až po midbit 0-tého bitu, od ktorého má zmysel registrovať dáta. Akonáhle je čítač *MID\_COUNT* rovný 24, teda počtu hodinových cyklov až po midbit, automat sa dostane po ustálenú hodnotu prvého bitu (s 0-tým indexom) a môže prijímať dáta.

Povolí *RECEIVE\_EN*, tým zahájí počítanie bitov a prejde do stavu *TILL\_END*. V tomto stave sa posúva po 16 taktoch a prijíma vstupné dáta. Zotrváva v ňom až do konca načítania celého dátového slova, teda pokiaľ čítač *BIT\_COUNT* nenapočíta 8. bit v poradí, a tak sa môže presunúť do koncového bitu, tzv. *stop bitu*.

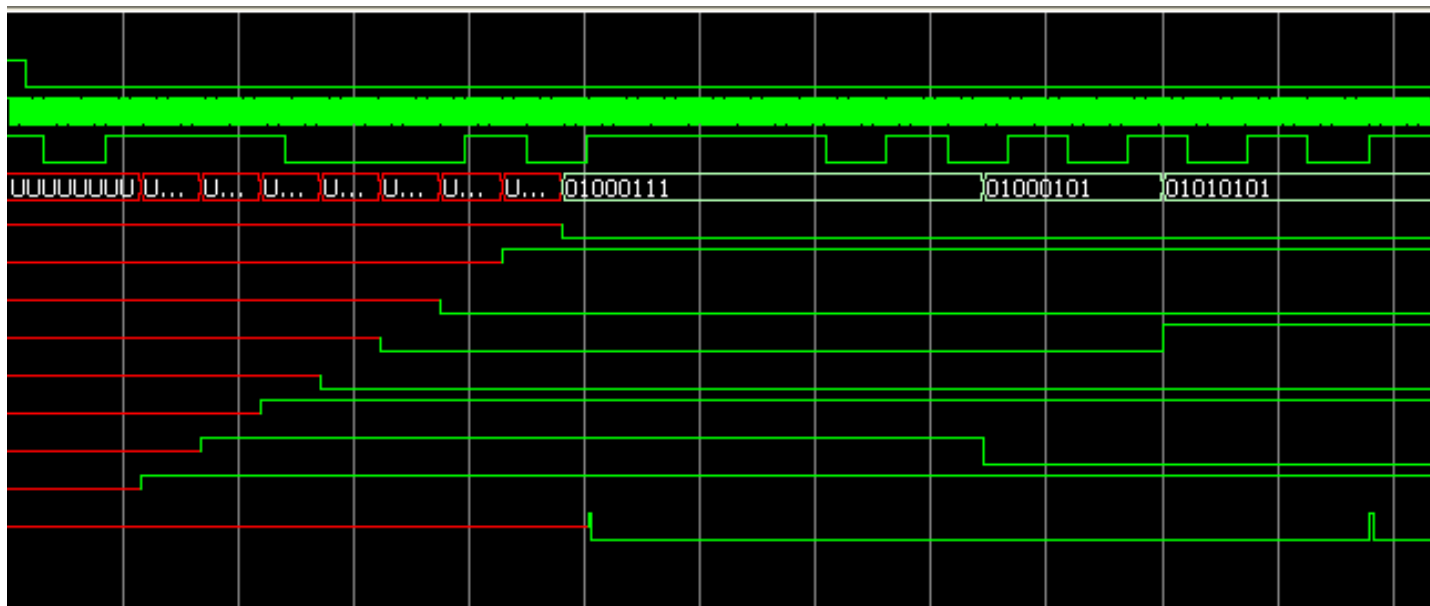
V stave *STOP\_BIT* teda skontroluje či bol na vstupe *DIN* prijatý signál 1 a ďalej tak v stave *VALID* potvrdí validitu prijatého dátového slova. Akonáhle je slovo prijaté a vypísané, cyklus sa môže zopakovať.

### 3 Snímok obrazovky zo simulácie

Nasledujú snímky simulácie obvodu v prostredí Modelsim:



Obr. 1: Priebeh postupného načítania prvého dátového slova od spustenia automatu



Obr. 2: Náhl'ad na celý priebeh načítania dvoch dátových slov