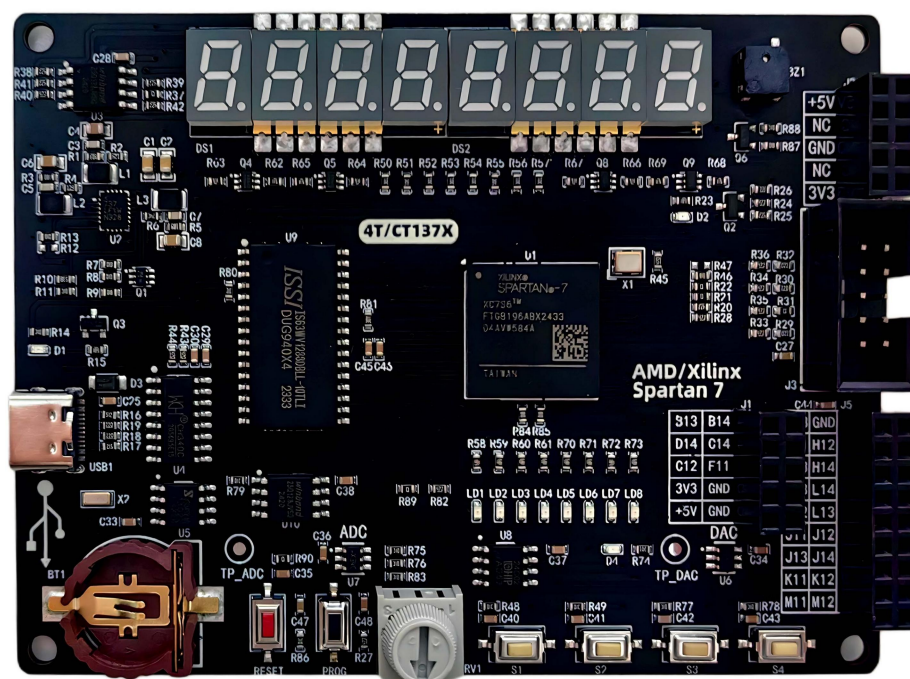


蓝桥杯 FPGA 设计与开发竞赛实训平台

(Xilinx 版)

【用户手册】



获取支持

请通过以下方式联系我们，获取更多硬件学习资源和技术支持。

- 交流 QQ 群：824313199
- 技术支持：tech@4t.wiki
- 交流社区：<https://www.4t.wiki/community>
- 学习资源：<https://www.4t.wiki/curriculum>
- Github 仓库地址：https://github.com/4T-tech/CT137X_Data
- Gitee 仓库地址：https://gitee.com/fourT-tech/CT137X_Data
- 关注微信公众号（四梯）、Bilibili 账号（四梯科技）获取更多即时信息。
打开 4t.wiki 网站，获取更多竞赛资讯。



微信扫码-四梯



B 站扫码-四梯科技

1. 产品简介

1.1 产品概述

FPGA 设计与开发竞赛实训平台由蓝桥杯大赛技术支持单位北京四梯科技有限公司设计和生产，该产品可用于参加蓝桥杯 FPGA 设计与开发赛道的竞赛实训或院校相关课程的实践教学环节。

产品基于 Xilinx Spartan-7 系列 FPGA 设计，型号为 XC7S6-1ftgb196，芯片提供了 6000 个 Logic Cell, 7500 个可配置逻辑块，180KB Block RAM，2 个时钟管理单元，100 个 IO 支持多种标准，适合中等规模设计应用。

| I/O Optimization at the Lowest Cost and Highest Performance-per-Watt (1.0V, 0.95V) | | | | | | | |
|---|------------------------------------|----------------|-----------------|---|-----------|-----------|-----------|
| | Part Number | XC7S6 | XC7S15 | XC7S25 | XC7S50 | XC7S75 | XC7S100 |
| Logic Resources | Logic Cells | 6,000 | 12,800 | 23,360 | 52,160 | 76,800 | 102,400 |
| | Slices | 938 | 2,000 | 3,650 | 8,150 | 12,000 | 16,000 |
| | CLB Flip-Flops | 7,500 | 16,000 | 29,200 | 65,200 | 96,000 | 128,000 |
| Memory Resources | Max. Distributed RAM (Kb) | 70 | 150 | 313 | 600 | 832 | 1,100 |
| | Block RAM/FIFO w/ ECC (36 Kb each) | 5 | 10 | 45 | 75 | 90 | 120 |
| | Total Block RAM (Kb) | 180 | 360 | 1,620 | 2,700 | 3,240 | 4,320 |
| Clock Resources | Clock Mgmt Tiles (1 MMCM + 1 PLL) | 2 | 2 | 3 | 5 | 8 | 8 |
| I/O Resources | Max. Single-Ended I/O Pins | 100 | 100 | 150 | 250 | 400 | 400 |
| | Max. Differential I/O Pairs | 48 | 48 | 72 | 120 | 192 | 192 |
| | DSP Slices | 10 | 20 | 80 | 120 | 140 | 160 |
| Embedded Hard IP Resources | Analog Mixed Signal (AMS) / XADC | 0 | 0 | 1 | 1 | 1 | 1 |
| | Configuration AES / HMAC Blocks | 0 | 0 | 1 | 1 | 1 | 1 |
| | Commercial Temp (C) | -1,-2 | -1,-2 | -1,-2 | -1,-2 | -1,-2 | -1,-2 |
| Speed Grades | Industrial Temp (I) | -1,-2,-1L | -1,-2,-1L | -1,-2,-1L | -1,-2,-1L | -1,-2,-1L | -1,-2,-1L |
| | Expanded Temp (Q) | -1 | -1 | -1 | -1 | -1 | -1 |
| | Package ⁽¹⁾ | Body Area (mm) | Ball Pitch (mm) | Available User I/O: 3.3V SelectIO™ HR I/O | | | |
| | CPGA196 | 8x8 | 0.5 | 100 | 100 | | |
| | CSGA225 | 13x13 | 0.8 | 100 | 100 | 150 | |
| | CSGA324 | 15x15 | 0.8 | | | 150 | 210 |
| | FTGB196 | 15x15 | 1.0 | 100 | 100 | 100 | |
| | FGGA484 | 23x23 | 1.0 | | | 250 | 338 |
| | FGGA676 | 27x27 | 1.0 | | | 400 | 400 |

1.2 主要特点

1. 高集成性，集成适用于 FPGA 初学者学习的典型外设，提供完整的实验环境。
2. 可扩展性，引出部分 FPGA / IO、电源和外设引脚，方便扩展。
3. 开发生态，支持基于 Vivado 集成开发环境的设计开发，初学者或经验丰富的工程师，都可以利用 Vivado 强大的功能来完成复杂的设计任务。
4. 易于教学，产品设计简单，接口、结构清晰，提供教材、视频课件支持，非常适合用于院校实践教学，能够帮助学生快速上手并掌握 FPGA 开发的基本技能。

1.3 订购信息

| 序号 | 型号 | 名称 | 数量 |
|----|-----------|------------------|----|
| 1 | CT137X | FPGA 设计与开发竞赛实训平台 | 1 |
| 2 | CT137X-DT | Xilinx FPGA 下载器 | 1 |
| 3 | / | USB FPGA 连接线 | 2 |

订购渠道

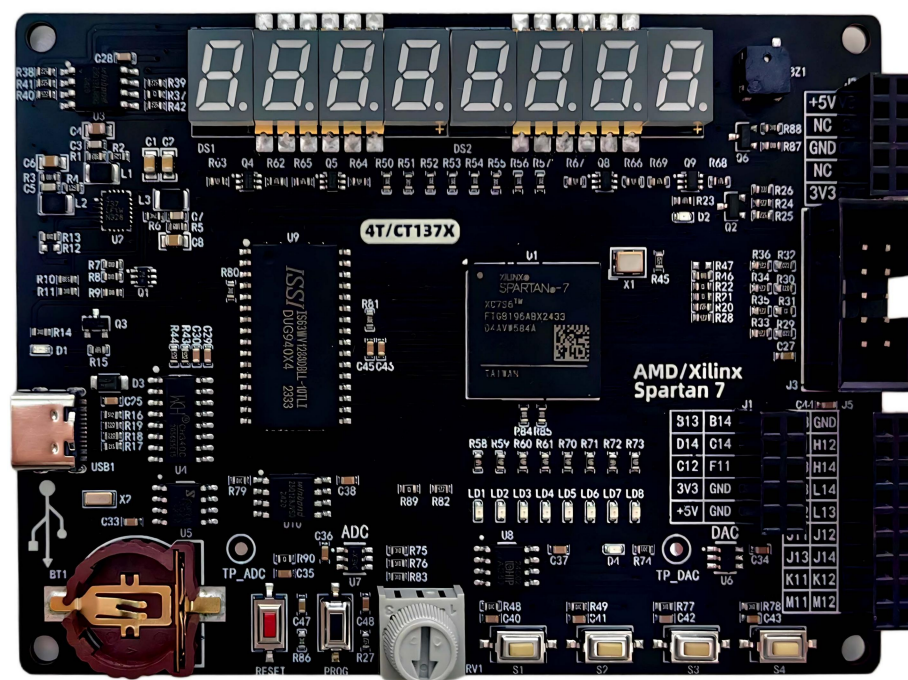
① 官方淘宝：gxct.taobao.com

② 四梯商城：<https://www.4t.wiki/mall>

③ 官方京东：<https://mall.jd.com/index-16359606.html>

1.4 硬件配置

FPGA 设计与开发竞赛实训平台实物

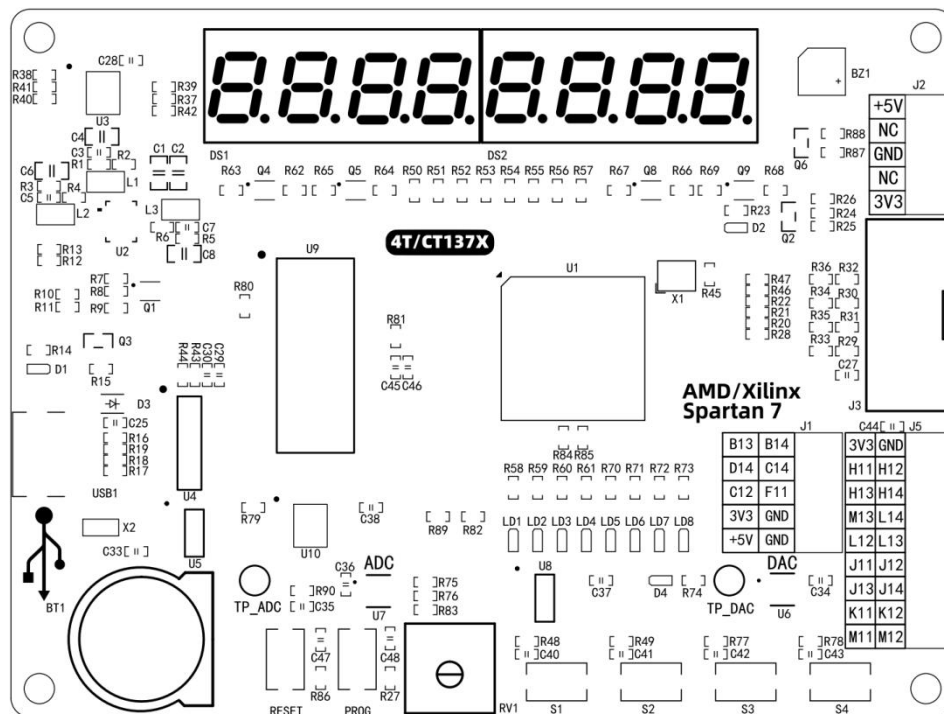


蓝桥杯 FPGA 设计与开发竞赛实训平台单终端配置。

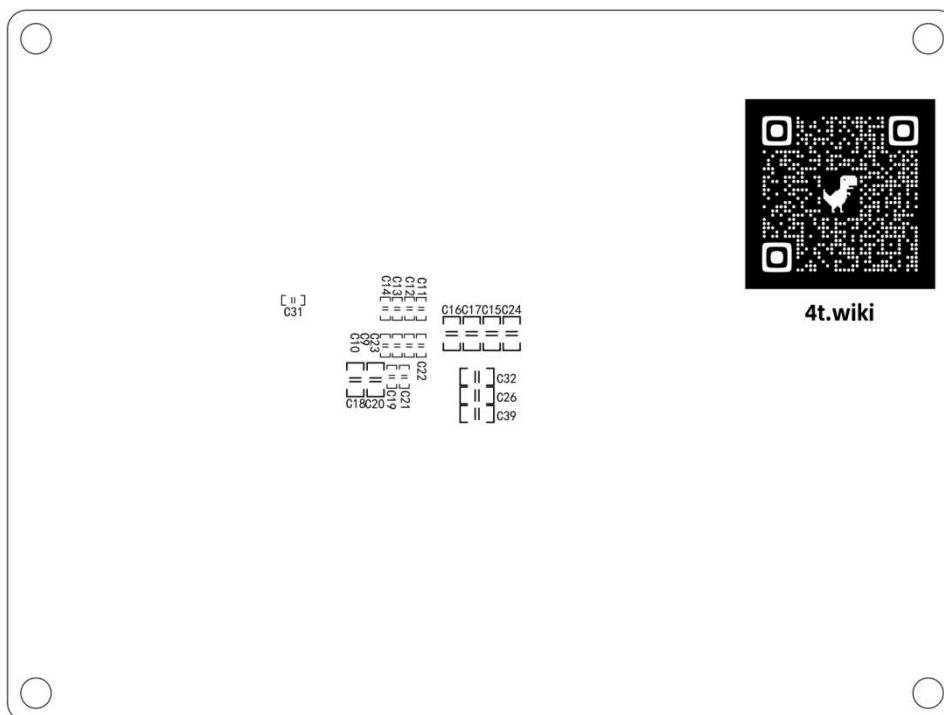
- FPGA: XC7S6 / Xilinx / Spartan-7 系列
- ADC(I2C/ADC081C021) 1
- DAC(I2C/DAC5571) 1
- RTC (DS1302) 1
- 复位按钮 1
- 编程按钮 1
- 用户按钮 4
- LED (R) 8
- 电源就绪指示灯 1
- 编程指示灯 1
- DAC 输出指示灯 1
- 无源蜂鸣器 1
- 电位器 1
- EEPROM (I2C/AT24C02) 1
- FLASH (SPI/W25Q128) 1
- 外扩 SRAM 存储器 (IS63WV1288) 1
- USB 转 UART 1
- 下载器接口 1
- 通用扩展接口 1

2. 硬件说明

2.1 硬件布局



顶层布局图



底层布局图

2.2 接口配置

1. USB 接口

配置了一个 USB TYPE C 接口，用于为 FPGA 开发平台提供 5V 电源输入，并连接到了 CH340C 上，可实现 USB 转串口功能。当用户通过电脑主机连接硬件后，能够在设备管理器中看到 一个 串口，此串口连接到了 XC7S6 引脚。

⚠ 注意：硬件只支持 5V 电源供电，例如电脑主机 USB 口、5V 充电适配器等，使用其它电压输出规格 的电源可能导致硬件损坏等严重后果。

2. 扩展接口 J1

J1 是一个扩展接口，提供了 6 个 IO 引脚和 2 组电源。

| 引脚编号 | 绑定 FPGA 引脚 |
|-------|------------|
| PIN1 | B13 |
| PIN2 | B14 |
| PIN3 | D14 |
| PIN4 | C14 |
| PIN5 | C12 |
| PIN6 | F11 |
| PIN7 | 3.3V |
| PIN8 | GND |
| PIN9 | +5V |
| PIN10 | GND |

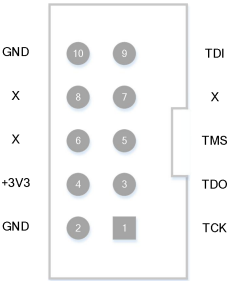
2. 扩展接口 J2

J2 是一个电源扩展接口，可对外提供 5V、3.3V 电源。

⚠ 注意：使用此电源接口时，注意电源输出能力，避免出现短路、反接等情况造成硬件损坏。

3. 下载器 J3

此接口为硬件平台的下载器接口，通过此接口我们可以将程序下载到 FPGA 芯片或其外挂的 FLASH 芯片中。



JTAG 下载接口功能定义

如程序固化到 FLASH 中，下载完成后，按下编程按键 CONFIG，硬件平台将从 FLASH 中加载程序并运行。

⚠ 注意：如使用第三方调试器，请注意是否满足竞赛平台原理图中给出的接口功能定

义，避免出现电源短路、反接等情况造成硬件损坏。

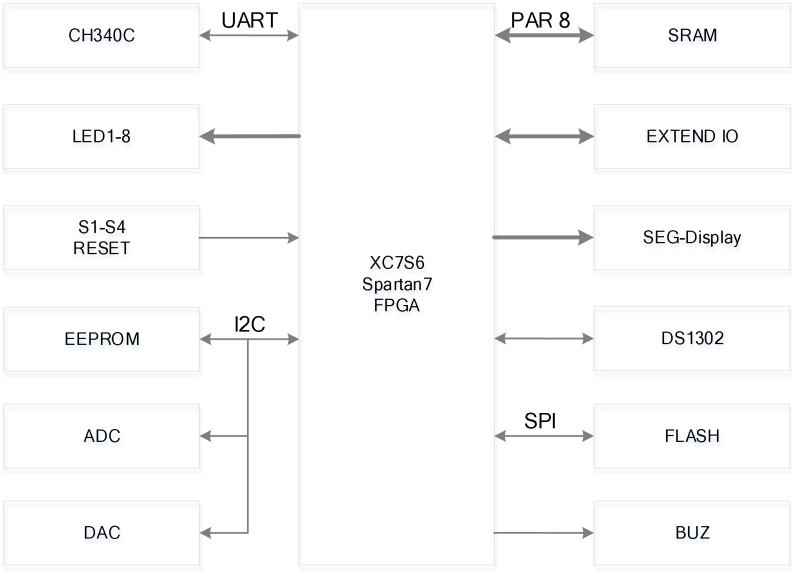
4. 扩展接口 J5

J5 是一个扩展接口，提供了 16 个 IO 引脚和 1 组 3.3V 电源。

| 编号 | 绑定 FPGA 引脚 |
|-------|------------|
| PIN3 | H11 |
| PIN4 | H12 |
| PIN5 | H13 |
| PIN6 | H14 |
| PIN7 | M13 |
| PIN8 | L14 |
| PIN9 | L12 |
| PIN10 | L13 |
| PIN11 | J11 |
| PIN12 | J12 |
| PIN13 | J13 |
| PIN14 | J14 |
| PIN15 | K11 |
| PIN16 | K12 |
| PIN17 | M11 |
| PIN18 | M12 |

2.3 硬件框图

FPGA 设计与开发竞赛实训平台提供了电源电路、配置电路、RTC、E2PROM、FLASH、LED、ADC、DAC、扩展接口、数码管、按键、SRAM、蜂鸣器等资源。



硬件框图

1. 供电电路

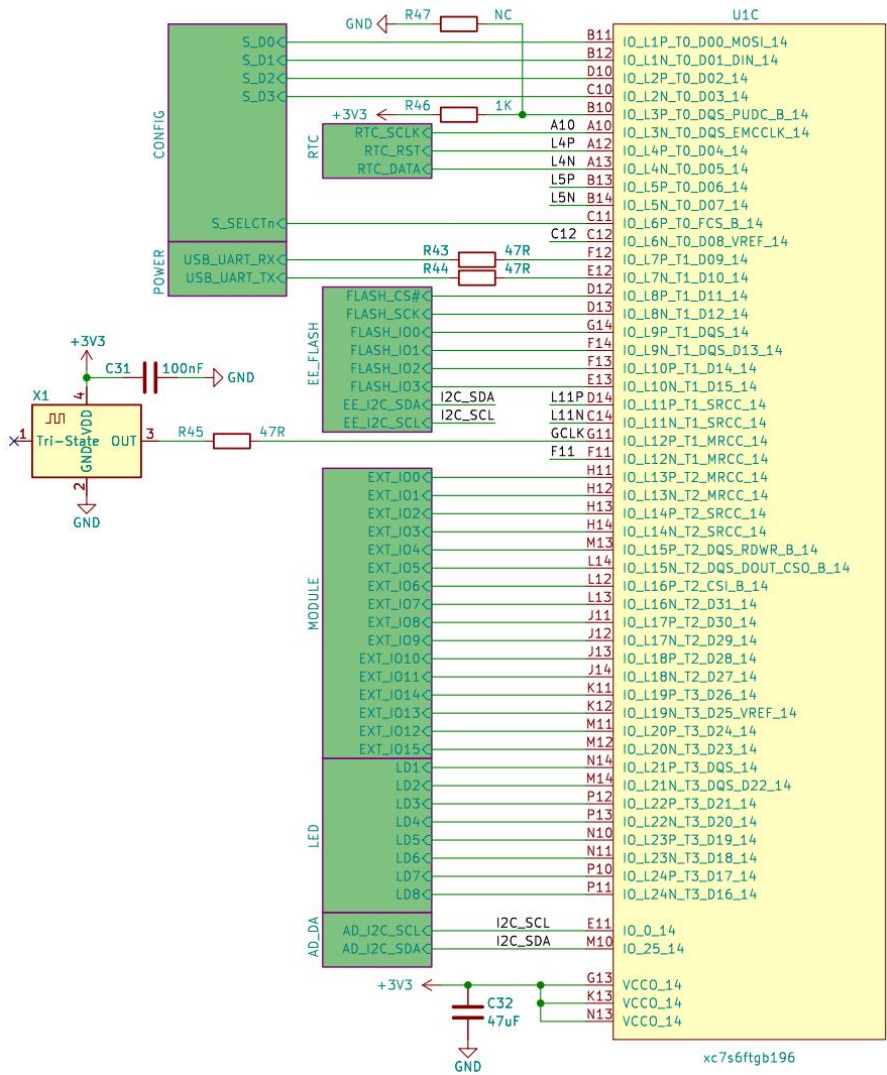
FPGA 设计与开发竞赛实训平台通过一颗 DC-DC 芯片将 USB 接口输入的 5V 直流电源转换为 3.3V、1.8V 和 1.0V 三种规格的电源。

供电情况如下表所示

| 电源引脚 | 供电电压 | 引脚说明 |
|---------|------|----------------|
| VCCINT | +1V0 | 内核电压 |
| VCCBRAM | +1V0 | BLOCK RAM 供电电压 |
| VCCAUX | +1V8 | 模拟组件电压 |
| VCCO_14 | +3V3 | IO 模块驱动电压 |
| VCCO_34 | +3V3 | IO 模块驱动电压 |

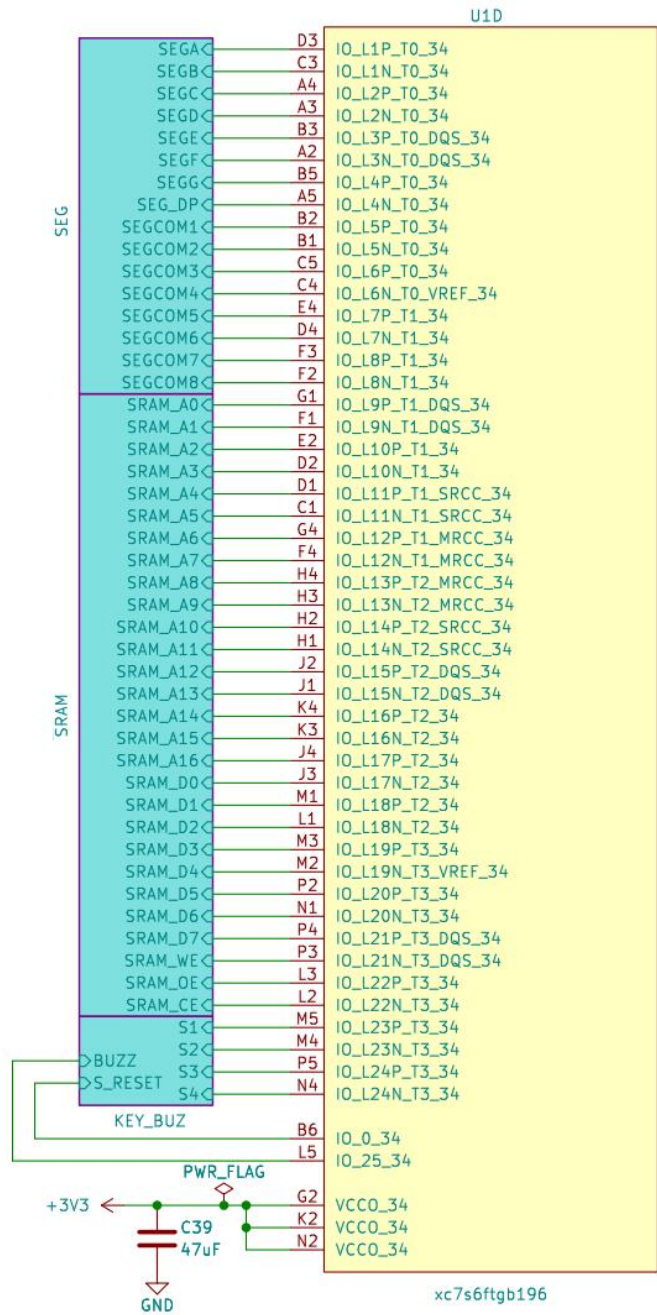
2. BANK14

配置电路、RTC、E2PROM、FLASH、LED、ADC、DAC、扩展接口等。



3. BANK34

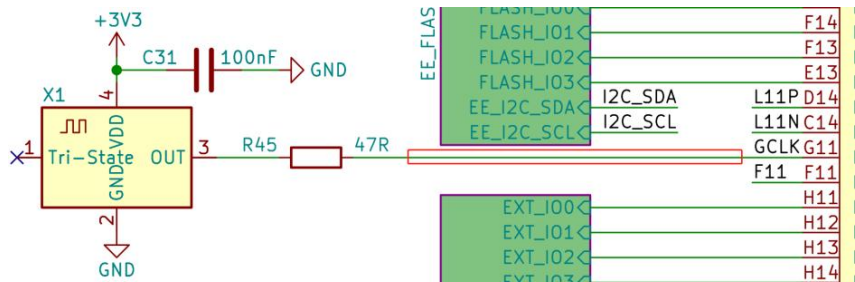
数码管、按键、SRAM、蜂鸣器等。



2.4 硬件资源

1. 时钟

FPGA 竞赛平台上配置了一个 50MHz 的有源晶振, 该晶振输出的时钟信号可以作为系统时钟, 驱动 FPGA 内的用户逻辑电路。



2. 复位与用户按键

FPGA 竞赛平台上配置了 4 个用户按键和一个复位按键。

△ 注意：与用户按键（S1-S4 不同，复位按键按下时为高。

3. LED

FPGA 竞赛平台上配置了 8 个用户可编程 LED 指示灯。

4. ADC

FPGA 竞赛平台上配置了一个 I2C 接口的 8 位 ADC 转换芯片，可以测量电位器 RV1 输出的模拟电压信号。断开电阻 R90，可用于测量外部模拟信号。

5. DAC

FPGA 竞赛平台上配置了一个 I2C 接口的 8 位 DAC 转换芯片，DAC 的输出结果可以通过 D4 直观的反应出来，也可以通过测试点 TP1 测量。断开电阻 R74，可用于驱动其它外部电路。

6. EEPROM

FPGA 竞赛平台上配置了一个 EEPROM 存储器，型号为 AT24C02。注意：ADC、DAC、EEPROM 三个元器件作为从器件，挂载在一组 I2C 总线上。

7. FLASH

FPGA 竞赛平台上配置了一个 SPI 接口的 NOR FLASH 芯片，芯片编号为 U10 容量 128Mbit，可存储用户自定义数据。

△ 注意：U3 型号规格与 U10 相同，在平台上的功能却不相同。U3 用作 FPGA 配置芯片，我们可以将程序固化在 U3 中，U10 作为普通存储器使用，可以存储任何用户希望存储的数据。

8. 蜂鸣器

FPGA 竞赛平台上配置了一个通过三极管驱动的原无源蜂鸣器，通过改变驱动信号频率和占空比可以实现不同音调的发声。

9. 数码管

FPGA 竞赛平台上配置了一个 8 位 8 段共阳极数码管，通过 8 个三极管驱动。

10. USB 转串口

FPGA 竞赛平台上配置了一个 USB 转 UART 电路，通过 CH340C 实现。

11. SRAM 存储器

FPGA 竞赛平台上配置了一个 1Mbit 存储空间的并口 SRAM 存储器。

12. 实时时钟

FPGA 竞赛平台上配置了一个 DS1302 实时时钟芯片。

2.5 引脚绑定

FPGA 设计与开发平台的 IO Bank0/14/34 均被直接分配了 3.3V 电源，设计开发功能时须将引脚配置为 LVCMOS33 标准。

| 引脚名 | FPGA 绑定引脚 | 引脚功能 |
|------|-----------|------|
| GCLK | G11 | 系统时钟 |

| | | |
|--------------|-----|------------------|
| S1 | M5 | 用户按键 1 |
| S2 | M4 | 用户按键 2 |
| S3 | P5 | 用户按键 3 |
| S4 | N4 | 用户按键 4 |
| RESET | B6 | 复位按键 |
| LD1 | N14 | LED 指示灯 1 |
| LD2 | M14 | LED 指示灯 2 |
| LD3 | P12 | LED 指示灯 3 |
| LD4 | P13 | LED 指示灯 4 |
| LD5 | N10 | LED 指示灯 5 |
| LD6 | N11 | LED 指示灯 6 |
| LD7 | P10 | LED 指示灯 7 |
| LD8 | P11 | LED 指示灯 8 |
| I2C_SCL | E11 | E2P/AD/DA SCL 信号 |
| I2C_SDA | M10 | E2P/AD/DA SDA 信号 |
| SPI_CS | D12 | SPI 片选 |
| SPI_SCK | D13 | SPI 时钟 |
| SPI_IO0_MOSI | G14 | 双向 IO/串行输出 |
| SPI_IO1_MISO | F14 | 双向 IO/串行输入 |
| SPI_IO2 | F13 | 双向 IO |
| SPI_IO3 | E13 | 双向 IO |
| SEGA | D3 | 数码管 A 段 |
| SEGB | C3 | 数码管 B 段 |
| SEGC | A4 | 数码管 C 段 |
| SEGD | A3 | 数码管 D 段 |
| SEGE | B3 | 数码管 E 段 |
| SEGF | A2 | 数码管 F 段 |
| SEGG | B5 | 数码管 G 段 |
| SEGGP | A5 | 数码管 DP 段 |
| COM1 | B2 | 数码管位选信号 1 |
| COM2 | B1 | 数码管位选信号 2 |
| COM3 | C5 | 数码管位选信号 3 |
| COM4 | C4 | 数码管位选信号 4 |
| COM5 | E4 | 数码管位选信号 5 |
| COM6 | D4 | 数码管位选信号 6 |
| COM7 | F3 | 数码管位选信号 7 |
| COM8 | F2 | 数码管位选信号 8 |

| | | |
|----------|-----|--------------|
| UART_TX | F12 | 串口发送 |
| UART_RX | E12 | 串口接收 |
| BUZ | L5 | 蜂鸣器 |
| SRAM_D0 | J3 | SRAM 数据线 D0 |
| SRAM_D1 | M1 | SRAM 数据线 D1 |
| SRAM_D2 | L1 | SRAM 数据线 D2 |
| SRAM_D3 | M3 | SRAM 数据线 D3 |
| SRAM_D4 | M2 | SRAM 数据线 D4 |
| SRAM_D5 | P2 | SRAM 数据线 D5 |
| SRAM_D6 | N1 | SRAM 数据线 D6 |
| SRAM_D7 | P4 | SRAM 数据线 D7 |
| SRAM_A0 | G1 | SRAM 地址线 A0 |
| SRAM_A1 | F1 | SRAM 地址线 A1 |
| SRAM_A2 | E2 | SRAM 地址线 A2 |
| SRAM_A3 | D2 | SRAM 地址线 A3 |
| SRAM_A4 | D1 | SRAM 地址线 A4 |
| SRAM_A5 | C1 | SRAM 地址线 A5 |
| SRAM_A6 | G4 | SRAM 地址线 A6 |
| SRAM_A7 | F4 | SRAM 地址线 A7 |
| SRAM_A8 | H4 | SRAM 地址线 A8 |
| SRAM_A9 | H3 | SRAM 地址线 A9 |
| SRAM_A10 | H2 | SRAM 地址线 A10 |
| SRAM_A11 | H1 | SRAM 地址线 A11 |
| SRAM_A12 | J2 | SRAM 地址线 A12 |
| SRAM_A13 | J1 | SRAM 地址线 A13 |
| SRAM_A14 | K4 | SRAM 地址线 A14 |
| SRAM_A15 | K3 | SRAM 地址线 A15 |
| SRAM_A16 | J4 | SRAM 地址线 A16 |
| SRAM_OE | L3 | SRAM 输出使能信号 |
| SRAM_WE | P3 | SRAM 写使能信号 |
| SRAM_CE | L2 | SRAM 片选信号 |
| RTC_SCLK | A10 | RTC 时钟信号 |
| RTC_RST | A12 | RTC 复位信号 |
| RTC_DATA | A13 | RTC 数据线 |

3. 开发环境

3.1 环境要求

- 安装 Windows 操作系统（7、8、10、11）的电脑
- FPGA 设计与开发竞赛实训平台
- Xilinx FPGA 下载器
- USB Type C 连接线软件工具

3.2 软件工具

- Vivado 开发环境
- Modelsim 仿真软件
- USB 驱动程序

3.3 环境部署

1. 准备工作

用户可以在 AMD/Xilinx 官网注册、下载开发环境，推荐下载 18.3 及以上版本。

Vivado 环境下载地址：

<https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/vivado-design-tools.html>

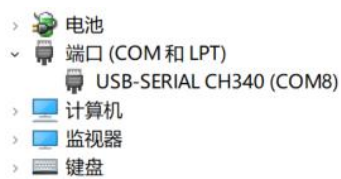
2. 安装软件

完成下载后，安装 Vivado 开发环境。

⚠ 注意：Vivado 的安装包及安装后所需要占用的磁盘空间较大，请在下载及安装前，确认安装程序区域的存储空间。

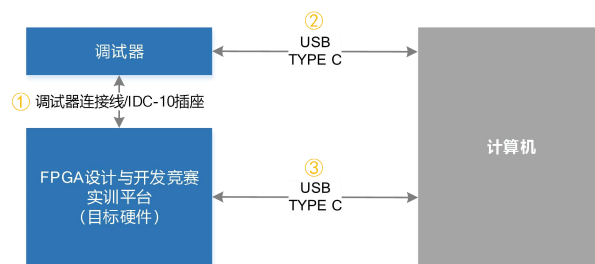
3. 驱动安装

竞赛平台上提供了 CH340C USB 转串口方案，若驱动程序安装成功，通过 USB 线连接计算机和竞赛平台后，我们能够在计算机设备管理器上看到相应的端口号。

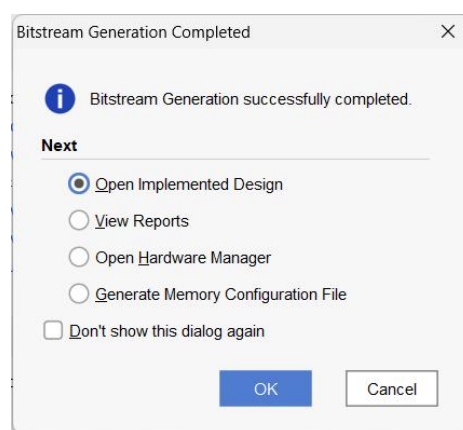


4. 环境测试

环境安装完成后，连接调试器到竞赛实训平台，并通过 USB 线连接计算机和竞赛实训平台。请按照 1-2-3 的顺序完成竞赛实训平台、计算机和调试器的连接。



打开配套资料中的任意一个示例工程文件 (.xpr), 点击生成 Bit 流文件选项 (Generate Bitstream), Vivado 环境将启动 Synthesis(综合)和 Implementation (布局、布线) 等操作, 生成生成流文件。



配置下载操作路径: Open hardware Manager -> Open target -> Auto Connect 连接成功后, 可以看到调试器和目标硬件信息, 此时点击 Program Device, 启动 FPGA 配置下载过程。

⚠ 注意: 对调试器 (J-TAG 接口)、扩展接口进行插拔操作之前, 请先切断电源, 避免损坏硬件。

4. 学习资源

4.1 平台资料

平台资料包括:

- 上电测试文件 (.mcs 和 bit 文件)
- 原理图
- 用户手册
- FPGA 引脚分配表
- 实验代码
- 开发工具与驱动
- 芯片规格书 (Spartan-7 系列 FPGA、芯片及模块资源)

4.2 学习路径

阶段 1 入门基础知识

- a) FPGA 基础概念及其工作原理
- b) 平台硬件资源配置情况
- c) 平台使用注意事项
- d) Vivado 软件入门
 - 安装
 - 创建项目、添加文件等基础操作
 - 了解仿真工具的使用
- e) 入门实验

编写一个简单的 Verilog HDL 代码，实现按下按键，指示灯点亮；松开按键指示灯熄灭。

** 通过一个最简单的实验学习基于 Vivado 软件的编译、综合、实现及程序下载流程。

阶段 2 组合逻辑与简单接口

- a) 数字电路基础知识
- b) LED 指示灯与按键等简单外设应用
- c) 蜂鸣器驱动知识
- d) 简单组合逻辑电路实现
- e) 仿真工具使用知识

阶段 3 进阶学习

- a) 数码管动态扫描驱动编程
- b) 按键状态扫描
- c) 层次化程序设计
- d) 串口编程
- e) I2C 接口编程（EEPROM）
- f) I2C 接口编程（ADC）
- g) I2C 接口编程（DAC）
- h) SPI 接口编程（NOR FLASH）
- i) DS1302 编程
- j) 并口编程（SRAM）

阶段 4 高级主题与项目实践

- a) Xilinx IP 库常用模块应用
- b) 第三方 IP 核应用
- c) 特定算法实现
- d) 综合项目开发学习

4.3 实验案例

我们准备了一系列案例代码和视频教程，帮助用户快速入门 XC7S6 FPGA。

| 编号 | 实验内容 |
|------|------------------|
| EX01 | 简单门电路 |
| EX02 | 3-8 译码器 |
| EX03 | 多路选择器 |
| EX04 | 半加器 |
| EX05 | D 触发器 |
| EX06 | 计数器 |
| EX07 | 分频器 |
| EX08 | 流水灯 |
| EX09 | 呼吸灯 |
| EX10 | 简单的状态机设计与实现 |
| EX11 | 蜂鸣器驱动 |
| EX12 | 蜂鸣器控制（实例化） |
| EX13 | 数码管动态扫描 |
| EX14 | UART 收发 |
| EX15 | DS1302 应用 |
| EX16 | SPI 应用 NOR FLASH |
| EX17 | I2C 应用（1）EEPROM |
| EX18 | I2C 应用（2）ADC |
| EX19 | I2C 应用（3）DAC |
| EX20 | 并口应用 SRAM |

4.4 学习资源

1. 硬件配套的开发环境包。
2. 访问 www.4t.wiki 获取相关视频课程和历年竞赛试题。
3. 关注微信公众号（四梯）、Bilibili 账号（四梯科技）获取蓝桥杯竞赛、硬件平台相关即时信息。