
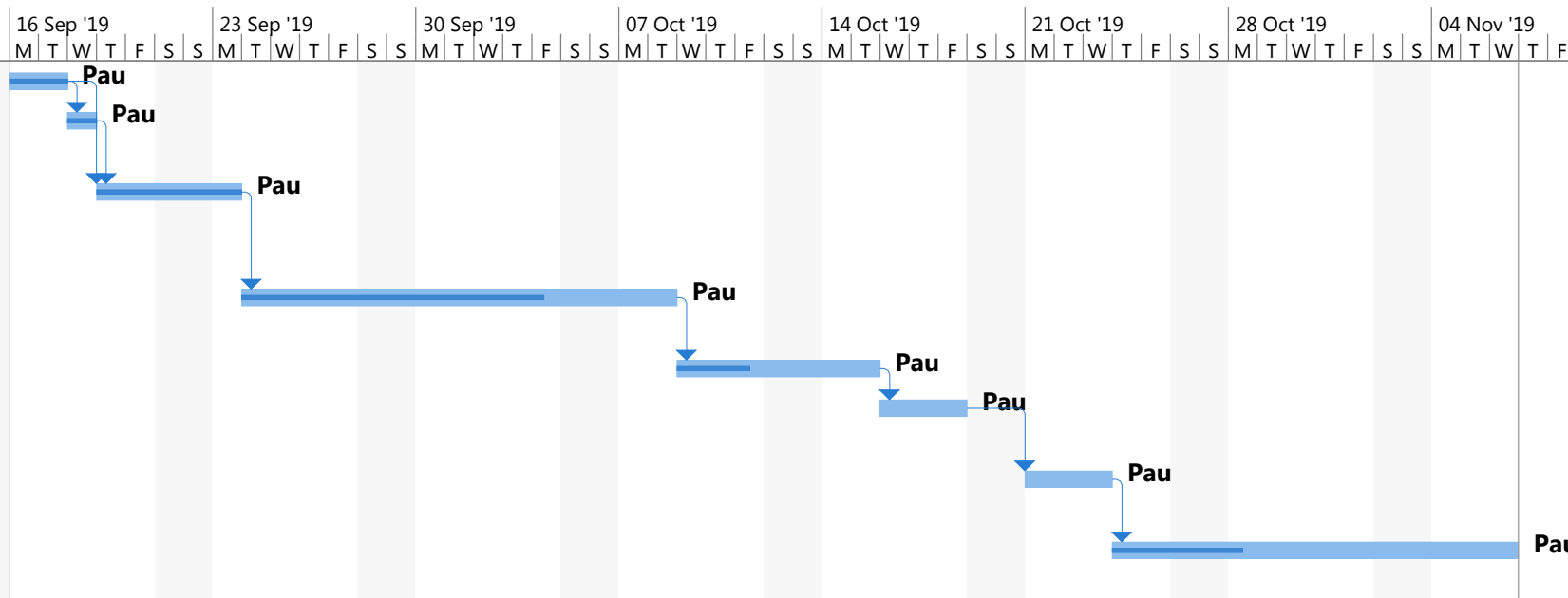













ID		Task Mode	Task Name	Duration	Start	Finish	Predecessors																												
1			Lectures RiscV	2 days	Mon 16/09/19	Tue 17/09/19																													
2			Disseny de blocs interns	1 day	Wed 18/09/19	Wed 18/09/19	1																												
3			Implementació Model Funcional Core	3 days	Thu 19/09/19	Mon 23/09/19	1;2																												
4			Implementació Core per mòduls	11 days	Tue 24/09/19	Tue 08/10/19	3																												
5			Tests funcionals	5 days	Wed 09/10/19	Tue 15/10/19	4																												
6			Implementació del core en FPGA	3 days	Wed 16/10/19	Fri 18/10/19	5																												
7			Adaptar core a entorn Pulpino	3 days	Mon 21/10/19	Wed 23/10/19	6																												
8			Documentació del core i treball	10 days	Thu 24/10/19	Wed 06/11/19	7	Pau																											