

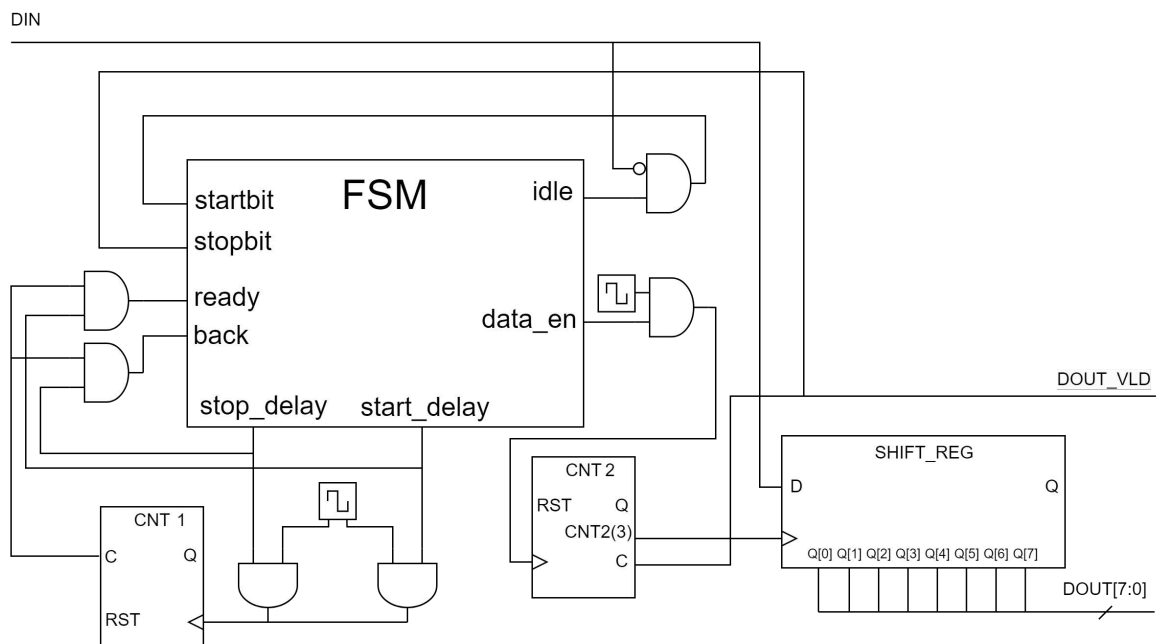
# Příloha: Výstupní zpráva

Jméno: Iaroslav Zhdanovich

Login: xzhdan00

## Architektura navrženého obvodu (na úrovni RTL)

### Schéma obvodu

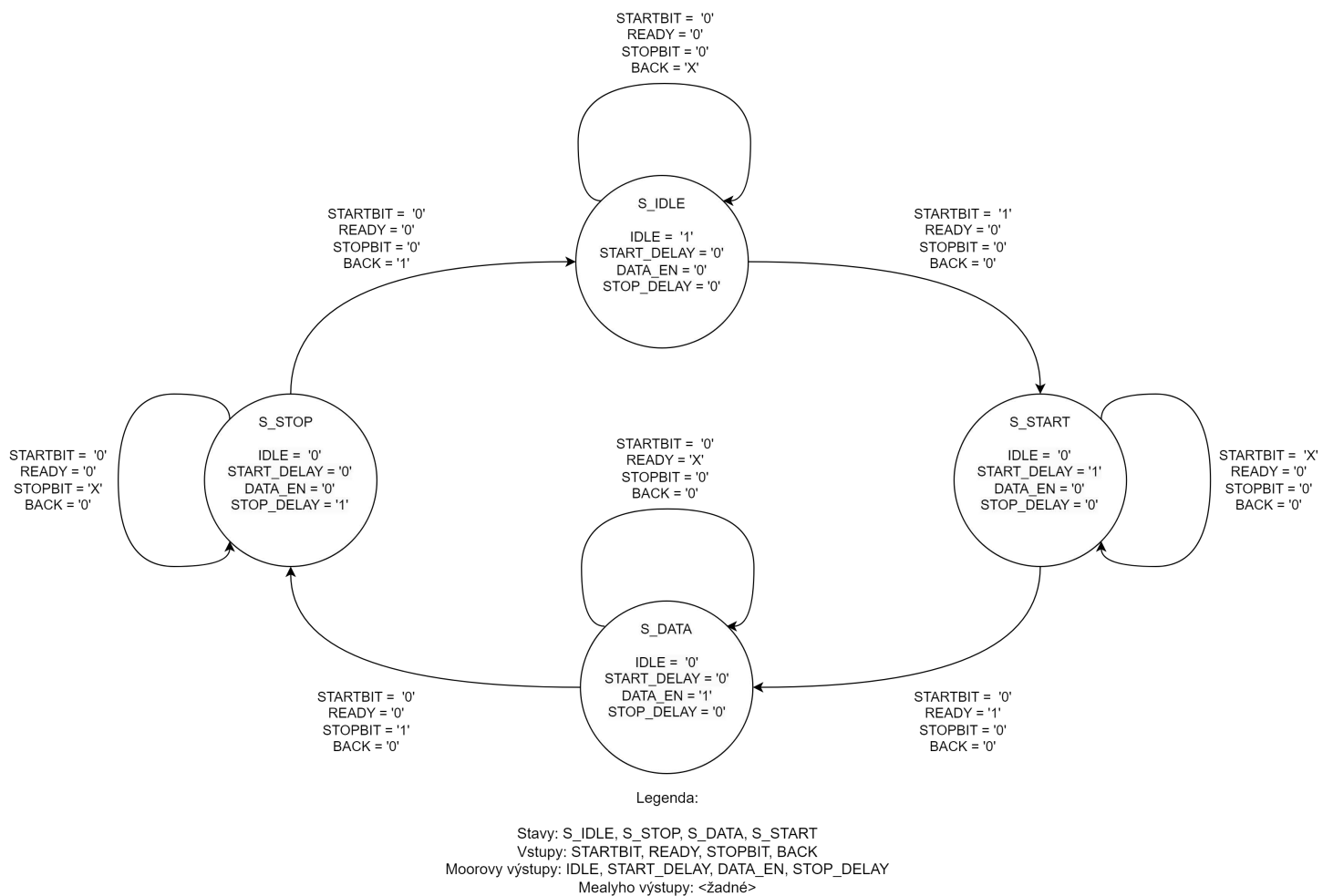


### Popis funkce

Obvod má 1bitový DIN vstup, 8bitový výstup DOUT[7:0], 1bitový výstup DOUT\_VLD a pracuje na 16x frekvence hodinového signalu. Při realizaci úloh byly použity čítače (CNT1 je 4bitový čítač s přenosovým výstupem a CNT2 je 7bitový čítač s přenosovým výstupem) a posuvný registr (SHIFT\_REG je 8bitový posuvný registr implementovaný pomocí 8 KO typu D). Obvod je řízen automatem FSM. Na vstupu jsou sériově přijímány bity, které jsou zapisovány do posuvného registru, poté je po ukončení procesu zápisu dán potvrzovací signál.

# Návrh automatu (Finite State Machine)

## Schéma automatu



## Popis funkce

Automat se spustí ve stavu S\_IDLE, v tomto okamžiku je aktivní pouze výstup IDLE. Když na DIN dorazí logická '0', automat se přepne do stavu S\_START.

Ve stavu S\_START je aktivní pouze výstup START\_DELAY. Automat tedy čeká 16 taktů hodinového signálu a poté přejde do stavu S\_DATA.

Ve stavu S\_DATA je aktivní pouze výstup DATA\_EN. Obvod tedy čeká 128 hodinových taktů a zapíše 8 bitů do posuvného registru. Po ukončení zápisu se automat přepne do stavu S\_STOP.

Ve stavu S\_STOP je aktivní pouze výstup STOP\_DELAY. Automat tedy čeká 16 taktů hodinového signálu a poté přejde do stavu S\_IDLE.

Snímek obrazovky ze simulací

