

Тест-план верификации 8-битного регистра сдвига

1 Тест-план

1.1 Сброс

Описание: Проверка `reset`.

1. Установить `reset = 1`, `clk` активно работает.
2. Проверить, что все биты регистра = 0.

Критерий успеха: После активации `reset` все биты регистра устанавливаются в 0.

1.2 Загрузка

Описание: Проверка `load` и сдвига на 0.

1. Обнулим значение регистра, предварительно подав сигнал `reset`.
2. Установить `load = 1`, `shift = 0` значение 10101010.
3. Проверить, что данные в регистре соответствуют 10101010.

Критерий успеха: Регистр загружает поданное значение при `load = 1`.

1.3 Сдвига влево

Описание: Проверка совершения сдвига влево.

Шаги:

1. Установить значение `load = 1`.
2. Записать в регистр значение `00011001`.
3. Установить `load = 0`, `shift = 1`.
4. Подать такт `clk`.
5. Проверить, что данные в регистре изменились на `00110010`.

Критерий успеха: Данные в регистре сдвигаются влево на 1 бит (т.е равны `00110010`).

1.4 Тест сдвига вправо

Описание: Проверка совершения сдвига вправо.

Шаги:

1. Установить значение `load = 1`.
2. Записать в регистр значение `00011001`.
3. Установить `load = 0`, `shift = 1`.
4. Подать такт `clk`.
5. Проверить, что данные в регистре изменились на `00001100`.

Критерий успеха: Данные в регистре сдвигаются вправо на 1 бит (т.е равны `00001100`).

1.5 Тест сдвига вправо

Описание: Проверка совершения сдвига вправо.

Шаги:

1. Установить значение `load = 1`.

2. Записать в регистр значение 00011001.
3. Установить `load = 0`, `shift = 1`.
4. Подать такт `clk`.
5. Проверить, что данные в регистре изменились на 00001100.

Критерий успеха: Данные в регистре сдвигаются вправо на 1 бит (т.е равны 00001100).

1.6 Сдвиг максимального значения

Описание: Проверка совершения сдвига вправо.

Шаги:

1. Установить значение `load = 1`.
2. Записать в регистр значение 11111111.
3. Установить `load = 0`, `shift = 1`.
4. Подать такт `clk`.
5. Проверить, что данные в регистре изменились на 01111111 в случае сдвига вправо и на 11111110 в случае сдвига влево.

Критерий успеха: Данные в регистре сдвигаются корректно (т.е равны 01111111 и 11111110 соответственно).

1.7 Тест сдвига вправо на 3 такта

Описание: Проверка совершения сдвига вправо на 3 такта.

Шаги:

1. Установить значение `load = 1`.
2. Записать в регистр значение 01011001.
3. Установить `load = 0`, `shift = 1`.
4. Подать такт `clk` 3 раза.

5. Проверить, что данные в регистре изменились на 00001011.

Критерий успеха: Данные в регистре сдвигаются вправо на 3 бита

.