

Лабораторна робота № 5

Проектування регістрів і лічильників

Мета роботи: отримання навичок проектування регістрів і лічильників за допомогою мов опису апаратури.

Зміст

Короткі теоретичні відомості	1
Тригери	1
RS-тригер	2
Синхронний RS-тригер	5
D - тригер	6
Лічильний тригер (Т-тригер)	6
Універсальний тригер (JK-тригер)	7
Регістри	8
Лічильники	12
Завдання для виконання	16
Вимоги до оформлення звіту	23
Контрольні питання	23
Література.....	24

Короткі теоретичні відомості

Тригери

Тригери призначені для запам'ятовування двійкової інформації.

Використання тригерів дозволяє реалізовувати пристрої оперативної пам'яті (тобто пам'яті, інформація в якій зберігається тільки на час обчислень). Однак тригери можуть використовуватися і для побудови деяких цифрових пристроїв з пам'яттю, таких як лічильники, перетворювачі послідовного коду в паралельний або цифрові лінії затримки.

RS-тригер

Основним тригером, на якому базуються всі інші тригери є RS-тригер.

RS-тригер має два логічних входу:

- R - установка 0 (від слова *reset*);
- S - установка 1 (від слова *set*).

RS-тригер має два виходи:

- Q - прямий;
- \overline{Q} - зворотний (інверсний).

Стан тригера визначається станом прямого виходу. Найпростіший RS-тригер складається з двох логічних елементів, охоплених перехресною позитивним зворотним зв'язком (рисунок 1).

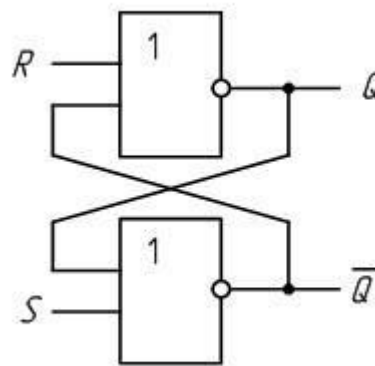


Рисунок 1 *Схема найпростішого RS- тригера*

Розглянемо роботу тригера:

Нехай $R = 0$, $S = 1$. Нижній логічний елемент виконує логічну функцію АБО-НІ, тобто 1 на будь-якому його вході призводить до того, що на його виході буде логічний нуль $Q = 0$. На виході Q буде 1 ($Q = 1$), тому що на обидва входи верхнього елемента подані нулі (один нуль - з входу R , інший - з виходу). Тригер знаходиться в одиничному стані. Якщо тепер прибрати сигнал установки ($R = 0$, $S = 0$), на виході ситуація не зміниться, тому що незважаючи на те, що на нижній вхід нижнього логічного елемента буде надходити 0, на

його верхній вхід надходить 1 з виходу верхнього логічного елемента. Тригер буде перебувати в одиничному стані, поки на вхід R надійде сигнал скидання. Нехай тепер $R = 1$, $S = 0$. Тоді $Q = 0$, $\bar{Q} = 1$. Тригер переключився в "0". Якщо після цього прибрати сигнал скидання ($R = 0$, $S = 0$), то все одно тригер не змінить свого стану.

Для опису роботи тригера використовують таблицю станів (переходів).

позначимо:

- $Q(t)$ - стан тригера до надходження сигналів (зміни на входах R і S);
- $Q(t + 1)$ - стан тригера після зміни на входах R і S.

Таблиця 1 - Таблиця переходів RS тригера в базисі АБО-НІ

R	S	Q (t)	Q (t + 1)	пояснення
0	0	0	0	Режим зберігання інформації $R = S = 0$
0	0	1	1	
0	1	0	1	Режим установки одиниці $S = 1$
0	1	1	1	
1	0	0	0	Режим установки нуля $R = 1$
1	0	1	0	
1	1	0	*	R = S = 1 заборонена комбінація
1	1	1	*	

RS-тригер можна побудувати і на елементах "І-НІ" (рисунок 2).

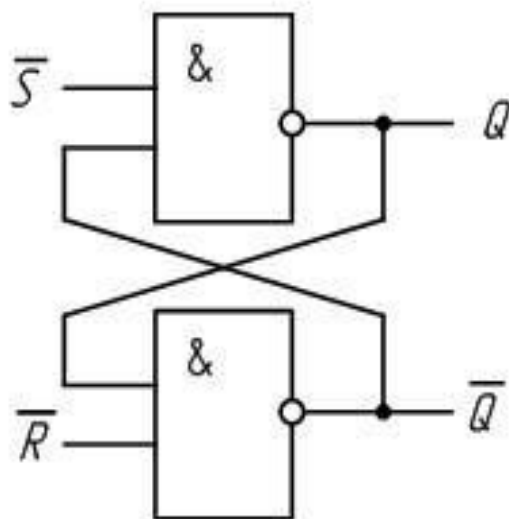


Рисунок 2 Схема RS-тригера, побудованого на схемах "2 І-НІ "

Входи R і S інверсні (активний рівень "0"). Перехід (перемикання) цього тригера з одного стану в інший відбувається при установці на одному з входів "0". Комбінація $R = S = 0$ є забороненою.

Таблиця 2 - Таблиця переходів RS тригера в базисі "2 І-НІ "

R	S	Q (t)	Q (t + 1)	пояснення
0	0	0	*	R = S = 0 заборонена комбінація
0	0	1	*	
0	1	0	0	Режим установки нуля R = 0
0	1	1	0	
1	0	0	1	Режим установки одиниці S = 0
1	0	1	1	
1	1	0	0	Режим зберігання інформації R = S = 1
1	1	1	1	

Синхронний RS-тригер

Схема RS-тригера дозволяє запам'ятовувати стан логічної схеми, але так як при зміні вхідних сигналів може виникати перехідний процес (в цифрових схемах цей процес називається "небезпечні гонки"), то запам'ятовувати стану логічної схеми потрібно тільки в певні моменти часу, коли всі перехідні процеси закінчені, і сигнал на виході комбінаційної схеми відповідає виконуваної нею функції. Це означає, що більшість цифрових схем вимагають сигналу синхронізації (тактового сигналу). Всі перехідні процеси в комбінаційної логічної схемою повинні закінчитися за час періоду синхросигналу, що подається на входи тригерів. Тригери, що запам'ятовують вхідні сигнали тільки в момент часу, який визначається сигналом синхронізації, називаються синхронними. Принципова схема синхронного RS тригера приведена на малюнку 3.

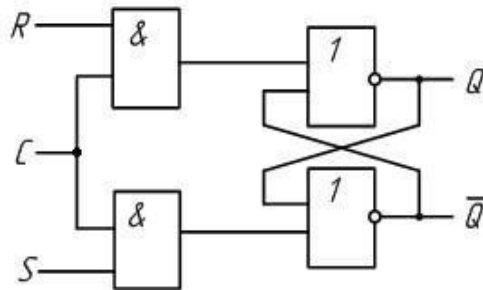


Рисунок 3 Схема синхронного RS-тригера

Таблиця 3 - Таблиця переходів синхронного RS-тригера

R	S	C	Q (t)	Q (t + 1)	пояснення
0	0	1	0	0	Режим зберігання інформації R = S = 0
0	0	1	1	1	
0	1	1	0	1	Режим установки одиниці S = 1
0	1	1	1	1	
1	0	1	0	0	Режим установки нуля R = 1
1	0	1	1	0	

1	1	1	0	*	R = S = 1 заборонена комбінація
1	1	1	1	*	

У таблиці 3. під сигналом С мається на увазі синхроімпульс. Без синхроімпульса синхронний RS тригер зберігає свій стан.

Д - тригер

Д-тригер має 1 інформаційний вхід (D-вхід). Бувають тільки синхронні Д-тригери. Стан інформаційного входу передається на вихід під дією синхроімпульса (вхід С).

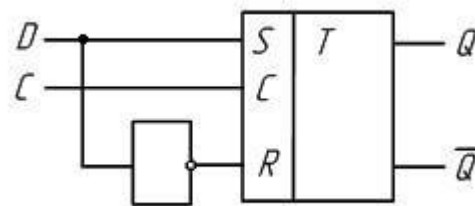


Рисунок 4 Схема Д-тригера на основі синхронного RS-тригера

Таблиця 4 - Таблиця переходів Д-тригера

С	Д	Q (t)	Q (t + 1)	пояснення
0	*	0	0	Режим зберігання інформації
0	*	1	1	
1	0	*	0	Режим запису інформації
1	1	*	1	

Якщо на вході D - "1", то по приходу синхроімпульса Q = 1. Якщо на D "0", то Q = 0.

Лічильний тригер (Т-тригер)

Т-тригер має один рахунковий інформаційний вхід. Триггер

перемикається кожен раз в протилежний стан, коли на вхід Т надходить керуючий сигнал.

Таблиця 5 - Таблиця переходів Т тригера

T	Q (t)	Q (t + 1)
0	0	0
0	1	1
1	0	1
1	1	0

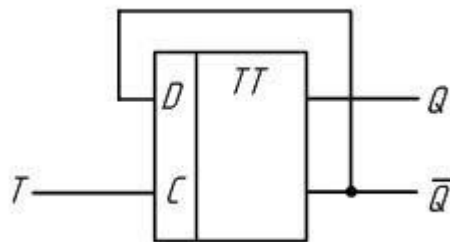


Рисунок 5 Схема Т-тригера на основі двоступеневого D-тригера

Універсальний тригер (JK-тригер)

Такий тригер має інформаційні входи J і K, які за своїм впливом аналогічні входам S і R тактируемого RS-тригера:

- при $J = 1, K = 0$ тригер по тактовому імпульсу встановлюється в стан $Q = 1$;
- при $J = 0, K = 1$ - перемикається в стан $Q = 0$;
- при $J = K = 0$ - зберігає раніше прийняту інформацію.

Але на відміну від синхронного RS-тригера одночасну присутність логічних 1 на інформаційних входах не є для JK-тригера забороненої комбінацією і призводить тригер в протилежний стан.

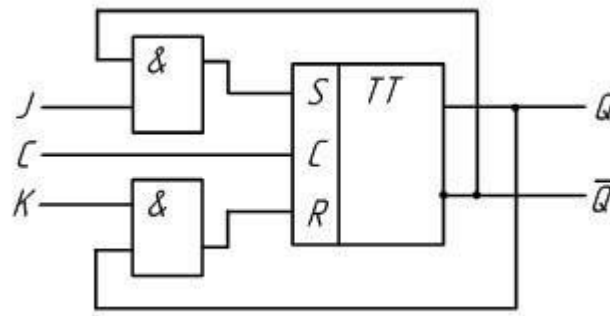


Рисунок 6 Схема JK-тригера на основі двоступеневого синхронного RS-тригера.

Таблиця 6 - Таблиця переходів JK тригера

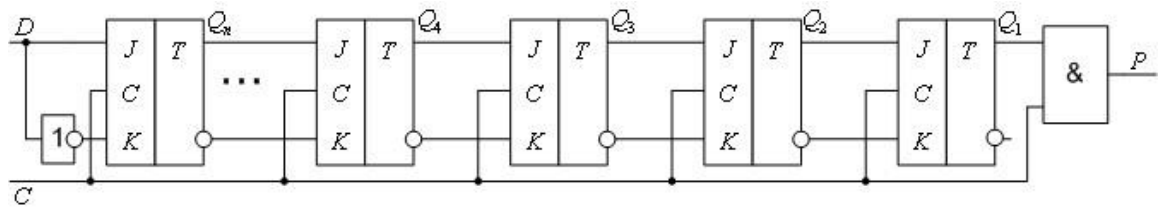
К	J	С	Q (t)	Q (t + 1)
0	0	1	0	0
0	0	1	1	1
0	1	1	0	1
0	1	1	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1
1	1	1	1	0

Регістри

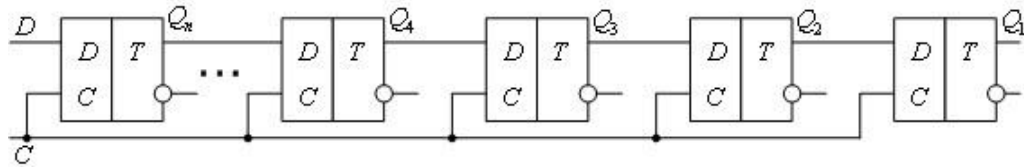
Регістром називається типовий функціональний вузол цифрової схеми, призначений для прийому, тимчасового зберігання, перетворення і видачі n - розрядного довічного слова. Регістр містить регулярний набір однотипних тригерів, в кожному з яких зберігається значення одного двійкового розряду машинного слова. Найбільш часто для побудови регістрів використовуються RS , JK і D -тригер.

Регістри, призначені тільки для прийому (записи), зберігання та передачі інформації, називаються елементарними або засувками. Регістри, які крім запису, можуть виконувати операцію зсуву, називають зсувними.

- послідовні - в таких регістрах запис і видача слів відбуваються розряд за розрядом в напрямку від молодших розрядів до старших або навпаки. Тактові входи таких регістрів так само об'єднані між собою. Послідовні регістри можуть виступати аналогом лінії затримки, вхідний сигнал якої послідовно перезаписується з тригера в тригер по фронту тактового сигналу С.
- універсальні - забезпечують як паралельний, так і послідовний обмін інформацією. Такі регістри мають входи-виходи одночасно послідовного і паралельного типу. Можливий варіант з послідовним входом і паралельним виходом, паралельним входом і послідовним входом.



а



б

Рисунок 8 *Схема регістра, що дозволяє виконувати перетворення послідовного коду в паралельні і навпаки (а), схема послідовно-паралельного регістра (б)*

- по числу ліній для подання значення одного розряду слова (біти інформації):
 - однофазні - значення кожного розряду слова передається по одній лінії зв'язку. Такі регістри, зазвичай, будуються на RS - і JK -тригер, в яких значення кожного розряду слова $A = A_n A_{n-1} \dots A_1$ надходить по одній лінії зв'язку на вхід S (або J) відповідних тригерів. Після зчитування записаної інформації регістр повинен обнулитися за загальним R (або K) входу:

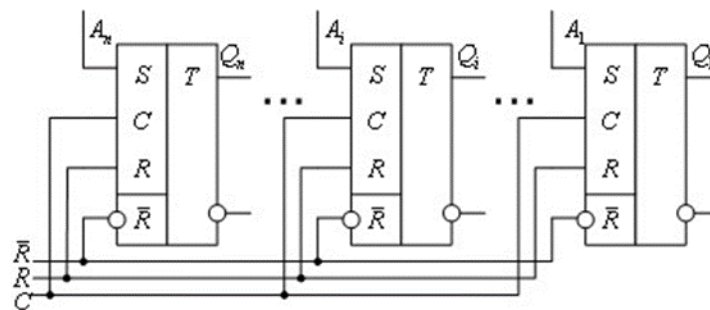


Рисунок 9 *Схема паралельного регістра на RS -тригерах з однофазної записом даних.*

- парафазні - значення кожного розряду слова передається по двох лініях (одночасно відображається пряме і інверсне значення розряду). При цьому пряме значення A_i надходить на вхід S (або J)

відповідного тригера, а інверсне значення $\overline{A_i}$ - на вхід R (або K). У цьому випадку не потрібно попереднього скидання регістра в стан «0», тому що таку функцію виконує сигнал $\overline{A_i}$.

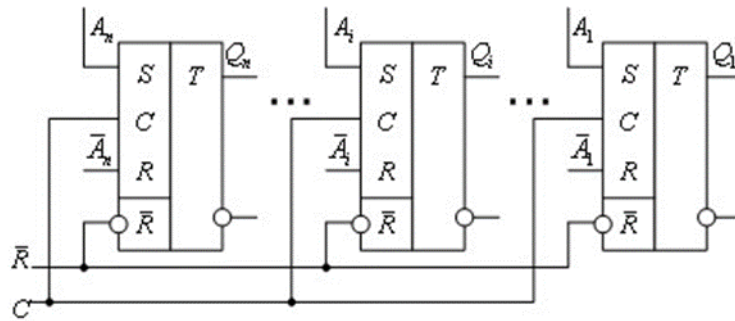


Рисунок 10 Схема паралельного регістра на RS-тригер з паразитного записом даних

- по числу тактів для запису слова:
 - однотоктний,
 - двотоктні,
 - багатотоктоного.
- за складом виконуваних операцій:
 - установчі,
 - записи,
 - зчитування,
 - і т.д.
- у напрямку зсуву (для послідовних регістрів):
 - односторонні
 - лівий зсув (в сторону старших розрядів),

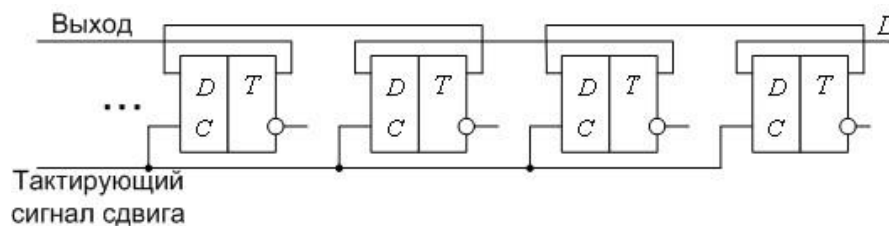


Рисунок 11 Схема зсувного регістру з лівим зрушенням на D-тригер

- правий зсув (в сторону молодших розрядів),

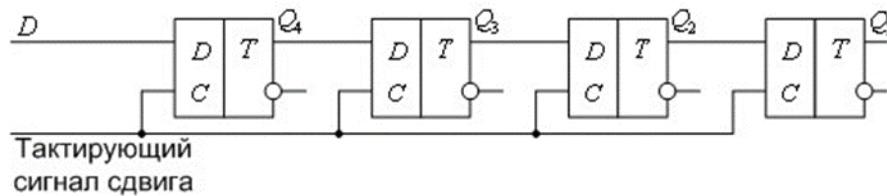


Рисунок 12 *Схема зсувного регістру з правим зрушенням на D -тригер*

- двосторонні (реверсні)

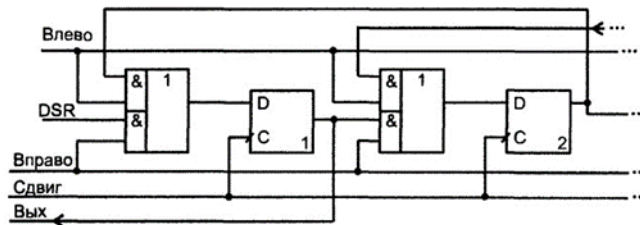


Рисунок 13 *Схема реверсного зсувного регістру на D -тригер*

- по типу використовуваних тригерів.

Лічильники

Лічильником називається типовий функціональний вузол комп'ютера, призначений для рахунку входних імпульсів в тому числі в іншому коді. Лічильник являє собою пов'язану ланцюжок Т - (JK , D) тригерів, що утворюють пам'ять із заданим числом стійких станів. Зазвичай лічильник так само виконує також і інші операції - скидання, установка, паралельна завантаження і т.д.

Основним параметр, який характеризує лічильник, є модуль лічильника (його ємність) M , який визначає число можливих станів лічильника. Після надходження на вхід лічильника M входних імпульсів починається новий цикл роботи лічильника, що повторює попередній.

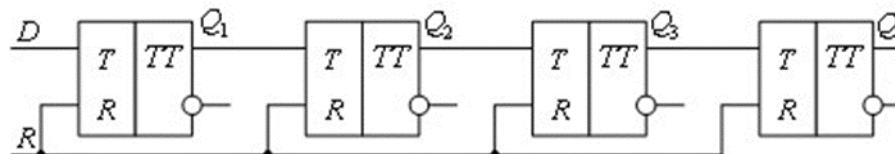


Рисунок 14 *Логічна структура лічильника*

Розрядність лічильника n дорівнює числу тригерів. При надходженні кожного наступного входного імпульсу змінюється стан лічильника, який

зберігається до надходження наступного сигналу. Кількість імпульсів, що надійшли на вхід лічильника можна вважати з виходів Q_i , причому число $Q_1 Q_2 \dots Q_n$ є двійковим поданням числа розрядів.

Виділяють три основні режими роботи лічильників:

1. Режим управління - в цьому режимі роботи зчитування інформації відбувається після кожного вхідного рахункового імпульсу,
2. Режим накопичення - в цьому режимі проводиться підрахунок заданого числа імпульсів або рахунок в перебігу певного часу,
3. Режим поділу (перерахунку) - зменшення числа отриманих імпульсів в K раз.

Існують кілька класифікаційних ознак лічильників:

– за напрямком рахунку виділяють:

- підсумовуючи лічильники (лічильники прямого рахунку). У таких лічильниках кожен додає імпульс U^+ збільшує стан лічильника на одиницю, тобто реалізує операцію інкремента. Зі стану $M - 1$ черговий сигнал U^+ повертає лічильник в початковий стан і видає сигнал переповнення P .

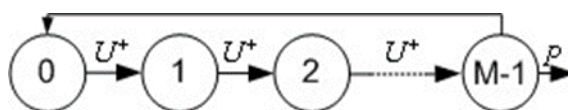


Рисунок 15 Граф підсумовуючого лічильника

- віднімаючи лічильники (лічильники зворотного рахунку). У таких лічильниках кожен віднімає імпульс U^- зменшує стан на одиницю, тобто реалізує операцію декремента. Після виконання M вирахувань видається сигнал позички Z і лічильник повертається в початковий стан.

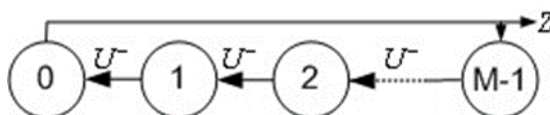


Рисунок 16 Граф віднімаючого лічильника

- реверсивні лічильники. Такі лічильники мають переходи в прямому і зворотному напрямках, що дозволяє добавляти і віднімати імпульси

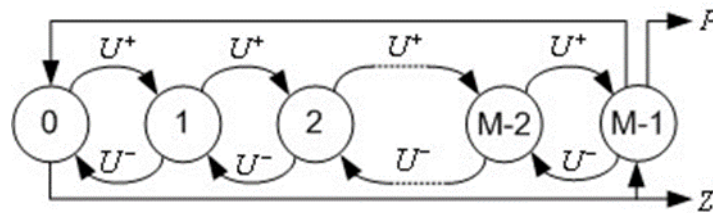


Рисунок 17 Граф реверсивного лічильника

– за способом кодування виділяють:

- позиційні лічильники. У таких лічильниках значення поточного стану лічильника визначається формулою $N = \sum_{i=1}^n r_i Q_i$, де r_i - вага i -того розряду і Q_i - значення на виході i -того тригера. Крім довічних лічильників, могу використовуватися і лічильники з довільним модулем:

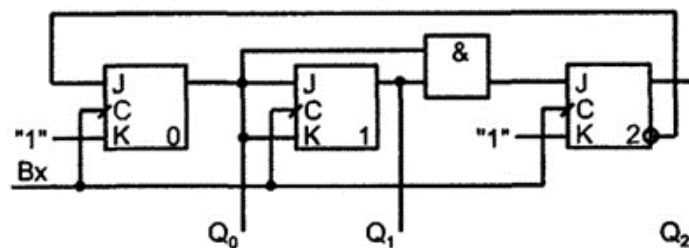


Рисунок 18 Схема лічильника з модулем 5

- непозиційної лічильники. Це лічильники, які використовують непозиційних кодування (наприклад, коди Грея, код Джонсона, код «1 з N» і т.д.). У таких лічильниках Q_i стану не мають певних терезів, і кожному стану $Q_1 Q_2 \dots Q_n$ відповідає своє число відліків.
- за способом організації межразрядних зв'язків виділяють:
- послідовні (з послідовними переносами, асинхронні). У таких лічильниках тригери перемикаються по черзі після кожного вхідного імпульсу в напрямку від молодших розрядів до старших.

- паралельні (з паралельними переносами, синхронні). У таких лічильниках тригери перемикаються одночасно після кожного вхідного імпульсу.

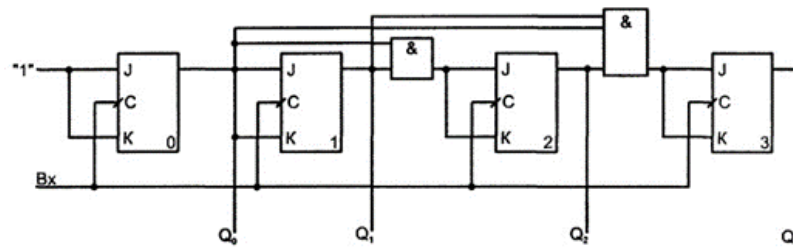


Рисунок 19 Схема паралельного лічильника прямого рахунку на JK - тригер

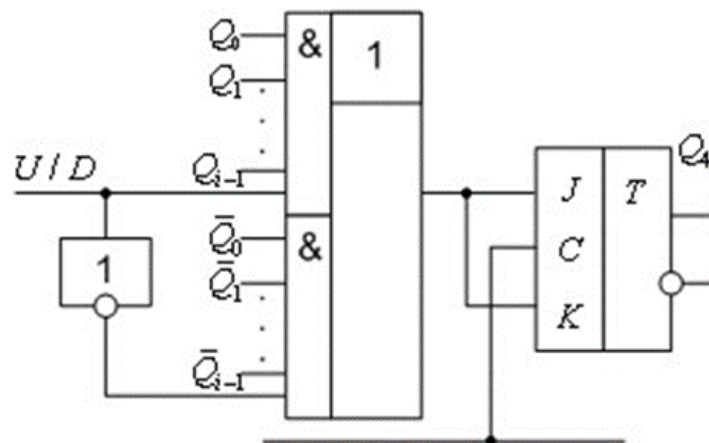


Рисунок 20 Схема паралельного лічильника реверсивного рахунку на JK - тригер

- наскрізні, і т.д.
- по модулю рахунку виділяють виконавчі, десяткові і ін.,
- за типом використовуваних тригерів - Т , JK , D.

Нижче наведемо кілька прикладів різних типів лічильників.

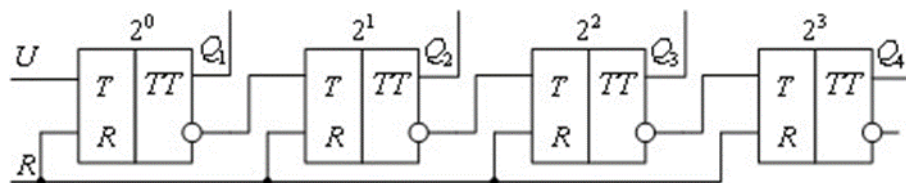


Рисунок 21 Асинхронний лічильник, що підсумовує на Т- тригерах з динамічним управлінням по фронту

Завдання для виконання

1. Дослідити асинхронний RS- тригер

Конфігурувати ПЛІС відповідно до малюнком 22. Файл lab8.ewb

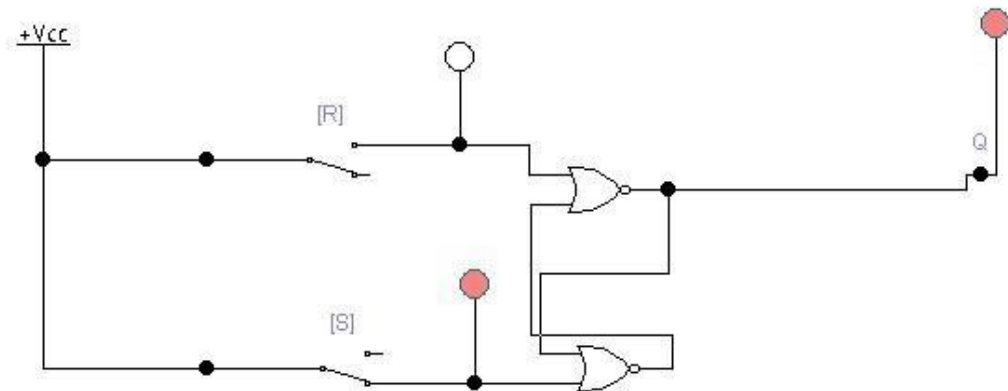


Рисунок 22 RS-тригер на основі логічних елементів "АБО-НІ"

Всі використовувані елементи розташовуються в Symbol tools-> Primitives.

Встановлюючи за допомогою перемикачів S7 і S8 різні комбінації логічних рівнів і спостерігаючи за світлодіодом LED8 заповнити таблицю 6

Таблиця 6 - Таблиця переходів для асинхронного RS тригера на елементах "АБО-НІ"

R	S	Q (t)	Q (t + 1)
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	

2. Дослідити синхронний RS тригер

Конфігурувати ПЛІС відповідно до малюнком 32. Lab8-1.ewb

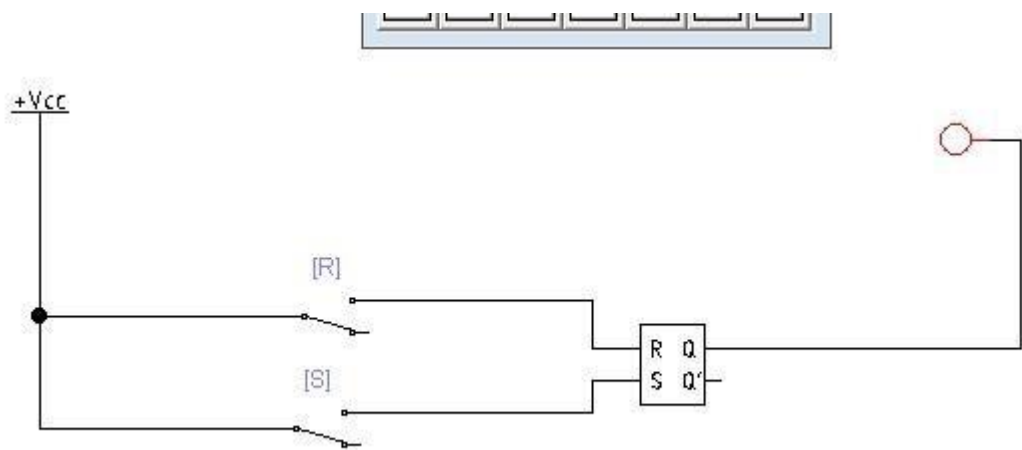


Рисунок 23 Синхронний RS-тригер

Тригер взяти з бібліотеки Primitives-> Storage. Встановлюючи за допомогою перемикачів S7 і S8 різні комбінації логічних рівнів і потім натискаючи на кнопку Button, заповнити таблицю переходів 7

Таблиця 7 - Таблиця переходів для синхронного RS тригера

R	S	C	Q (t)	Q (t + 1)
0	0	1	0	
0	0	1	1	
0	1	1	0	
0	1	1	1	
1	0	1	0	
1	0	1	1	
0	0	0	0	
0	0	0	1	
0	1	0	0	
0	1	0	1	
1	0	0	0	
1	0	0	1	

3. Дослідити D-тригер

Конфігурувати ПЛІС відповідно до малюнком 24. Lab8-2.ewb

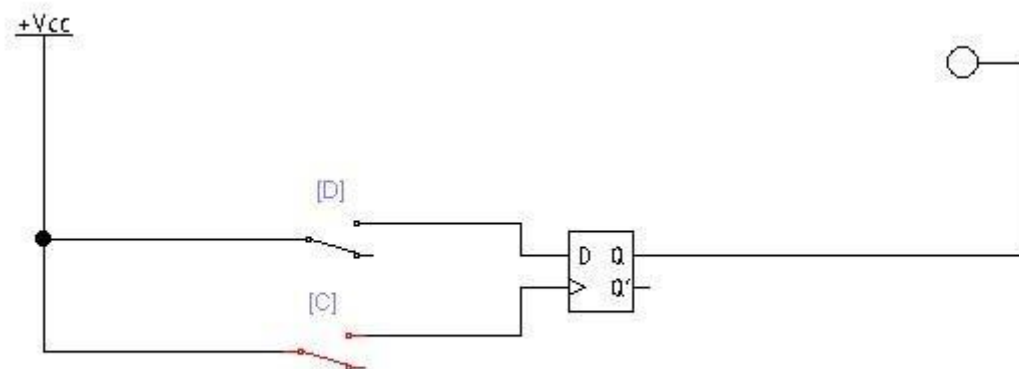


Рисунок 24 Схема D-тригера

Встановлюючи за допомогою перемикача S8 різні логічні рівні на виході D і потім натискаючи на кнопку Button, заповнити таблицю переходів 8.

Таблиця 8 - Таблиця переходів для синхронного D тригера

D	C	Q (t)	Q (t + 1)
*	0	0	
*	0	1	
0	1	0	
1	1	1	

4. Дослідження синхронного JK тригера

Конфігурувати ПЛІС відповідно до малюнком 25. Lab8-3.ewb

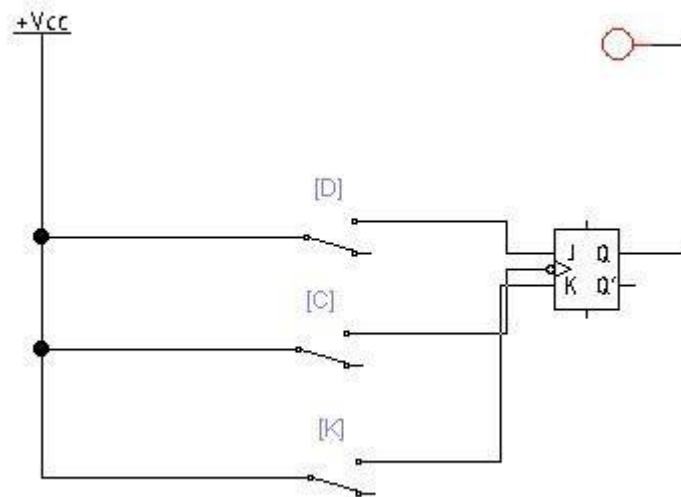


Рисунок 25 *Схема JK-тригера*

Блок Antitinking підключити так само як, було зроблено в попередньому завданні. Встановлюючи за допомогою перемикача S7 і S8 різні логічні рівні на входах J, K і потім, натискаючи на кнопку Button, заповнити таблицю переходів 9.

Таблиця 9 - Таблиця переходів для JK тригера

J	K	C	Q (t)	Q (t + 1)
0	0	1	0	
0	0	1	1	
0	1	1	0	
0	1	1	1	
1	0	1	0	
1	0	1	1	
1	1	1	0	
1	1	1	1	

5. Скласти схему регістра або лічильника, відповідно до варіанту.

Позначить вхідні, вихідні та керуючі сигнали

номер варіанта	Тип тригера, який використовується при розробці	завдання
1	RS	Побудувати 8- розрядний асинхронний послідовний регістр.
2	RS	Побудувати 4-розрядний синхронний (синхронізація за рахунок додавання логічних елементів) послідовний регістр керований рівнем.
3	RS	Побудувати 6 розрядний синхронний (синхронізація за рахунок додавання логічних елементів) паралельний регістр керований рівнем.
4	RS	Побудувати 4-розрядний послідовно паралельний синхронний регістр.
5	RS	Побудувати 4 розрядний паралельно послідовний синхронний регістр.
6	RS	Побудувати 8-розрядний синхронний зсувний регістр (тільки зрушення вправо).
7	RS	Побудувати 8- розрядний синхронний зсувний регістр (тільки зрушення вліво).
8	RS	Побудувати 4-розрядний синхронний зсувний регістр (універсальний).
9	RS	Побудувати 6 розрядний синхронний зсувний регістр (тільки зрушення вправо).

10	RS	Побудувати 6-розрядний синхронний зсувний регістр (тільки зрушення вліво).
11	RS	Побудувати 6 розрядний синхронний зсувний регістр (універсальний).
12	JK	Побудувати 8-розрядний асинхронний послідовний регістр.
13	JK	Побудувати 4 розрядний синхронний (синхронізація за рахунок додавання логічних елементів) послідовний регістр
14	JK	Побудувати 6 розрядний синхронний (синхронізація за рахунок додавання логічних елементів) паралельний регістр
15	JK	Побудувати 4-розрядний послідовно паралельний синхронний регістр.
16	JK	Побудувати 4-розрядний паралельно послідовний синхронний регістр.
17	JK	Побудувати сумуючий позиційний двійковий послідовний лічильник на 8 розрядів.
18	JK	Побудувати віднімає позиційний двійковий послідовний лічильник на 6 розрядів.
19	JK	Побудувати реверсивний позиційний двійковий послідовний лічильник на 4 розряду.
20	JK	Побудувати сумуючий позиційний двійковий паралельний лічильник на 8 розрядів.
21	JK	Побудувати віднімає позиційний двійковий паралельний лічильник на 6 розрядів.

22	JK	Побудувати реверсивний позиційний двійковий паралельний лічильник на 4 розряду.
23	T	Побудувати асинхронний сумуючий двійковий лічильник на 8 розрядів.
24	T	Побудувати асинхронний віднімає двійковий лічильник на 8 розрядів.
25	T	Побудувати асинхронний реверсивний двійковий лічильник на 8 розрядів.
26	T	Побудувати сумуючий позиційний двійковий послідовний лічильник на 6 розрядів.
27	T	Побудувати віднімає позиційний двійковий послідовний лічильник на 6 розрядів.
28	T	Побудувати реверсивний позиційний двійковий послідовний лічильник на 4 розряду.
29	T	Побудувати лічильник з модулем 3 на 4 розряду.
30	T	Побудувати сумуючий позиційний двійковий паралельний лічильник на 6 розрядів.
31	T	Побудувати віднімає позиційний двійковий паралельний лічильник на 6 розрядів.
32	T	Побудувати реверсивний позиційний двійковий паралельний лічильник на 4 розряду.
33	T	Побудувати лічильник з модулем 5 на 3 розряду.
34	D	Побудувати 8- розрядний синхронний послідовний регістр, керований рівнем
35	D	Побудувати 8-розрядний синхронний паралельний регістр, керований рівнем

36	D	Побудувати 8-розрядний синхронний зсувний регістр (тільки зрушення вправо), керований рівнем
37	D	Побудувати 8-розрядний синхронний зсувний регістр (тільки зрушення вліво), керований рівнем.
38	D	Побудувати 4 розрядний синхронний зсувний регістр (універсальний), керований фронтом.
39	D	Побудувати 8-розрядний синхронний паралельний регістр, керований фронтом.
40	D	Побудувати 8-розрядний синхронний послідовний регістр, керований фронтом.

Примітка: якщо у варіанті явно не вказано будь-якої параметр регістра / лічильника, то він може вибиратися студентом на його розсуд.

Вимоги до оформлення звіту

1. Протокол оформляється кожним студентом групи окремо.
2. Протокол повинен містити:
 - a. Титульний аркуш.
 - b. Завдання відповідно до варіанту.
 - c. Схему регістра (або лічильника) відповідно до варіанту.
 - d. Результати моделювання - результати виведення на екран і тимчасові діаграми.
 - e. Висновки про виконану роботу.
3. Захист роботи проводиться кожним студентом персонально.

Контрольні питання

1. Що таке регістр?
2. Які класифікації регістрів ви знаєте?

3. Що таке лічильник?
4. Які класифікації лічильників ви знаєте?
5. Які параметри лічильників ви знаєте?

Література.

1. Н.П. Бабич, І. А. Жуков, Комп'ютерна схемотехніка. Методи побудови та проектування.
2. Е.П. Угрюмов. Цифрова схемотехніка.