



Universidade Federal de Campina Grande
Departamento de Sistemas e Computação
Disciplina: *Organização e Arquitetura de Computadores I*
Prof. Joseana Macêdo Fachine Régis de Araújo

2º Exercício de Avaliação (Miniprova 1)

DATA: 19/08/2014

Matrícula	Nome	Nota
-----------	------	------

1. Responda as questões a seguir.

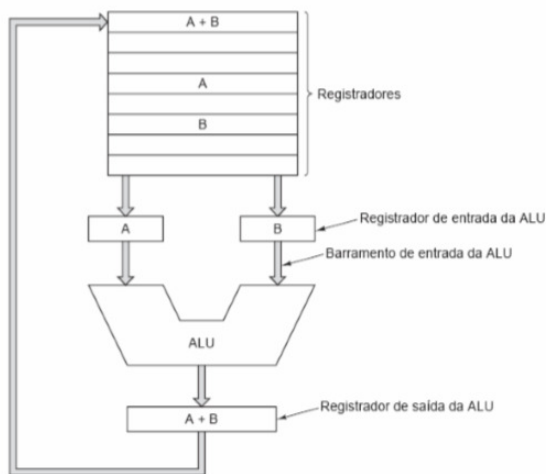
1.1 Considere as afirmações a seguir.

- 3,0
- I. Uma característica típica de uma arquitetura RISC é o conjunto reduzido de registradores.
 - II. Basicamente, “Little Endian” significa que o byte de menor ordem do número é armazenado na memória nos menores endereços, e os de maior ordem nos maiores endereços. “Big Endian” significa que os bytes de maior ordem de um número serão armazenados nos menores endereços, e os de menor ordem nos maiores endereços.
 - III. A arquitetura MIPS é uma arquitetura CISC que apresenta uma série de registradores de uso geral, além de ser caracterizada por apresentar uma operação elementar por ciclo de máquina.
 - IV. Se um computador é de 32 bits e outro de 64 bits, significa que esses computadores adotam células de memória com tamanho 32 e 64, respectivamente.

Está(ão) correta(s) apenas a(s) afirmativa(s):

- a) I, II e III. b) I, II e IV. c) II. d) IV.

1.2 Analise a operação de uma máquina cujo caminho de dados está representado na figura abaixo.



Considere que o tempo de carga dos registradores de entrada da ALU (*Arithmetic and Logic Unit*) é 5 ns, o tempo de execução da instrução na ALU é 10 ns e o armazenamento do resultado de volta no registrador demora 5 ns. Com base nessas informações, assinale a alternativa que contém o número máximo de MIPS que essa máquina é capaz de executar sem o emprego de paralelismo (uma única instrução executada por vez).

- a) 20 MIPS.
- b) 50 MIPS.
- c) 200 MIPS.
- d) 10 MIPS.
- e) 500 MIPS.

Obs.: MIPS (Milhões de Instruções Por Segundo)

1.3 Assinale a alternativa correta em relação à execução de instruções em uma máquina.

- a) Em geral, o processador vai à memória para buscar a instrução armazenada no endereço seguinte àquela que acabou de ser executada. Neste caso, o registrador IR (Registrador de Instrução) é acrescido do tamanho da instrução que acabou de ser executada.
- b) Quando existem desvios, o valor do registrador PC é uma função monótona do tempo.
- c) O procedimento quando termina sua tarefa retorna o controle para o comando ou a instrução seguinte à instrução de chamada.
- d) Uma chamada a procedimento não altera o fluxo de controle (sequência em que as instruções são dinamicamente executadas).

1.4 Considere que uma determinada instrução seja formada por dois campos: um código de operação e um operando. O campo referente ao operando contém o operando em si, ao invés de um endereço ou qualquer outra informação que descreva onde o operando está armazenado. Nesse caso, foi utilizado o modo de endereçamento:

- a) Imediato. b) Direto. c) Registrador. d) Indireto de registrador. e) Indexado.

1.5 Durante a execução de programas, alguns eventos inesperados podem ocorrer ocasionando um desvio forçado no seu fluxo de execução. Esses tipos de eventos são as interrupções, mecanismo que tornou possível a implementação de “Concorrência” nos computadores, sendo o fundamento básico dos sistemas multiprogramáveis. Dessa forma, é correto afirmar:

- I. Uma “interrupção” é sempre gerada por algum evento externo ao programa e, nesse caso, independe da instrução que está sendo executada.
- II. Uma “exceção” é semelhante a uma “interrupção”, sendo que a “exceção” é resultado direto da execução de uma instrução do próprio programa, como a divisão de um número por zero ou a ocorrência de overflow em uma operação aritmética.
- III. As “exceções” são decorrentes de eventos assíncronos, ou seja, não relacionados à instrução do programa corrente.
- IV. Um evento é denominado “assíncrono” quando é resultado direto da execução do programa corrente.

O correto está apenas em: a) I e II. b) I e IV. c) III e IV. d) II e III.

1.6 Numere a Coluna 2 para relacionar os métodos de comunicação com dispositivos de E/S (Entrada/Saída), listados na Coluna 1, com as características listadas na Coluna 2.

Coluna 1	Coluna 2
I. E/S Programada	() O dispositivo de E/S solicita o serviço ao processador quando está pronto para transferência de dados.
	() O processador deve examinar periodicamente o estado do dispositivo de E/S para verificar se a operação solicitada anteriormente foi completada.
II. E/S controlada por Interrupção	() Método que apresenta como desvantagem a maior demanda de CPU dentre os métodos considerados.
	() Neste método, quando a transferência de dados entre dispositivo de E/S e memória é concluída, o processador é notificado.
III. Acesso Direto à Memória	() Método que apresenta como vantagem a menor demanda de CPU dentre os métodos considerados.
	() Nenhuma ação é realizada pelo dispositivo de E/S para interromper o processador. Ou seja, o dispositivo não gera interrupção.

Assinale a alternativa que apresenta a sequência CORRETA, de cima para baixo.

- a) III – I – III – II – III – II b) I – II – I – II – II – II c) II – I – I – III – III – I d) II – II – II – I – II – III

1,0 2. Uma máquina M1 opera a 1400 MHz e possui 3 tipos de instruções: A, B e C, que gastam 1, 2 e 4 ciclos, respectivamente. Um determinado programa P executado nessa máquina utilizou 20% de instruções do tipo A, 30% de instruções do tipo B e 50% de instruções do tipo C. Uma máquina M2 possui também 3 tipos de instruções: D, E e F, que gastam 3, 4 e 5 ciclos, respectivamente. O programa P, ao ser executado em M2, utilizou 30% de instruções do tipo D, 40% de instruções do tipo E e 30% de instruções do tipo F. Qual a frequência de operação que a máquina M2 deve ter para que o programa P execute no mesmo tempo em ambas as máquinas?

1,5 3. Um computador tem um registrador R e um conjunto de instruções de um operando, todas com modo de endereçamento indireto. Três destas instruções são especificadas a seguir.

LD: Cópia da memória principal para o registrador R.

AC: Adiciona da memória principal ao registrador R.

ST: Move do registrador R para a memória principal.

Considere o programa apresentado abaixo, executado no computador, acessando o bloco de memória principal, cuja situação inicial é mostrada ao lado.

Instrução	Memória	
	Endereço	Valor armazenado
LD 01H	00H	01H
AC 02H	01H	02H
ST 03H	02H	03H
	03H	04H
	04H	05H

Considere que tanto o endereçamento quanto os valores envolvidos nas operações utilizam apenas um byte de memória cada. Após a execução do programa, qual será, em hexadecimal, a soma dos valores armazenados no bloco de memória?

4. Considere o trecho de código abaixo (Assembly de uma máquina MIPS) e responda as questões a seguir.
- 2,0 a) Para cada instrução executada, complete a tabela informando o endereço de memória onde esta será armazenada, a operação realizada e o conteúdo dos registradores envolvidos após sua execução.
- b) Substitua `sll $s1, $s1, 2` por `sll $s1, $s1, 1` e informe qual o resultado final dos registradores envolvidos.
- c) Apresente o código de máquina da instrução `add $s1, $s1, $s0`.

Endereço de memória	Instrução	Operação realizada	Conteúdo dos registradores envolvidos
0x00002000	<code>addi \$s0, \$0, 4</code>		
	<code>addi \$s1, \$0, 1</code>		
	<code>sll \$s1, \$s1, 2</code>		
	<code>bne \$s0, \$s1, target</code>		
	<code>addi \$s1, \$s1, 1</code>		
	<code>sub \$s1, \$s1, \$s0</code>		
<code>target:</code>	<code>add \$s1, \$s1, \$s0</code>		

5. Para o programa a seguir (Escrito em Linguagem C e em Assembly MIPS), informe (justifique suas respostas):
- 2,5 a) Qual é a operação realizada e qual é o resultado desta operação;
- b) O que representa cada valor destacado por um círculo na Tabela do Código Executável;
- c) Qual o objetivo das instruções `addi $sp, $sp, -4` e `sw $ra, 0($sp)`;
- d) O que estará armazenado nos endereços 0x10000000, 0x10000004 e 0x10000008 ao final da execução.

```
// Programa em C
int f, g, y; // global variables

int main (void)
{
    f = 2;
    g = 3;
    y = sum (f, g);
    return y;
}

int sum (int a, int b)
{
    return (a + b);
}
```

```
# Assembly
.data
f:
g:
y:
.text
main:
    addi $sp, $sp, -4
    sw $ra, 0($sp)
    addi $a0, $0, 2
    sw $a0, f
    addi $a1, $0, 3
    sw $a1, g
    jal sum
    sw $v0, y
    lw $ra, 0($sp)
    addi $sp, $sp, 4
    jr $ra
sum:
    add $v0, $a0, $a1
    jr $ra
```

Executable file header	Text Size	Data Size
	0x34 (52 bytes)	0xC (12 bytes)
Text segment	Address	Instruction
	0x00400000	0x23BDFFFC
	0x00400004	0xAFBF0000
	0x00400008	0x20040002
	0x0040000C	0xAF848000
	0x00400010	0x20050003
	0x00400014	0xAF858004
	0x00400018	0x0C10000B
	0x0040001C	0xAF828008
	0x00400020	0x8FBF0000
	0x00400024	0x23BD0004
	0x00400028	0x03E00008
	0x0040002C	0x00851020
	0x00400030	0x03E00008
Data segment	Address	Data
	0x10000000	f
	0x10000004	g
	0x10000008	y

SUCESSO!