ChipTop:

1）CLK gating==>wesley 说 chiptop 会做

2）提供16组dummy register，要求HK CPU和8051都可见，给cmd queue

3）8051 与ARM之间有mail box interrupt支援（包括mailbox register）

~~4）tommy 跟wisley对BW table~~

~~5）和wesley一起敲定chiptop 通讯图~~

**8051：**

**Done**

1. 和RD确认8051 全速loop RIU register or MIU non-cache DRAM 时对RIU BUS or MIU BW产生的冲击有多严重
   1. **8051内置SRAM多大，SW需要把32组ring队列read/write pointer 存进SRAM来避免8051全速loop对RIU/MIU造成的冲击。真正的队列存在于DRAM**
      1. ARM A9 CPU需要通过MBX 来通知8051更新ring队列 write pointer 位置
      2. 8051 主动通知A9 read pointer更新位置 or read pointer 也放一份备份在DARM？

🡺8051 有自己的DATA　ＳＲＡＭ　１ＫＢ

🡺8051 直接从ＰＭ　ｄｏｍａｉｎ　ＲＩＵ去ｌｏｏｐ　ＶＩＦ　ｒｅｇｉｓｔｅｒ，不会干扰到ｎｏｎ－ｐｍ　ＲＩＵ

🡪VIF ringbuf read/write pointer 需要存放在８０５１ＳＲＡＭ，否则８０５１的ｌｏｏｐ　ｒｅａｄ会对ＭＩＵ造成很大的ＢＷ干扰

－〉ＨＫ　ＣＰＵ　通过ｍｂｘ　通知８０５１　ｕｐｄａｔｅ　ｗｒｉｔｅｐｏｉｎｔｅｒ，预计每秒最多１３５０［可以考虑合并优化］



**ISP\_SC:**

**DONE**

1. ISP\_SC里面的SC0/SC1/SC2/SC3四个MIU output端口，可以per frame的由SW 控制是否mask掉MIU write【本次frame task不输出数据】
   * 1. ==》jeff lin确认OK
2. ISP\_SC有一根综合的output done interrupt，它是综合SC1/SC2/SC3/SC4各个output端口的done状态的结果【细节如下】：

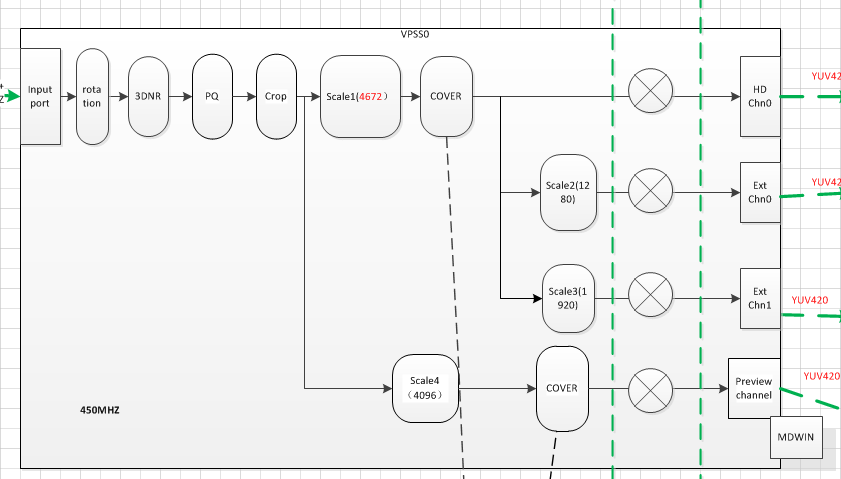
a）被SW mask 掉【不输错数据到MIU】的端口，立即标记为【done】

b）各个output端口会数width/height 线，确认本端口已经输出完整frame后本端口状态为完成【done】

c）IP\_SC 的综合的SC1/2/3/4的【done】状态，生成 ISP\_SC 总体的done interrupt+register status bit

===》jeff lin 确认OK

1. Scaler1/2/3/4 line buffer 规格为SC1 (4672)， SC2 HD(1280)， SC3 FHD(1920)， SC4 4K(4096)。拓扑结构如下图



1. 3DNR HW内部状态快速多路stream之间切换的机制==》
2. 3DNR SW perframe更新index+base address，其他状态3DNR engine已经记录在DRAM
3. 其他ISP bayer color domain color processing电路的设定不会per frame调整？==》需要hm 来确认
4. ISP SC4 增加MDWIN 和MGWIN做格式配对[per jeff.lin, MDWIN&MGWIN都做在disp block以节省整合时间，只支援MDWIN&MGWIN 之间的SW mode]=**=〉请jeff lin确认一套MDWIN+MGWIN不含压缩时330K gatecount还是包含压缩330K gatecount；如果加压缩的话会没路各加50K 共计100K的gatecount。**
5. XC 通路4个输出端口的压缩能力的规格==>除了MGWIN，都支援YUV420，不支援8to6压缩
6. ISP\_SC BLOCK TOP CLK gating 🡺确认OK
7. 3DNR 多路stream快速切换时，noise NE double buffer 配合cmdq使用场景下如何update ， HW会新增2种方式：1）auto update 2） manual update==〉YS确认会增加
8. ISP import 口要支援MFDEC+TILE mode==》确认DIP 可以跑到400MHZ ，所以不用加。

**待确认：**

1. 和hm/ian 对比Hxxx PQ选项，指定出mstar自己的PQ选项。包括3DNR&ISP==》下午对
2. 客户要求 要么支援OSD 自动反色，a）这个需要OSD AE 统计值autodownload+autoupload 到DRAM的功能。或者b）客户要求mstar提供指定区域统计亮度histogram的功能，客户自己在APP里面去做反色。===〉方案a）osdb&xc top designer 都表示来不及做，**所以要讨论方案b）的可行性**
3. PQ部分的register(peaking，gamma，VIP，etc)，如何快速在多个stream之间切换。需要注明哪些table支援menuload，哪些有shadow register，速度是否够。==〉hm 帮忙确认（hm 已经下task给alice **，何时反馈？**）
4. 2个16 win MGWIN可以combine以至于客户PIP需求==〉jeff lin确认
5. Wesley去确认是否要拔除MDWIN+MGWIN的8to6压缩电路

**VIF:**

**DONE**

1. VIF 主通道和扩增通道如何per frame（bit mask控制输出），这个需要和ming&designer沟通==〉
2. alice 对每个VIF stream，提供2个输出端口，一个是1：1 resolution[main]， 1个是H/方向都缩小1/2的端口[sub port]
3. 同一对VIF main/sub port，可以独立的per frame切换是否 输出到MIU
4. 对main/sub port，提供独立的shadow address register，形式大体如下

【baseaddr：block miu write bit：fire bit】，

1. 其中base adder是输出phy address， 在block miu write bit为1时无效。
2. block miu write bit表示此时输出是否在送到DRAM前block住， 要求block miu write bit即使为1，hw也要继续数线到下一个vsync才能去吃下一笔double buffer register 值。如果对此段话有疑问，可以咨询ming chen
3. fire bit：sw 每次更新double register 值时填，如何HW完成从shadow register到内部电路的sync，则自动清0。如果对此段话有疑问，可以咨询ming chen。
4. VIF main/prescaling 通道自由切换framerate的机制（how to control drop frame）。

==〉确认了，8051SW配合 shadow adderess register的方式来做

**待确认：**

1. 对main/sub port，提供机制让SW 可以读出VIF已经完成输出的last frame
2. 4路独立BT656输入，要拉4路interrupt status bit +interrupt mask ，同时or出一根interrupt连线到chiptop
3. VIF prescaling H方向prescaling down 算法会做成什么样子？V 方向SW接受直接drop line的方式来缩放1/2，需要alice 确认最终会用哪种V stretch 1/2算法？
   * 1. 另外H/V是否可以独立控制？

**DIP:**

**DONE**

1. 可靠的idle bit？及interrupt支援==》确认OK
2. DIP 输出端口的压缩能力的规格，及和MGWIN格式对接==》需要增加MGWIN的，MDWIN做在DISP BLOCK节省整合时间，同时保留YUV420 direct output的能力
3. DIP 保留支援VDEC tile，MFDEC支援==》确认现在就有
4. DIP 快速多路切换的机制(3DDI/2DDI/TNR)==》sam hung 来确认
   1. buff control 还好， SW 控制index+base
5. 3DDI 用到TNR的motion功能，BW到底几份？ ==〉1 src field 读+2 field read(motion)+1 field write(motion)+output 1frame
   * 1. 3DDI 需要4个internal field buffer， sw切换index&base【RD提供演算法，C2P】，比C2P少了FILM & FOD
     2. tommy.sun确认C2P的multiwin 状况
6. 3DDI 的throughpout ==》sam hung来确认==》和DIP 同速

**待确认**

1. 找designer 对2DDI/3DDI 　ＴＮＲ　SW可控制参数，以及ｐｅｒｆｒａｍｅ需要ｃｈａｎｇｅ的ｒｅｇｉｓｔｅｒ==》ｗｅｓｌｅｙ帮忙找ｈｅｒｂｉｅ确认数目及ｐｅｒｆｒａｍｅ　ｃｍｄｑ单向ｕｐｄａｔｅ的可行性，然后ｔｏｍｍｙ再安ｓｗ　ｅｎｇｉｎｅｅｒ进来对ｓｐｅｃ

DISP:

**DONE**

1. MGWIn GOP size及对齐要求==》H/V 2pixel 对齐
2. MGWIN double Buffer能力==>确认有
3. DISP0/1都支援2个mix点是否可以？==〉目前MGWIN以handshake 输入，以IP mux 方式和MVOP互斥，和GOP工作方式不一样，所以不支援2个mix点
4. DISP0 串DISP1的机制和限制，找designer确认==〉确认OK
5. VE out 是否要过国标🡺wesley 确认 OK
6. Ben确认CVBS out可以从绑定HDMI output port改为绑定到VGA output port



GOP:

**DONE**

1. ＩＳＰ　ＧＯＰ这边是做［４套２ＧＷＩｎ版本］还是做［８套１ＧＷＩＮ版本+ｍｉｘ点做３个ｍｉｘｅｒ共计１２个ｍｉｘｅｒ］🡺derrick ｗｕ会研究

＝〉ＩＳＰ　ＧＯＰ总共是８套，１２　ｍｉｘｅｒ

1. ＤＩＰ　比较特别，只支援１个ＧＷＩＮ，它的规格和ＩＳＰ　ＧＯＰ一致

＝〉ＤＩＰ　ＧＯＰ做一套，１个ｍｉｘｅｒ，规格和ＩＳＰ　ＧＯＰ一致

1. ＩＳＰGOP支援global alpha， pixel alpha, ARGB1555 alpha 0 & 1 指定alpha值， 支援color key，ｎｏｓｃａｌｉｎｇ
2. ＦＢ　ＧＯＰ支援　ＡＲＧＢ８８８８，　ＲＧＢ５６５，ＡＲＧＢ４４４４，ＡＲＧＢ１５５５（ARGB1555 alpha 0 & 1 指定alpha值），至于ｃｏｌｏｒｋｅｙ
3. ＨＷ　ｃｕｒｓｏｒ　ＯＫ
4. ＦＢ　ＧＯＰ　＆ＨＷ　ｃｕｒｓｏｒ可以在ＤＩＳＰ０　＆　ＤＩＳＰ１　切换

**待确认**

1. OSD 叠加GOP的自动反色功能==〉目前需要客户APP介入，需要VPSS直方图输出支援＝〉ｙｕｎｃｈｕｎ去给ｈｍ解释直方图的用法和需求，然后请ｈｍ实现
2. １２ｍｉｘｅｒ　反色怎么做＝〉ｄｅｒｒｉｃｋ　ｗｕ找ｊｕｓｔｉｎ　ｌｕｏ去确认

VDEC:

VENC:

**待确认**

1. 可靠的idle bit？及interrupt支援
2. RC控制在cmdq下的运用
3. ROI 原理
4. ROI区域和非ROI区域不同framerate，和RD探讨可行性
5. 与RD对一下 H264 PQ/predication 参数
6. 请RD 提供H264/H265 APN/register SPEC
7. VENC(H264/H265) RC 原理，对比Hxxx 做功能确认

CMDQ:

**ｄｏｎｅ**

1. Cmd sram砍到8KB， 做4套，
2. Interrupt client支援 ISP\_SC done interrupt， DIP done interrupt，H264 VENC done interrupt，H265 VENC done interrupt，DISP0 OP vsync， DISP1 OP vsync， VIF 4个独立的BT656 vsync interrupt 共10个interrupt
3. CMDQ支援bit mask write

**待确认**

1. CMDQ支援polling cmd

Audio：

**待确认**

1. review Audio New architecture
2. mstar audio SRC/音效选项，通路限制