

Appunti Architettura

Andreas Araya Osorio

October 6, 2021

1 TODO

1.1 Interruzioni

Il meccanismo tramite il quale dei moduli possono interrompere la normale di sequenza di esecuzione.

- Program
- Timer
- I/O
- Guasto Hardware

Si interrompe per

- efficienza elaborazione

Ciclo interruzione:

- viene aggiunto al ciclo di esecuzione
- la cpu controlla (fetch) le interruzioni pendenti
- se non ce ne sono, prende la prossima istruzione
- se ce ne sono:
 - sospende esecuzione
 - salva contesto
 - imposta il pc all'indirizzo di inizio del programma di gestione

- esegue il programma di gestione dell'hardware
- rimette il contesto al suo posto e continua il programma interrotto

In caso di interruzioni multiple: esistono vari livelli di interruzione. Le int. di basso livello hanno minore priorità rispetto a quelle di alto livello. Il sistema operativo blocca quelle di basso livello per risolvere quelle di alto livello e così via

1.2 Connessioni

Tutti i componenti **devono** essere connessi

Esistono vari tipi di connessioni per vari tipi di componenti

- CPU
- Memoria
- I/O

1.3 Bus

Tutti i dispositivi sono collegati dal bus di sistema

Il bus:

1. collega **2 o più** dispositivi
2. mezzo trasmissione condiviso
3. un segnale trasmesso ad un bus è disponibile a tutti i dispositivi
4. arbitro bus: solo un dispositivo alla volta può trasmettere
5. varie linee di comunicazione (trasmettono uno 0 o un 1)
6. varie linee trasmettono in parallelo numeri binari. Un bus da 8 bit trasmette un dato di 8 bit

Bus di sistema:

- connette cpu, i/o, M
- da 50 a qualche centinaio di linee
- 3 gruppi di linee
 1. bus dati

2. indirizzi
3. controllo

Bus dati:

- trasporta dati o istruzioni
- ampiezza \rightarrow efficienza del sistema
 - con poche linee \rightarrow accessi in memoria

Bus indirizzi

- indica sorgente o destinazione dati
- l'ampiezza determina la massima quantità di M indirizzabile

Bus controllo

- per controllare accesso, uso linee dati e indirizzi
 1. M write
 2. M read
 3. richiesta bus
 4. bus grant
 5. interrupt request
 6. clock

Bus usage: se un modulo vuole inviare dati ad un altro:

- bus grant
- data transfer

se un module vuole ricevere dati da un altro:

- bus grant
- trasferire una richiesta all'altro modulo sulle linee di controllo
- attendere invio dati

Bus singoli e multipli

- singolo bus = ritardo e congestione
- vari bus = risoluzione problema

1.4 Temporizzazione

- Coordinazione degli eventi su un bus
- Sincrona
 - clock determined events
 - single clock line
 - single sequence is a clock cycle
 - every device connected to the bus can read the clock line
 - every event starts at the beginning of a clock cycle