

BİL 264/265

2021-2022 Güz Dönemi Projesi

İçindekiler

Giriş	2
Proje İsterleri	2
İş Bölümü ve Raporlama	4
Değerlendirme	5

Giriş

Günümüzde hesaplama ağırlıklı çoğu devrede (yapay zeka hızlandırıcıları, işlemciler, vb.) kayan noktalı (-ing. floating point) sayı işlemleri önemli yer kaplamaktadır. Tek-duyarlıklı kayan nokta sayıları (-ing single precision floating-point) IEEE-754 ile gösterilmektedir. 32-bit genişliğindeki bu sayıların mantissa, exponent ve sign olarak üç tür bit grubu bulunmaktadır.

Projenizde kayan noktalı sayı işlemlerini boru hattı ile gerçekleştiren devreyi Verilog kullanarak FPGA’de gerçekleştirilebilir bir şekilde tasarlayacaksınız.

Proje İsterleri

Bu projede tasarlayacağınız kayan noktalı işlem hesaplayıcının dört fonksiyonu bulunacaktır: toplama, çıkarma, çarpma ve bölme. Yapılan işlemin sonucu, aynı girişler gibi 32-bit genişliğinde tek-duyarlıklı kayan noktalı sayı olacaktır. İşlem sonucu, içeride tanımlanan 8192 satırlı 32 sütunlu “sonuc_belleği” isimli bir bellekte saklanacaktır.

Hesaplayıcı birden çok boru hattı aşamasına sahip olmak zorundadır. Bu sayede tasarlanan modül paralellğe sahip olacaktır ve verimliliği artacaktır. Örnek olarak buyruğu ayrıştırma bir aşama, işlemi gerçekleştirme birden çok aşama veya işlem sonucunu belleğe yazma bir aşama olabilir. Tüm aşamalar/işlemler saatin yükselen kenarında gerçekleşmelidir. Boru hattının nasıl tasarlandığı tamamen size aittir. Burada herhangi bir üst kısıt yoktur. Tasarımınızın verimliliği/paralellği puanlamadaki ana etkenlerden biridir.

İşlem yapılacak sayılar, işlemin türü ve kaydedileceği adres “buyruk” isimli girişten gelmektedir.

En anlamlı bittten başlayarak;

- 2-bit işlem türü;
 - 2'b00: Toplama
 - 2'b01: Çarpma
 - 2'b10: Çıkarma
 - 2'b11: Bölme
- 32-bit ilk kayan noktalı sayı,
- 32-bit ikinci kayan noktalı sayı,
- 13-bit kaydedilecek adres değeri

Devreniz *rst* sinyali mantık-1 olduğu zaman, boru hattındaki tüm işlemler sonlandırılıp başlangıç durumuna dönmesi beklenir.

Devrenizde olması gereken giriş, çıkış ve modül içi sinyalleri Tablo 1’de gösterilmiştir.

Tablo 1 - Devrenizin giriş-çıkış ve modül içi sinyalleri

Sinyal Yönü	Sinyal		Açıklama
Giriş	clk		Saat sinyali.
Giriş	rst		“Reset” sinyali.
Giriş	buyruk[78:0]	(buyruğun en anlamlı tarafı) işlem [1:0]	Hangi işlemin yapılması gerektiğini gösteren giriş 00: Toplam 01: Çıkarma 10: Çarpma 11: Bölme
		sayi1[31:0]	İlk sayı girişi
		sayi2[31:0]	İkinci sayı girişi
		(buyruğun en anlamsız tarafı) adres[12:0]	sonuc_belleginde kaydedilecek adres değeri
Yazmaç	sonuc_bellegi[8192][32]		Modülün içinde tanımlanması gereken ve hesaplanan sonuçları saklayan register tipindeki değişken
Çıkış	cikis[31:0]		Bulunulan çevrimde hesaplanan sonucu
Çıkış	cikis_gecerli		cikis değişkeninin geçerli (.ing valid) olduğunu gösteren 1 çıkış sinyali

İş Bölümü ve Raporlama

Projenizde iş dağılımını olabildiğince eşit bir şekilde yapmalısınız. Proje raporlarınızda başlangıçta yaptığınız iş dağılımını, projenizin bu dağılıma göre ilerleyip ilerlemediğini ve proje grubu üyelerinin ne işler yaptığını açıklayın. Bir Verilog modülü tasarladıysanız bu modülün ne yaptığını, parça parça kod yazdıysanız da bu kodların ne işe yaradığını iki-üç cümle ile açıklayın.

Proje Teslim Raporu

Proje raporunda bulunması gereken kısımlar şunlardır:

1. **Giriş**
2. **Proje Tasarımı:** Proje tasarımınızı bu kısımda anlatmalısınız.
 - Devrenizi özetleyen bir diyagram çizin.
 - Devrenizdeki temel parçaları belirleyin ve bu temel parçaların işlevlerini anlatın.
 - Aşağıda örneği verilen Tablo 2'yi tasarımınıza uygun olacak şekilde raporunuza ekleyiniz.
3. **Karşılaşılan Zorluklar ve Bulunan Çözümler:** Projeyi gerçekleştirirken karşılaştığınız zorlukları ve bunlara ne gibi çözümler getirdiğinizi bu kısımda anlatacaksınız. Sorunların kaynağını ve çözümünüzü seçim sebeplerinizi anlatacaksınız.
4. **İş Bölümü:** Her grup üyesinin bir paragrafla projeye katkısını anlatacağı kısım. İş Bölümü adlı başlıkta yazanı dikkate alarak doldurun.
5. **Zamanlama Analizi**
6. **Kaynakça**

Gerek duymanız halinde bu kısımlara ekleme yapabilirsiniz.

Tablo 2 - Devrenizin her işlem için gereken çevrim sayısı

İşlem	Girişten sonuç çıkana kadar gereken çevrim
Toplama	...
Çıkarma	...
Çarpma	...
Bölme	...

Değerlendirme

Projeleriniz donanımda test edilecektir. Tüm işlemleri gerçekleştiren projeler arasında bir başarımlı kıyaslaması yapılacaktır ve bu değerlendirme sonucu proje notlarınızı etkileyecektir

Projenizi yazarken kodunuz ile ilgili gerekli optimizasyonların yapıldığından emin olunuz. Sizlerden verilog ile yazılan kodun başarımlıını arttırmak için gerekenleri araştırmanızı ve projenize uygulamanızı bekliyoruz.

Projelerinizin değerlendirmesine raporunuz da dahildir.

Teslim edilen projelerin birbirleriyle ve dış kaynaklarla olan benzerliği ölçülecektir. Benzerlik oranının yüksek olması kopya kabul edilecek ve kopya tespit edilen projeler için ilgili yönetmelikler dikkate alınacaktır.