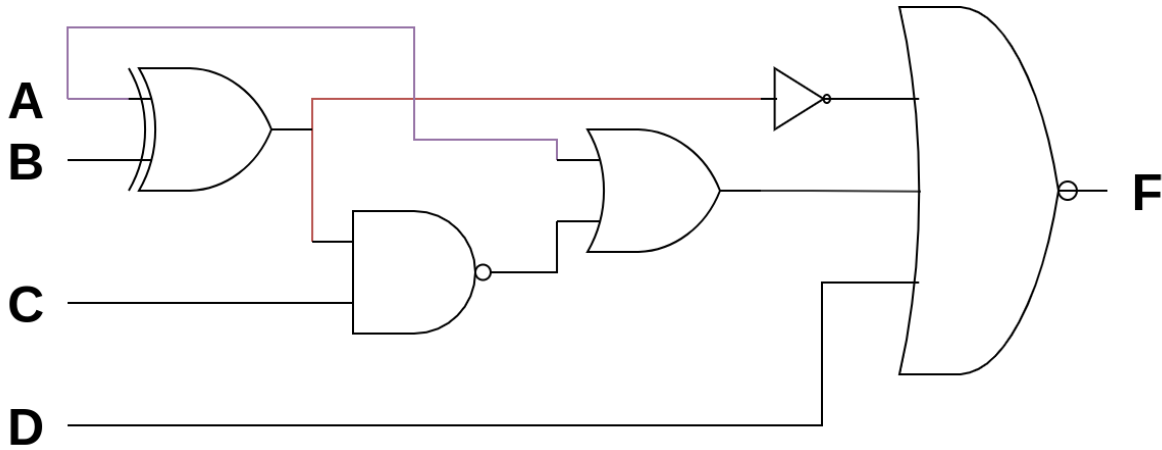


**Not:** Verilen giriş, çıkış ve modül isimlerinin farklı olması durumunda(büyük/küçük harf dahil) puan kırılacaktır.

1. [27 Puan] Şekli verilen mantıksal devrelerin kodlanması

a. [10 Puan] Kapılar

Bu soru için ödevde eklemeniz gereken verilog dosyasının adı “**kapilar.v**” olmalıdır.



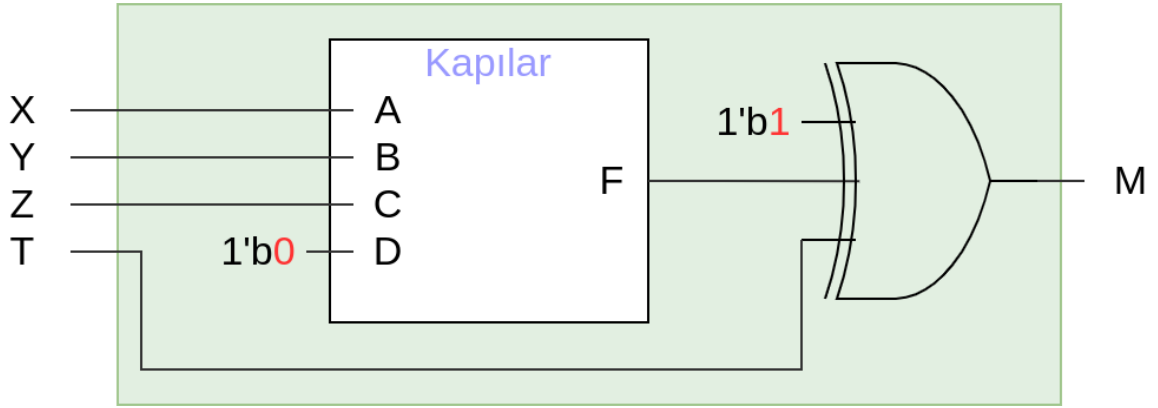
Yukarıda verilen kapı seviyesindeki tasarımı, Verilog dilinde **kapı seviyesinde** kodlayınız. Oluşturduğunuz modüle “**kapilar**” ismini verin.

Birden fazla kapıya giriş olarak gelen sinyallerde karışıklık olmaması için renkli yapılmıştır. A sinyali mor, A ve B sinyallerinin işlemi sonrası oluşan sinyal ise kırmızı renktedir.

Not: Şekilde tüm giriş ve çıkışlar büyük harf ile isimlendirilmiştir.

**b. [17 Puan] Hiyerarşik Devre**

Bu şık için ödevde eklemeniz gereken verilog dosyasının adı "**hiyerarsik\_devre.v**" olmalıdır.



Yukarıda verilen hiyerarşik kapı seviyesindeki tasarımı, Verilog dilinde **kapı seviyesinde** kodlayınız. Oluşturduğunuz modüle "**hiyerarsik\_devre**" ismini verin.

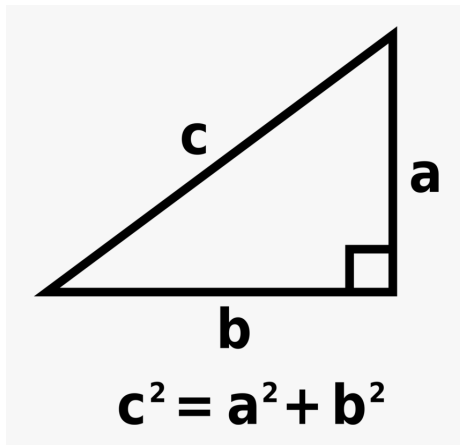
Bu devreyi tasarlarken a şıkında oluşturduğunuz kapılar devresini kullanın. Hiyerarşik devre tasarımı giriş olarak X,Y,Z ve T sinyallerinden, çıkış olarak ise M sinyalinden oluşmaktadır. Şekildeki bağlantıyı sağlayacak şekilde tasarımınızı gerçekleştirin. Not: Şekilde tüm giriş ve çıkışlar büyük harf ile isimlendirilmiştir.

**2. [55 Puan] Çok bitli devrelere giriş**

**a. [17 puan] Hipotenüs hesaplama**

Bu şık için ödevde eklemeniz gereken verilog dosyasının adı "**hipotenus.v**" olmalıdır.

Modülünüzün giriş sinyallerinin ismi a ve b, çıkış sinyalinin ismi ise c olmalıdır.



Bir üçgenin iki dik kenarını giriş olarak alan ve hipotenüs uzunluğunu çıkış olarak veren devreyi Verilog dilinde **kapı seviyesinde** kodlayınız. Oluşturduğunuz modüle "**hipotenus**" ismini verin.

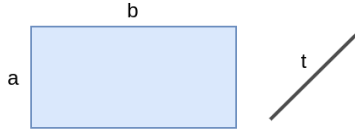
Hipotenüs devresine giriş olarak her biri 2-bit uzunluğunda olan a ve b sinyalleri gelmektedir. Hipotenüs uzunluğunu temsilen c sinyali de çıkış olarak verilecektir. Bu sinyalin uzunluğunu sizin belirlemeniz gerekmektedir. Alabileceği tüm değerleri kapsayan en kısa bit uzunluğunu seçin.

İşlem sonucu eğer köklü bir sayı çıkıyorsa o sayıyı en yakın tam sayıya yuvarlayın. Örneğin sonuç  $\sqrt{15}$  ise c çıkışı 4 olmalı, eğer sonuç  $\sqrt{12}$  ise c çıkışı 3 değerini almalıdır.

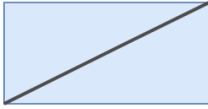
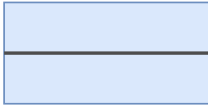
**b. [38 Puan] Çubuk Yerleştirme**

Bu şık için ödevde eklemeniz gereken verilog dosyasının adı "**cubuk\_yerlestirme.v**" olmalıdır.

Modülünüzün giriş sinyallerinin ismi a,b ve t çıkış sinyalinizin ismi ise f olmalıdır.



Boyutları a ve b olan bir kutuya t uzunluğunda bir çubuk yerleştirilmeye çalışılacaktır. Yandaki şekilde olabilecek bazı senaryolar görselleştirilmiştir.



Giriş olarak kutunun boyutlarını (a,b) ve çubuğun uzunluğunu (t) alan ve eğer çubuk bu kutuya sığıyorsa mantık-1 sığmıyorsa mantık-0 çıkışı verecek devreyi Verilog dilinde **kapı seviyesinde** kodlayınız.

a ve b sinyallerinin uzunluğu 2-bit, t sinyalinin uzunluğu ise 3-bittir. Oluşturduğunuz modüle "**cubuk\_yerlestirme**" ismini verin.

**3. [18 puan] 2-bit Çıkarıcı**

Bu soru için ödevde eklemeniz gereken verilog dosyasının adı "**ikibit\_cikarici.v**" olmalıdır.

Bu modülün giriş ve çıkışları aşağıdaki gibidir:

**sayi1:** 2-bitlik çıkarma işleminin değeri sayi2'den büyük eşit olan giriş sinyali

**sayi2:** 2-bitlik çıkarma işleminin değeri sayi1'den küçük eşit olan giriş sinyali

**sonuc:** Çıkarma işleminin sonucuna sahip olan çıkış sinyali

Bu soruda sayi1 girişinden sayi2 girişini çıkaran 2-bitlik çıkarıcı yapan devreyi Verilog dilinde **kapı seviyesinde** kodlayınız. Oluşturduğunuz modüle "**ikibit\_cikarici**" ismini verin. Bu modülü tasarlarken her zaman  $sayi1 \geq sayi2$  eşitliğinin olacağını kabul edin.