**QuartusII软件的使用**

Quartus II是美国Altera公司推出的一个集成化的开发环境，可进行数字系统设计、综合布线、验证和仿真等。(Altera公司2015年被Intel公司以167亿美元收购）

**一、Quartus II 图形输入法**

**进入项目管理器窗口；工作对象是Project，每个Project是一个系统设计的总和，包括了一系列子设计文件。（可以理解为软件设计中的模块）**

**Step1、建立项目**

**统一要求：**1）路径在D盘下；2）总的文件夹是你的名字（不能出现汉字）；3）每一个项目一个独立的文件夹（工作目录）；4）项目构建过程中生成的所有文件全部放在该项目文件夹路径下；5）Project 名和你的顶层设计文件名一定要相同。

**Step2、建立原理图文件**（\*.bdf文件，也称作框图文件/概要文件：Block Diagram/Schematic File）

利用原理图编辑器完成：添加元件→连线→端口命名→保存文件

**Step3、目标器件选择（所用元件的系列及型号的选定）**

**说明：**选择Unused Pins 选项卡，将所有未使用到的管脚全部置为三态输入（as input tri-stated）

**Step4、Project编译（由quartus II编译器完成）**

编译过程可能报错，是个迭代的过程；有错不行，warning信息可忽略。最终生成器件的目标文件（\*.pof文件和\*.sof文件）

**Step5、引脚分配（参照指导书P63附录2对照表）**

1）绑定引脚：为输入、输出引脚指定具体的引脚编号；

2）绑定引脚后，需重新编译。

**Step6、编程下载（由quartus II 的编程器Progammer完成）**

1）需连接实验箱（ByteBlaster MV并口下载电缆，通过QuartusII软件下载数据）；

2）添加sof文件；3）下载模式选定为JTAG（(Joint Test Action Group;联合测试工作组)是一种国际标准测试协议(IEEE 1149.1兼容),主要用于芯片内部测试。）

**Step7、生成器件符号图**（供层次化设计过程中的顶层项目文件复用）

1）可作为另一个Project的子项目，或者理解为一个可供复用的构件；

2）生成\*.bsf文件（Block Symbol File:块符号文件）

**Step8、验证和仿真（由Quartus II 仿真器完成）**

选定Verification/Debugging Files（修改指导书）→选择向量波形文件（Vector Waveform File）→添加节点（Node），利用节点发现器（Node Finder）找到待验证的器件→选定相应的输入、输出引脚→添加输入信号的波形文件→保存波形文件（生成\*.vwf文件）

**说明：**我们的实验完全可以在实验箱上进行现场验证，观察效果更佳。

**二、层次化设计方法的应用**

一个实际的Project都是由很多的功能模块互相连接而成的，而其中部分模块还可能由更小的子模块构成。（**自上而下的设计，自下而上的实现**）

1、建立新的Project

2、打开用户工作库（添加已生成器件符号图的器件）

3、完成新的原理图设计；再重复（一）中的**Step** 1~ **Step** 7个步骤。根据需要决定是否需要重复**Step8。**

**三、本周实验任务**

1、熟悉实验台及Quartus II 开发环境；

2、设计8位寄存器（参考P36实验五）；设计二选一（每路数据宽度8位）多路选择器（参考P31实验1）

3、生成符号图，留存，以供将来的实验所用。

# 附录1 JYS实验系统硬件平台资源和FPGA引脚连接表

硬件实验平台上可提供给用户使用的资源主要包括输入开关、输出发光二极管指示灯、单脉冲和连续脉冲等；其中输入开关共有24个（K23 ~ K0），发光二极管指示灯共72只，其中LR15 ~ LR0、LD15 ~ LD0、LA15 ~ LA2共46只可由用户随意使用（**LA1、LA0由系统占用，用户不能使用**），L23 ~ L0用于显示微指令寄存器内容，即当前执行的微指令。

**1. 开关K23 ~ K0与FPGA芯片的引脚连接**

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **开关号** | **K23** | **K22** | **K21** | **K20** | **K19** | **K18** | **K17** | **K16** | **K15** | **K14** | **K13** | **K12** |
| **引脚号** | **107** | **130** | **129** | **208** | **28** | **27** | **24** | **23** | **76** | **75** | **74** | **72** |
| **开关号** | **K11** | **K10** | **K9** | **K8** | **K7** | **K6** | **K5** | **K4** | **K3** | **K2** | **K1** | **K0** |
| **引脚号** | **70** | **69** | **68** | **67** | **88** | **87** | **86** | **84** | **82** | **81** | **80** | **77** |

**2. 发光二极管指示灯与FPGA芯片的引脚连接**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **发光管** | **LA15** | **LA14** | **LA13** | **LA12** | **LA11** | **LA10** | **LA9** | **LA8** | **LA7** | **LA6** | **LA5** | **LA4** | **LA3** | **LA2** | **LA1** | **LA0** |
| **引脚号** | **33** | **31** | **30** | **15** | **14** | **13** | **12** | **11** | **10** | **8** | **6** | **5** | **4** | **3** | **系统占用** | |
| **发光管** | **LD15** | **LD14** | **LD13** | **LD12** | **LD11** | **LD10** | **LD9** | **LD8** | **LD7** | **LD6** | **LD5** | **LD4** | **LD3** | **LD2** | **LD1** | **LD0** |
| **引脚号** | **141** | **139** | **138** | **137** | **135** | **134** | **133** | **128** | **44** | **43** | **41** | **40** | **39** | **37** | **35** | **34** |
| **发光管** | **LR15** | **LR14** | **LR13** | **LR12** | **LR11** | **LR10** | **LR9** | **LR8** | **LR7** | **LR6** | **LR5** | **LR4** | **LR3** | **LR2** | **LR1** | **LR0** |
| **引脚号** | **165** | **164** | **163** | **162** | **161** | **160** | **152** | **151** | **150** | **149** | **147** | **146** | **145** | **144** | **143** | **142** |

**3. RAM地址线与FPGA芯片的引脚连接**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **RAM地址线** | **A’7** | **A’6** | **A’5** | **A’4** | **A’3** | **A’2** | **A’1** | **A’0** |
| **引脚号** | **179** | **176** | **175** | **173** | **171** | **170** | **169** | **168** |

**4. RAM数据线（双向）与FPGA芯片的引脚连接**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **RAM数据线** | **D’7** | **D’6** | **D’5** | **D’4** | **D’3** | **D’2** | **D’1** | **D’0** |
| **引脚号** | **201** | **200** | **199** | **198** | **197** | **195** | **193** | **192** |

**5. ROM地址线与FPGA芯片的引脚连接**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **ROM地址线** | **AD7** | **AD6** | **AD5** | **AD4** | **AD3** | **AD2** | **AD1** | **AD0** |
| **引脚号** | **191** | **189** | **188** | **187** | **185** | **182** | **181** | **180** |

**6. 微指令数据输入：**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **uIR23** | **uIR22** | **uIR21** | **uIR20** | **uIR19** | **uIR18** | **uIR17** | **uIR16** | **uIR15** | **uIR14** | **uIR13** | **uIR12** |
| **127** | **118** | **117** | **116** | **115** | **114** | **113** | **112** | **110** | **108** | **106** | **105** |
| **uIR11** | **uIR10** | **uIR9** | **uIR8** | **uIR7** | **uIR6** | **uIR5** | **uIR4** | **uIR3** | **uIR2** | **uIR1** | **uIR0** |
| **104** | **103** | **102** | **101** | **99** | **97** | **96** | **95** | **94** | **92** | **90** | **89** |

**7. 其他信号与FPGA芯片的引脚连接**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **信号名** | μRD | CPμIR | rd | wr | **连续脉冲** | **单脉冲** | **CPU复位** |
| **引脚号** | **60** | **61** | **63** | **64** | **131** | **132** | **206** |

表中：μRD为ROM读信号、CPμIR为微指令寄存器时钟信号、rd为RAM读信号、wr为RAM写信号、连续脉冲可在2Hz、4Hz 、8Hz 、16Hz、32Hz 、64Hz 、128Hz、256Hz 、512Hz 、1024Hz 和2048Hz中选择，占空比为1:1、单脉冲为宽度20ms的负脉冲（无抖动，按单脉冲键）。

**补充： Quartus II元件库中常用的元件名称**

Quartus II的元件放在不同的库中，调用时如果用Quartus II的默认路径，那么只要输入所要器件的名称或型号就可以了，常用的元件如下：

and2 and3 and4 and6 and8 一般与门

band： band2 band3 band4 band6 band8 输入反向与门

bdir bdirc 双向端口、可控双向端口

bnand2 bnand3 bnand4 bnand6 bnand8 输入反向与非门

bnor2 bnor3 bnor4 bnor6 bnor8 输入反向或非门

bor2 bor3 bor4 bor6 bor8 输入反向或门

carry cascade globol exp icell mcell opndrn soft wire 缓冲或连接 constant 常量

dff dffe带低电平置位/清零的D触发器，后者带使能端

gnd 接地

input inputc 输入端口

jkff jkffe 带低电平置位/清零的JK触发器，后者带使能端

latch D锁存器

nand2 nand3 nand4 nand6 nand8与非门

47

nor2 nor3 nor4 nor6 nor8 或非门

not 反相器

or2 or3 or4 or6 or8 或门

output outputc 输出端口

param 量

srff srffe 带低电平置位/清零的RS触发器，后者带使能端

tff tffe 带低电平置位/清零的t触发器，后者带使能端

title 标题框

tri三态门

vcc正电源

xnor同或门 xor异或门

161mux 16-1选择器，81mux 8-1选择器，21mux 2-1选择器

16cudslr 16位计数/移位

16dmux 16ndux 4-16 译码器

2x8mux 8位2选1

4count 4位计数器

按功能分类：

门电路：

7400、7420 、7430、7437、7440、74133/134—与非门，7402、7427、 7428、74260—或非门，7404—非门，7408、7410、7411、7421—与门，7432、7423/25—或门，7450/51/53/54/55/64—与或非门，7452—与或门，7486、74135、74386—异或门。同类门输入端个数不同而有不同型号。

码制转换：

7442/45/445—BCD码-十进制码转换器，7443—余3-十进制码转换器，7444—格雷码-十进制码转换器，7446/47/48/49/246/247/248—BCD-7段译码器，74137/138—3-8译码器，

74139/155/156 双2-4译码器，74143—4位计数或7段译码器，74145—BCD码-十进制码转换器， 74154—4-16译码器， 74184—BCD码—二进制码转换器，74185—二进制码—BCD码转换器，74147/148—编码器。

数据选择：

74151/153/157/158/251/253/257/258/298/352/353/354/356/398/399—数据选择器。算术运算：

7480/82/83、74183、74283—全加器，74385—加/减法器，74284/285—4位×4位并行二进制乘法器，7485、74518/684/686/688/—比较器，74181/381/382/ 7487—并行加法器， 74180/280—奇偶发生器，7497—六位同步二进制比率乘法器，74167—四位同步十进制比率乘法器，74261—2×4乘法器

总线缓冲：

74240/241/244/465/466/467/468/540/541—8位总线缓冲，74365/366/367/368—16位总线缓冲，74265—互补输出。

锁存、触发器：

7470/71/72/73/76/78/107/109/112/113/114//276/376—JK触发器，

7474/171/273/374/377/378/379/821/822/823/824/825/826—D触发器，

7475/77/116/373 /375/841/842/843/844/845/846/990—D锁存器，74279—RS锁存器，74259—地址锁存器，74549—管道锁存器

计数分频：

48

7456/57、74292/294—分频器，74160、7468—十进制计数器，74161、7469—二进制计数器，7490/92/93/176/177/196/197/592—N进制计数器

74162/163/168/169/191/192/193/293/393/490/568/569/668/669/690/691/693/696/697/698/699/—N进制计数器。74190/290—加/减法十进制计数器，74390—双计数器。

移位寄存：

7491/94/95/96/164/165/166/178/179/194/195/198/199/295/299/589/590/594/595/597/673—移位寄存器，7498/99/173/174/175/604—寄存器，74278/348—优先寄存器，74395/671/672/674—4 位可级联移位寄存器，74670—4x4三态输出寄存器，74172—16位寄存器堆，74548—管道寄存器，74396—8位存储器。

其他：

74182—超前进位发生器，74297—数字锁相环，74350—4位转换器，