

2021 年北京工业大学软件工程专业《计算机组成原理》科目期末试卷

B (有答案)

一、选择题

1、某一计算机采用主存 Cache 存储层次结构，主存容量有 8 个块，Cache 容量有 4 个块，采取直接映射方式。若主存块地址流为 0, 1, 2, 5, 4, 6, 4, 7, 1, 2, 4, 1, 3, 7, 2，一开始 Cache 为空，此期间 Cache 的命中率为（ ）。

A.13.3% B.20% C.26.7% D.33.3%

2、有效容量为 128KB 的 Cache，每块 16B，8 路组相联。字节地址为 1234567H 的单元调入该 Cache，其 tag 应为（ ）。

A.1234H B.2468H C.048DH D.12345H

3、若 $x=103$ ， $y=-25$ ，则下列表达式采用 8 位定点补码运算时，会发生溢出的是（ ）。

A. $x+y$ B. $-x+y$ C. $x-y$ D. $x-y$

4、某字长为 8 位的计算机中，已知整型变量 x 、 y 的机器数分别为

$[x]_{\text{补}}=11110100$ ， $[y]_{\text{补}}=10110000$ 。若整型变量 $z=2x+y/2$ ，则 z 的机器数为（ ）。

A.11000000 B.00100100 C.10101010 D.溢出

5、假设机器字长为 16 位，用定点补码小数表示时，一个字所能表示的范围是（ ）。

A. $0 \sim (1-2^{-15})$

B. $-(1-2^{-15}) \sim (1-2^{-15})$

C. $-1 \sim 1$

D. $-1 \sim (1-2^{-15})$

6、下列关于总线说法中，正确的是（ ）

I.使用总线结构减少了信息传输量

II.使用总线的优点是数据信息和地址信息可以同时传送

III.使用总线结构可以提高信息的传输速度

IV.使用总线结构可以减少信息传输线的条数

A.I, II, III B.II, III, IV C.III, IV D.只有 I

7、系统总线中的数据线、地址线、控制线是根据（ ）来划分的。

A.总线所处的位置

B.总线的传输方向

C.总线传输的内容

D.总线的材料

8、CPU 中的译码器要用（ ）。

A.地址译码人 B.指令译码 C.数据译码 1 D.控制信号译码

9、完整的计算机系统应该包括（ ）。

A.运算器、存储器、控制器

B.外部设备和主机

C.主机和应用程序

D.主机、外部设备、配套的软件系统

10、单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中，错误的是（ ）。

A.可以采用单总线结构数据通路

B.处理器时钟频率较低

C.在指令执行过程中控制信号不变

D.每条指令的 CPI 为 1

11、在计算机体系结构中，CPU 内部包括程序计数器（PC）、存储器数据寄存器（MDR）、指令寄存器（IR）和存储器地址寄存器（MAR）等。若 CPU 要执行的指令为 MOV RO, #100（即将数值 100 传送到寄存器 R0 中），则 CPU 首先要完成的操作是（ ）。

A.100RO B.100→MDR C.PC→MAR D.PC→IR

12、某指令系统有 200 条指令，对操作码采用固定长度二进制编码时，最少需要用（ ）

A.4 B.8 C.16 D.32

13、某机器字长为 32 位，存储器按半字编址，每取出一条指令后 PC 的值自动+2，说明其指令长度是（ ）。

A.16 位 B.32 位 C.128 位 D.256 位

14、CRT 的分辨率为 1024×512 像素，像素的颜色数为 256，则刷新存储器的容量为（ ）

A.256MB B.1MB C.512KB D.2MB

15、在采用中断 I/O 方式控制打印输出的情况下，CPU 和打印控制接口中的 I/O 端口之间交换的信息不可能是（ ）。

A.打印字符 B.主存地址 C.设备状态 D.控制命令

二、填空题

16、RISC 机器一定是_____CPU，但后者不一定是 RISC 机器，奔腾机属于_____机器

17、存储器和 CPU 连接时，要完成_____的连接；_____的连接和_____的连接，方能正常工作。

18、数控机床是计算机在_____方面的应用，邮局把信件自动分练是在计算机_____方面的应用。

19、按 IEEE754 标准，一个浮点数的阶码 E 的值等于指数的_____加上一个固定的

20、存储_____并按_____顺序执行，这是冯 诺依曼型计算机的工作原理。

21、在计算机术语中，将_____和_____和在一起称为 CPU，而将 CPU 和_____合在一起
称为主机。

22、闪速存储器能提供高性能、低功耗、高可靠性以及_____能力，因此作为_____用
于便携式电脑中。

23、不同的 CRT 显示标准所支持的最大_____和_____数目是不同的。

24、总线仲裁部件通过采用_____策略或_____策略，选择其中一个主设备作为总线
的下次，接管总线控制权。

25、DMA 控制器访采用以下三种方法：_____、_____、_____

三、名词解释题

26、系统软件：

27、中断屏蔽：

28、RAM:

29、串行传输:

四、简答题

30、I/O 设备与主机交换信息时，共有哪几种控制方式。简述他们的特点。

31、假设CPU有20根地址线和32根数据线，试问按字节和字寻址，寻址范围分别是多少？

32、控制单元的功能是什么？其输入受什么控制？

33、什么是刷新存储器？其存储容量与什么因素有关？

五、计算题

34、某计算机的CPU主频为500MHz，所连接的某外设的最大数据传输率为20KB/s，该外设接口中有一个16位的数据缓存器，相应的中断服务程序的执行时间为500个时钟周期。

请回答下列问题：

- 1) 是否可用中断方式进行该外设的输入输出？若能，在该设备持续工作期间，CPU用于该设备进行输入/输出的时间占整个CPU时间的百分比大约为多少？
- 2) 若该外设的最大数据传输率是2MB/s，则可否用中断方式进行输入输出？

35、一个直接映射的Cache有128个字块，主机内存包含16K个字块，每个块有16个字，访问Cache的时间是10ms，填充一个Cache字块的时间是200ms，Cache的初始状态为空。

- 1) 如果按字寻址，请定义主存地址字段格式，给出各字段的位宽；
- 2) CPU从主存中依次读取位置16~210的字，循环读取10次，则访问Cache的命中率是多少？
- 3) 10次循环中，CPU平均每次循环读取的时间是多少？

36、设主存容量为1MB，Cache容量为16KB，每字块有16个字，每字32位，且按字节编址。

1) 若Cache采用直接映射，试求主存地址字段中各段的位数。

2) 若Cache采用4路组相联映射，试求主存地址字段中各段的位数。

六、综合题

37、某计算机的主存地址空间大小为256MB，按字节编址。指令Cache和数据Cache分离，均有8个Cache行，每个Cache行大小为64B，数据Cache采用直接映射方式。现有两个功能相同的程序A和B，其伪代码如下所示：

假定

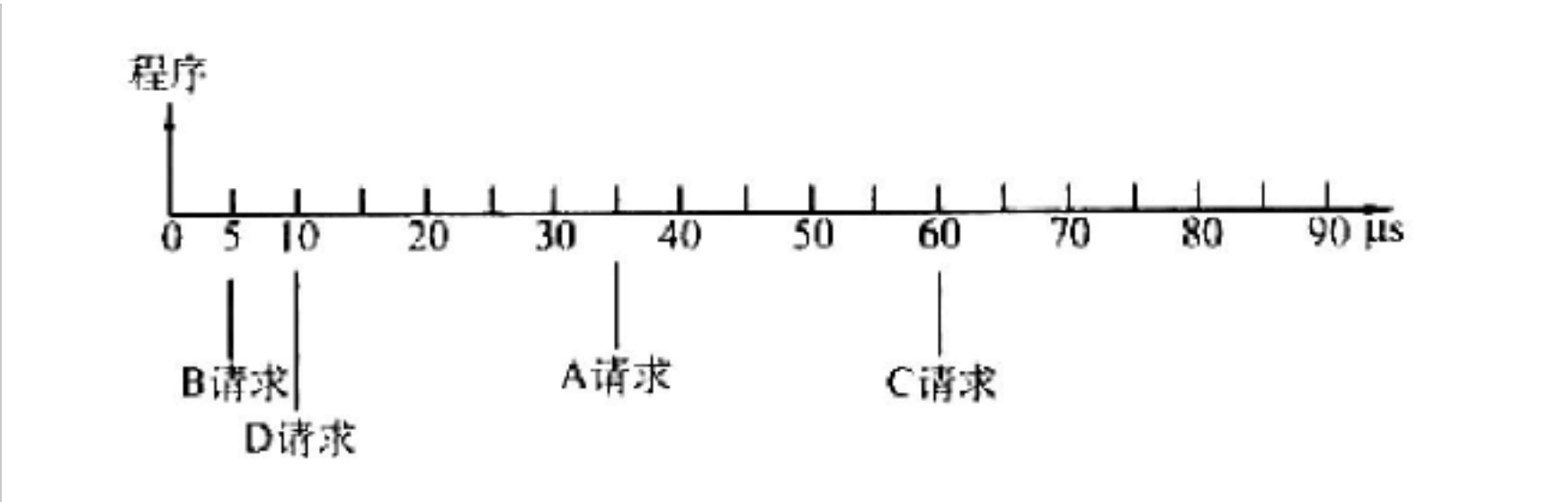
程序 A:	程序 B:
<pre>int a[256][256]; ... int sum_array 1() { int i, j, sum = 0; for(i = 0; i<256; i++) for (j = 0; j<256; j++) sum += a[i][j]; return sum; }</pre>	<pre>int a[256][256]; ... int sum_array 2() { int i, j, sum = 0; for(j = 0; j<256; j++) for (i = 0; i<256; i++) sum += a[i][j]; return sum; }</pre>

int类型数据用32位补码表示，程序编译时，i、j、sum均分配在寄存器中，数组a按行优先方式存放，其首地址为320（+进制）。请回答下列问题，要求说明理由或给出计算过程。

- 1) 若不考虑用于Cache一致性维护和替换算法的控制位，则数据Cache的总容量为多少？
- 2) 数组元素a[0][31]和a[1][1]各自所在的主存块对应的Cache行号分别是多少（Cache行号从0开始）？
- 3) 程序A和B的数据访问命中率各是多少？哪个程序的执行时间更短？

38、设某机有4个中断源A、B、C、D.其硬件排队优先顺序为A>B>C>D，现要求将中断处理顺序改为D>A>C>B。

- 1) 写出每个中断源对应的屏蔽字。
- 2) 按图所示的时间轴给出的4个中断源的请求时刻，画出CPU执行程序的轨迹。设每个中断源的中断服务程序时间均为20s。



39、某机器字长32位，CPU内有32个32位的通用寄存器，设计一种能容纳64种操作的指令系统，设指令字长等于机器字长。

- 1) 如果主存可直接或间接寻址，采用寄存器-存储器型指令，能直接寻址的最大存储空间是多少？试画出指令格式。
- 2) 在1)的基础上，如果采用通用寄存器作为基址寄存器，则上述寄存器-存储器型指令的指令格式又有何特点？画出指令格式并指出这类指令可访问多大的存储空间。

参考答案

一、选择题

1、 C

2、 C

3、 C

4、 A

5、 D

6、 D

7、 C

8、 B

9、 D

10、 A

11、 C

12、 B

13、 B

14、 C

15、 B

二、填空题

16、流水 CISC

17、顺序寻址方式 跳跃寻址方式

18、自动控制 人工智能

19、真值 偏移量

20、程序 地址

21、运算器 控制器 存储器

22、瞬时启动 固态硬盘

23、分辨率 颜色

24、优先级 公平 主方

25、停止 CPU 访问 周期挪用 DMA 和 CPU 交替访内

三、名词解释题

26、系统软件：

计算机系统的一部分，进行命令解释、操作管理、系统维护、网络通信、软件开发和输入输出管理的软件，与具体的应用领域无关。

27、中断屏蔽：

在处理中断时阻止其他中断的过程。

28、RAM：

随机访问存储器，能够快速方便的访问地址中的内容，访问的速度与存储位置无关。

29、串行传输：

是指数据的传输在一条线路上按位进行。（只需一条数据传输线，线路的成本低，适合于长距离的数据传输）

四、简答题

30、答：五种：1.程序查询方式 是由 CPU 通过程序不断查询 I/O 设备是否已做好准备，从而控制 I/O 设备与主机交换信息。2.程序中断方式 倘若 CPU 在启动 I/O 设备后，不查询

设备是否已准备就绪，继续执行自身程序，只是当 I/O 设备准备就绪并向 CPU 发出中断请求后予以响应，这将大大提高 CPU 的工作效率。3.直接存储器存取方式（DMA）主存与 I/O 设备之间有一条数据通路，主存与 I/O 设备交换信息时，无需调用中断服务程序
4.I/O 通道方式、5.I/O 处理机方式

31、解：解答这类题目时首先要清楚地址线的位数对应的都是按字节寻址，如果是按字寻址，则需要拿出地址线来做字内字节寻址。还有一点就是，不要一看到是按字节寻址，就马上从数据线拿出4给地址线，即 $2^{20} \times 32 = 2^{22} \times 8$ ，得出按字节寻址是4MB，这是错误的。寻址本身和数据线没有任何字地址字节地址关系。

32、答：控制单元具有发出各种微操作命令序列的功能

33、答：为了不断提供刷新图像的信号，必须把一顿图像信息存储在刷新存储器，也叫视频存储器。其存储容量由图像灰度级决定。分辨率越高，灰度级越多，刷新存储器容量越大

五、计算题

34、解析：

1) 因为该外设接口中有一个16位数据缓存器，所以，若用中断方式进行输入/输出，可以每16位进行一次中断请求，因此，中断请求的时间间隔为 $2B/20KB/s=100\mu s$ 。

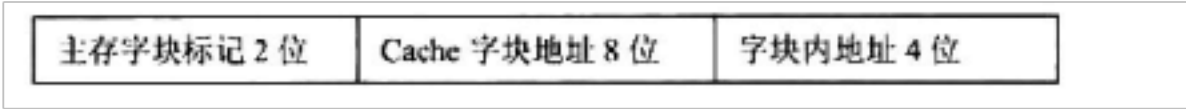
对应的中断服务程序的执行时间为： $(1/500MHz) \times 500 = 1\mu s$ 。因为中断响应过程就是执行条隐指令的过程，所用时间相对于中断处理时间（执行中断服务程序的时间）而言，几乎可以忽略不计，因而整个中断响应并处理的时间大约为 $1\mu s$ 多一点，远远小于中断请求的间隔时间。因此，可以用中断方式进行该外设的输入输出。

若用中断方式进行该设备的输入/输出，则该设备持续上作期间，CPU用于该设备进行输入/输出的时间占整个CPU时间的百分比大约为 $1/100=1\%$ 。

2) 若外设的最大传输率为 2MB/s，则中断请求的时间间隔为 $10^6 \times 2B/2MB = 1\mu s$ 。而整个中断响应并处理的时间大约为 $1\mu s$ 多一点，中断请求的间隔时间小于中断响应和处理时间，即中断处理还未结束就会有该外设新的中断到来，因此不可以用中断方式进行该外设的输入输出

35、解析：

1) 按字寻址，每个块有16个字，故字块内地址为4位。Cache有128个字块，故Cache字块地址为8位。主存包含16K个字块，故主存地址总共14位。则主存字块标记位数为14-8-4=2位。

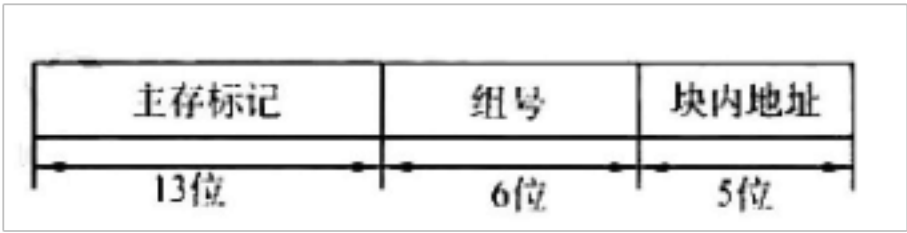


2) Cache中每个块16个字，故16~210位置的字，按照直接映射可分别放入Cache的第1~13块。由于Cache的初始状态为空，循环读取10次时，第一次循环第16、32、48、64、...、208位置的字均未命中，共13次，其他位置均命中，后面9次循环每个字都命中。故Cache的命中率为1-13/(195×10)=99.3%。

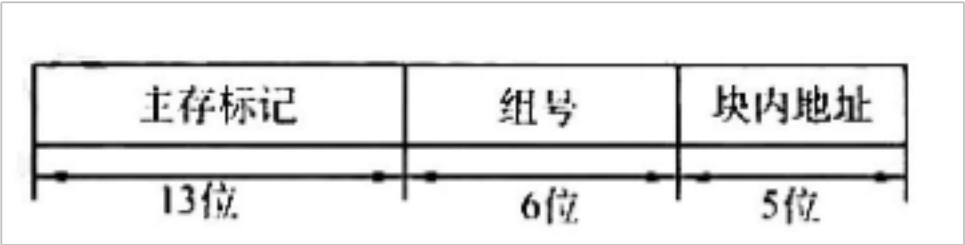
3) 第一次循环需要填充Cache13次，访问Cache 195-13=182次，总时间为200ns×13+10ns×182=4420ms。其余9次循环只需访问Cache195次，总时间为195×10ns×9=17550ns。故平均访问时间为(17550ns+4420ns)/10=2197ns。

36、解析：

1) 若 Cache 采用直接映射。由于每个字块含有 16 个字（64B），且按字节编址，因此字块内的位数（块内地址位数）为 6 位。另外，由于 Cache 中含有 256 个块（16KB/16×4B），因此字块地址位数为 8 位。主存容量 1MB，说明总位数为 20 位，因此主存字块标记位数为 20-6-8=6 位。主存的地址格式如下：



2) 若 **Cache** 采用 4 路组相联映射。同理，块内地址位数为 6 位。由于采用 4 路组相联映射，即每组 4 块，因此一共有 64 组，即组号需要 6 位。很容易得到主存字块标记位数为 $20-6-6=8$ 位。主存的地址格式如下：



六、综合题

37、解析：1) **Cache**结构如下。

V	...	Tag	Data
---	-----	-----	------

此处的行即为块（**Block**）。直接映射下，每块的**Cache**结构一般分为4个部分，其中，**V**：1位，表示所在的块是否有效。

...：表示用于**Cache**一致性维护和替换算法的控制位。

TAG：地址转换标记。

如果不计算 “...” 部分，则**Cache**的大小由**V**、**Tag**和**Data**（数据）3部分组成。在直接映射中，可以将地址分为如下3个部分：

Tag	块索引	块内
-----	-----	----

本题中，总的寻址位数为28位（ $2^{28}=256\text{M}$ ）：块内位为6位（ $2^6=64$ ），5~0位；块索引为3位（ $2^3=8$ ），8~6位。因此， $\text{Tag}=28-6-3=19$ 位，即27~9位。

每行（块）的大小=**V**+**Tag**+数据= $1+19+64\times 8$ 位。

数据**Cache**有8行，总容量为 $(1+19+64\times 8)\times 8/8=532\text{B}$ 。

2) 由于数组在存储器中按行优先方式存放，因此每个数组元素占4B。数组首地址为320，因此可知：

$a[0][31]$ 在存储器中的地址为 $320+31\times 4=444=0001\ 10111100B$

$a[l][1]$ 在存储器中的地址为 $320+(256+1)\times 4=1348=010101000100B$ 按直接映射方式，地址分为3部分，块索引在地址的8~6位，因此两地址所对应的块索引分别为6（110B）、5（101B）。

3) 数组a中每个数据只用了一次，如果程序没有命中，则从主存中读入一块，大小64B，相当于16个整数。对于程序A，如果是按行连续存放的，那么从主存读入一块到Cache（一次失配）后，随后的15次便都Cache命中，读一次管16次，因此命中率为

$$[(2^{16}-2^{12})/2^{16}]\times 100\%=93.75\%$$

程序B随列访问数组a，由于Cache的容量太小，读入的数据块留不到下次用便又被替换，因此每次都失败，命中率为0%。

另一种算法是，由于数组a一行的数据量为1KB>64B，因此访问第0行时，每个元素都不命中，由于数组有256列，数据Cache仅有8行，故访问数组后续列元素仍然不命中，于是程序B的数据访问命中率为0%。

由于从Cache 读数据比从内存读数据快很多，因此程序A的执行时间更短。

分析：

1) V、Tag、Data是每个Cache块（行）的必要组成。为了提高效率或者实行替换算法，每个块还需要一些控制位，这些位根据不同的设计要求而定。

2) 本题中计算两个数组元素的地址是关键。

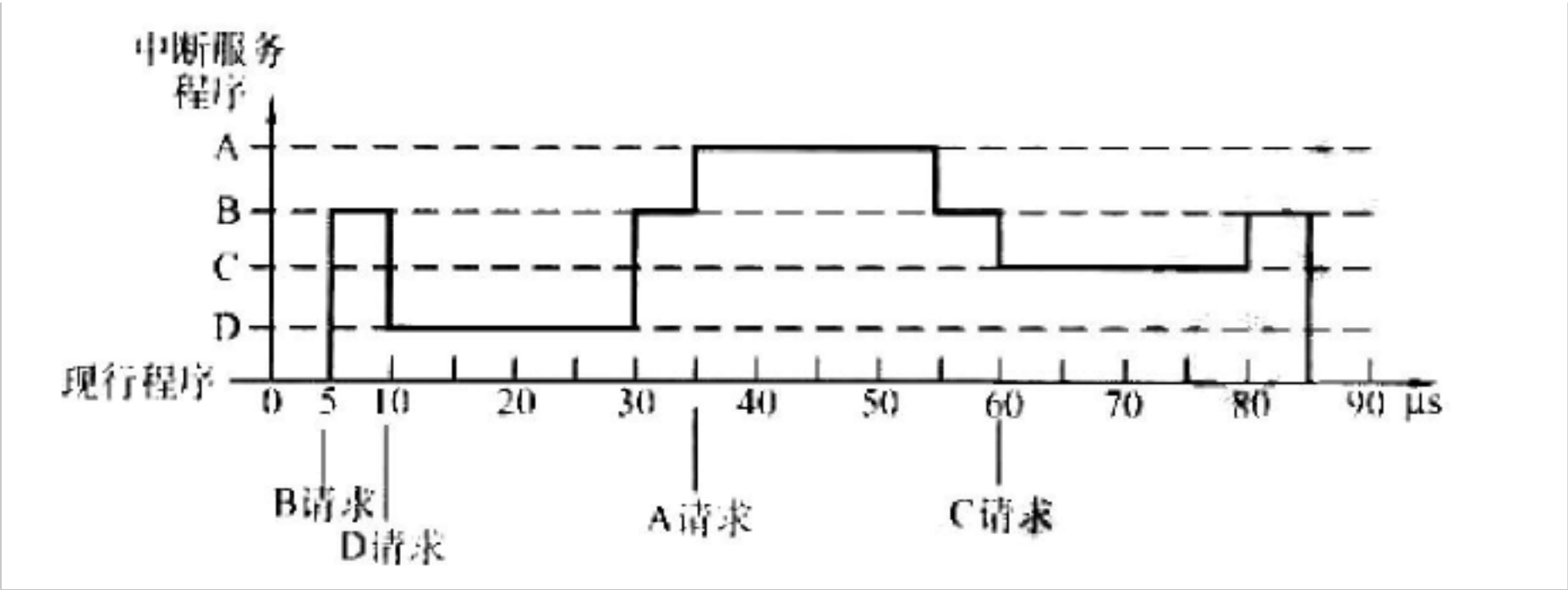
3) 命中率的计算是本问题的关键。注意数组访问与数组在内存中的存储方式，以及命中率的定义。

38、解析：

1) 在中断处理顺序改为D>A>C>B后，每个中断源新的屏蔽字如图所示。

中断源	中断屏蔽码			
	A	B	C	D
A	1	1	1	0
B	0	1	0	0
C	0	1	1	0
D	1	1	1	1

2) 根据新的处理顺序，CPU 执行程序的轨迹如图所示。



39、解析：

1) 根据题意，可设计出如下的指令格式：

操作码	寻址方式 I	寄存器编号 R	形式地址 A
-----	--------	---------	--------

其中，操作码占6位，可容纳64种操作；I占1位，表示直接、间接寻址（I=0表示

间接寻址：**I=1**表示直接寻址）：由于有**32**个寄存器，因此**R**需要占**5**位：形式地址**A**占剩下的位数，即**32-6-1-5=20**位。因此，直接寻址的最大存储空间为**2²⁰**。

2) 如果还需要增加基址寻址，且基址寻址采用通用寄存器，那么必须要增加一个字段来表示基址寄存器到底使用**32**个中的哪一个通用寄存器，故指令格式变为

操作码	寻址方式 I	寄存器编号 R	基址寄存器编号 R ₁	形式地址 A
-----	--------	---------	------------------------	--------

其中，操作码占 **6** 位，可容纳 **64** 种操作；**I** 占 **2** 位，表示直接、间接、基址

（**I=00** 表示间接寻址；**I=01** 表示直接寻址；**I=10** 表示基址寻址）；由于有 **32** 个寄存器，因此 **R** 需要占 **5** 位；同理，**R₁** 需要 **5** 位；形式地址 **A** 占剩下的位数，即 **32-6-2-5-5=14** 位。因为通用寄存器为 **32** 位，用它做基址寄存器后，可得 **32** 位的有效地址，所以寻址范围可达到 **2³²**。