

填空题：

1. 集成电路的加工过程主要是三个基本操作，分别是：形成某种材料的 薄膜薄层，在各种 薄膜材料 上形成需要的 图形，通过 掺杂 改变材料的 电阻率 或 杂质类型。
2. MOS晶体管的工作原理是利用 栅 极与衬底之间形成的电场，在半导体表面形成 反型层，使源、漏之间形成导电 沟道。
3. 用 CMOS电路设计静态数字逻辑电路，如果设计与非逻辑下拉支路应该是 串 联，如果设计或非逻辑下拉支路应该是 并 联。
4. MOS存储器主要分为两大类，分别是：随机存储器（RAM） 和 只读存储器（ROM）。
5. CMOS集成电路是利用 NMOS 和 PMOS 的互补性来改善电路性能的，因此叫做 CMOS集成电路。在 P型衬底上用 n 阱工艺制作 CMOS 集成电路。
6. 1947年 巴丁、肖克莱、布拉克 发明了半导体晶体管，并因此获得了 1956 年的诺贝尔物理学奖，1958 年美国德州仪器公司的 杰克基尔比 发明了第一块集成电路，并获得 2000 年诺贝尔物理学奖。
7. CMOS逻辑电路的功耗由三部分组成：动态功耗、静态功耗、开关过程中的短路功耗。
8. 静态 CMOS逻辑电路中，一般 PMOS管的衬底接 电源 电压，NMOS管的衬底接 地 电压；NMOS下拉网络的构成规律是：NMOS管串联实现 与 操作；NMOS管并联实现 或 操作；PMOS上拉网络则是按对偶原则构成，即 PMOS管 串 联实现 或 操作；PMOS管 并 联实现 与 操作。
9. 集成电路中非易失存储器包括即：不可擦除 ROM、EPROM、EEPROM。
10. 等比例缩小理论包括 恒定电场 等比例缩小定律、恒定电压 等比例缩小定律、准恒定电场 等比例缩小定律。
11. 集成电路产业按照职能划分为 设计、制造、封装 三业。
12. CMOS逻辑电路的功耗由三部分组成：动态 功耗 P_d 、开关过程中的 短路 功耗 P_{SC} 、静态 功耗 P_s 。
13. 时序 电路的输出不仅与当前的 输入 有关，还与系统 原来 的状态有关。

判断题：

1. N阱 CMOS工艺是指在 N阱中加工 NMOS的工艺。 ----- ()
2. 非易失存储器就是只能写入，不能擦除的存储器。 ----- ()
3. 用二极管在电路中防止静电损伤就是利用二极管的正向导电性能。 ()
4. DRAM在存储的过程中需要刷新以保持所存储的值。 ----- ()
5. MOS晶体管与 BJT 晶体管一样，有三个电极。 ----- ()
6. 为保证沟道长度相同的 PMOS管和 NMOS等效导电因子相同，PMOS管的沟道宽度一般比 NMOS管的大。----- ()
7. 集成电路是以平面工艺为基础，经过多层加工形成的。 ----- ()
8. 为保证沟道长度相同的 PMOS管和 NMOS等效导电因子相同 PMOS管的沟道宽度一般比 NMOS管的大。 ----- ()
9. 非易失存储器就是只能写入，不能擦除的存储器。 ----- ()
10. DRAM在存储的过程中需要刷新以保持所存储的值。 ----- ()
11. 用于模拟集成电路设计的 SPICE模型中的“ SPICE”是 Simulation Program with Integrated Circuit Emphasis 的缩写。 ----- ()
12. N阱 CMOS工艺是指在 N阱中加工 NMOS的工艺。----- ()
13. ESD保护的定义为：为防止静电释放导致 CMOS集成电路失效所采取的保护措施。 ----- ()

简答题：

1. 请简述 MOS晶体管的阈值电压。

使沟道区源端半导体表面达到强反型所需的栅压

强反型：即反型层多子浓度大于等于衬底多子浓度

- 费米能级：电子占据几率为 $1/2$ 的能级
- 影响阈值电压的因素
- 栅电极材料：不同的功函数影响平带电压
- 栅氧化层：
 - 厚度
 - 栅氧化层电荷密度
- 衬底掺杂浓度
 - 掺杂浓度越大，阈值电压绝对值越大。

体效应对阈值电压的影响

2. 请简述 CMOS晶体管的五个二级效应。

- 短沟道效应
- 窄沟道效应
- 饱和区沟道调制效应
- 迁移率退化和速度饱和
- 热电子效应

3、可恢复逻辑电路： 需要补充

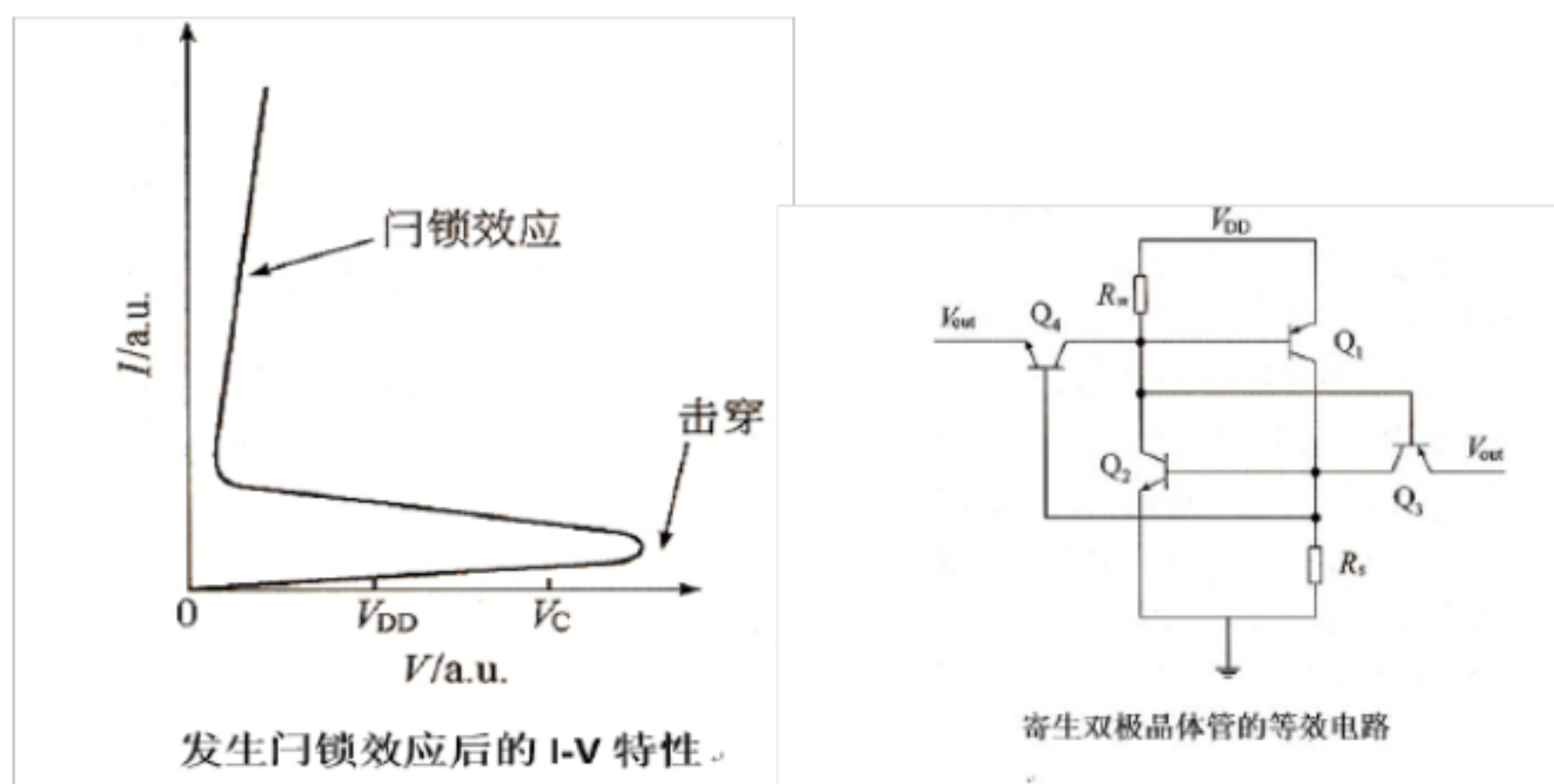
当输入逻辑电平偏离理想电平时， 能使偏离理想电平的信号经过几级电路逐渐收敛到理想工作点，最终达到合格的逻辑电平的电路。

为什么说 **CMOS** 反相器是可恢复逻辑电路：

CMOS 反相器具有可恢复逻辑性是因为 CMOS 反相器的电压传输特性曲线共有这样的特点：在稳定的输出高电平或输出低电平区， 电路的增益很小， 而在逻辑状态转变区电路的增益很大。

4、请画图并解释 N 阱 CMOS 结构中的闩锁效应。

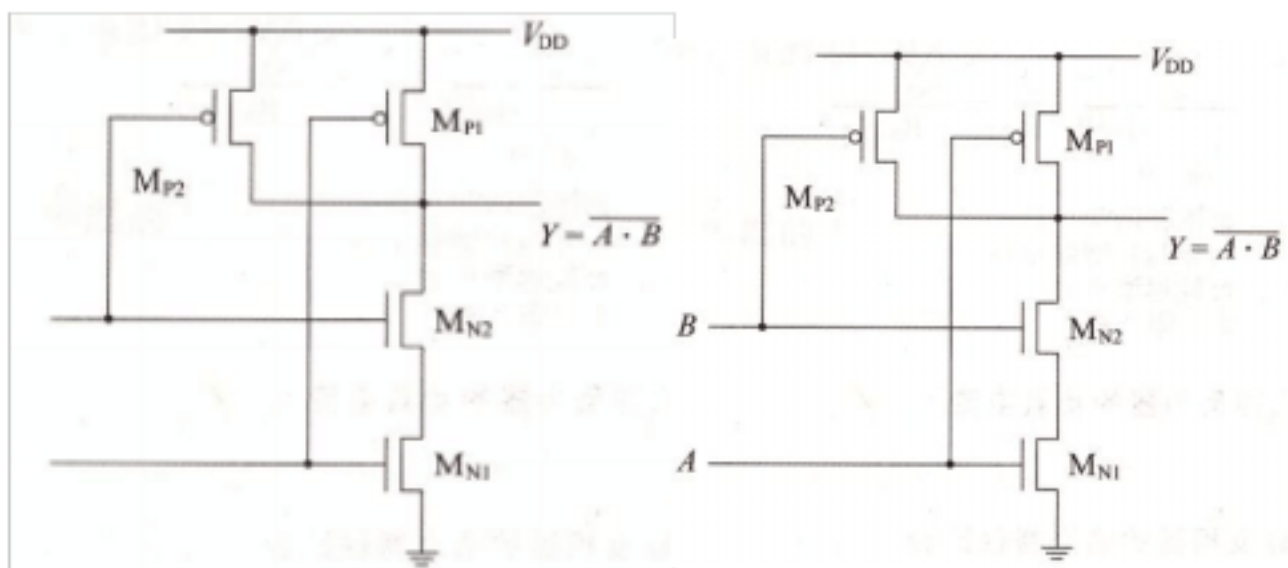
在 n 阱 CMOS 中 PMOS 管的源、漏区通过 n 阱到衬底形成了寄生的纵向 PNP 晶体管，而 NMOS 的源、漏区 与 P 型衬底和 n 阱形成寄生的横向 NPN 晶体管。 PNP 晶体管的集电极和 NPN 晶体管的基极通过衬底连接， 同时 NPN 晶体管的集电极通过阱和 PNP 晶体管的基极相连，从而构成交叉耦合形成的正反馈回路， 一旦其中有一个晶体管导通， 电流将在两支晶体管之间循环放大， 使电流不断加大， 最终导致电源和地之间形成极大的电流， 并使电源和地之间锁定在一个很低的电压，这就是闩锁效应。



3. 请简述集成电路设计过程中的六个抽象级别和每个级别的表现形式。

具体表现形式	抽象级	抽象程度	复杂程度
设计要求的文本描述	系统级	高	低
可执行的程序	行为级		
时序状态机	RTL级		
逻辑门	逻辑级		
晶体管	电路级		
多边形	版图级	低	高

4. 假设有两个逻辑信号 A、B,在某状态下 A 的上升沿先于 B 的上升沿到达图 1 所示电路,为了使电路得到最好的瞬态特性,请在图 1 中标注出 A、B 接入方法,并解释其原因。



将先到达的逻辑信号 A 接于靠近地线的 NMOS 管 MN1 的栅极上，将有利于使先到达的信号 A 对串联支路的中间结点寄生电容放电，其原因是只有中间结点的电容放电后，才能使输出结点寄生电容放电，这样有利于提高电路的响应速度。

5. 概括版图设计规则的三种尺寸限制。

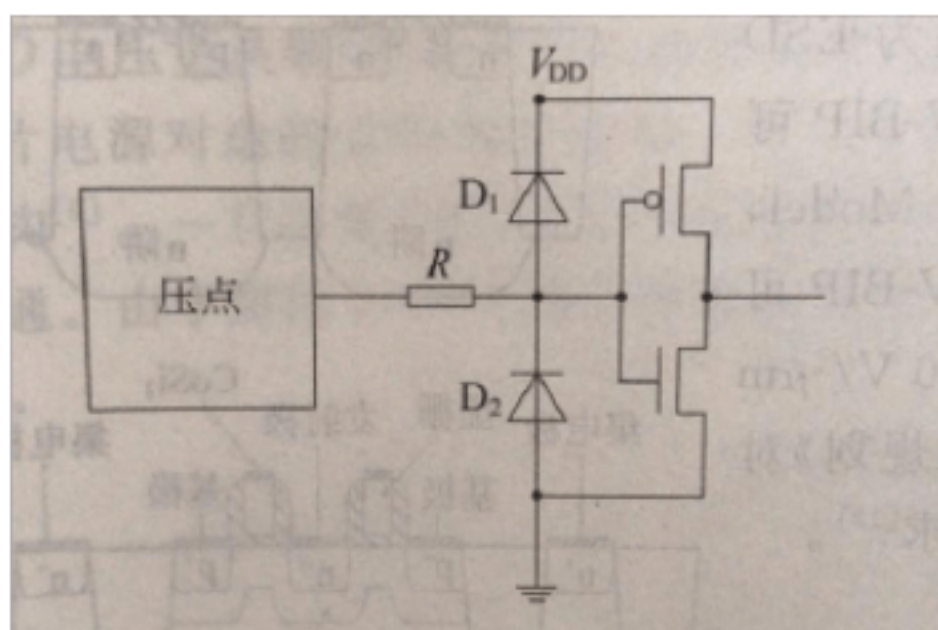
- 1) 各层图形的最小尺寸即最小线宽
- 2) 同一层次图形之间的最小间距
- 3) 不同层次图形之间的对准容差或套刻间距

1. 画出 CMOS IC 中采用双二极管输入 ESD 保护电路，说明输入电压的钳位范围。

静电释放是 MOS 集成电路设计中必须考虑的一个可靠性问题，静电释放对 CMOS 集成电路的损伤不仅会引起 MOS 器件栅击穿，还可能诱发电路内部的闩锁效应，防止 ESD 应力损伤的方法是在芯片的输入、输出端增加 ESD 保护电路。

作用是：

- 一：提供 ESD 电流释放通路。
- 二：电压钳位，防止过大的电压加在 MOS 器件上。



这两个二极管把加到输入级 MOS 晶体管栅极的电压钳制在 $-0.7V < V_{in} < V_{dd} + 0.7V$

2. 请给出六管 SRAM 单元电路图，并说明读写操作过程。

写操作：某单元写入信息时，该单元的字线为高电平，使门管 M5 和 M6 导通。若写入“1”则 $V_{BL} = V_{DD}$ ， $V(BL)' = 0$ ，使 V1 充电到高电平，V2 充电到低电平，写入信息。

读操作时：位线 BL, (BL)' 都预充电到高电平 V_{DD} ，同时通过行译码器使该单元字线为高电平。若读“1”， $V_1 = V_{OH}$ ， $V_2 = 0$ ，使 M1 截止，位线 BL 不能放电，M2 和 M6 导通，对位线 (BL)' 放电。若读“0”，则对位线 (BL)' 保持高电平，而 BL 通过 M5 和 M1 放电。

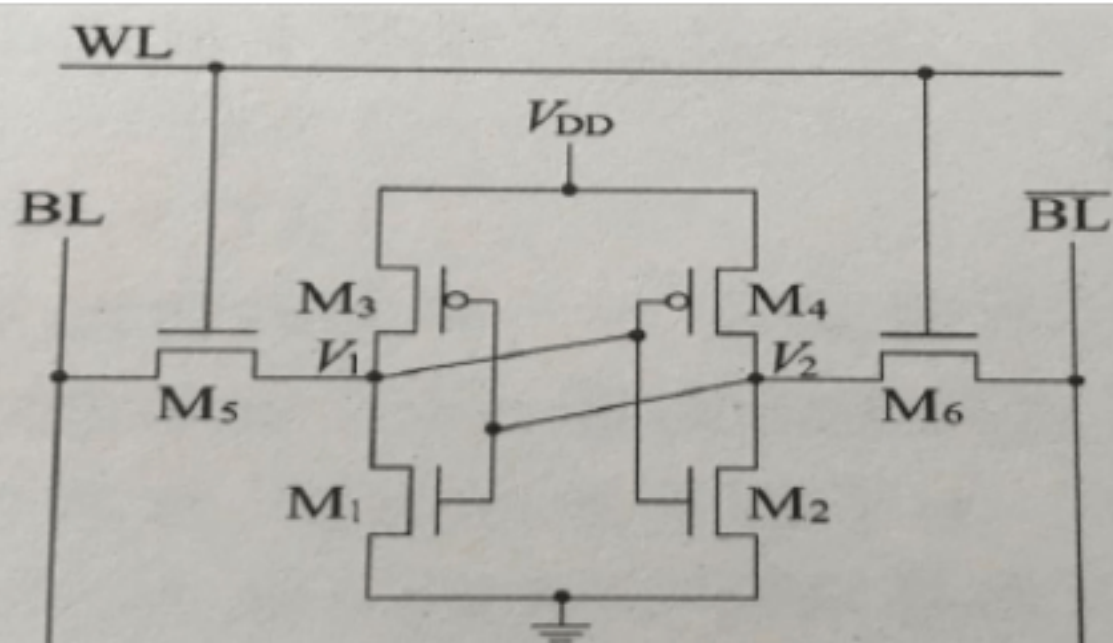


图 7.3-11 CMOS 单元电路

综合题：

3. 请在图 3 中补画实现 $Y = \overline{AB + CD}$ 逻辑功能的、采用 N 阱工艺的 CMOS 电路的棍图和相应的版图。

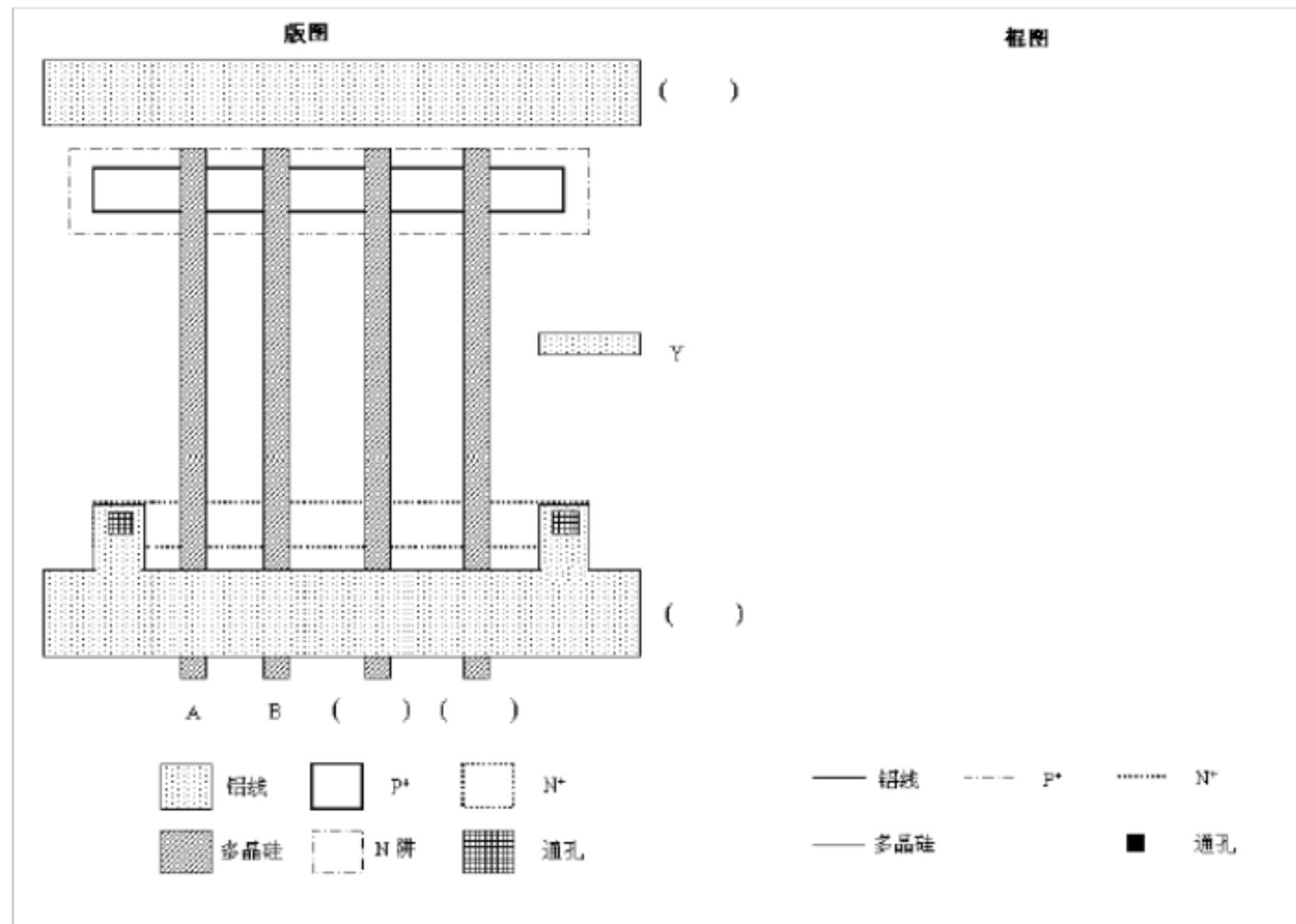
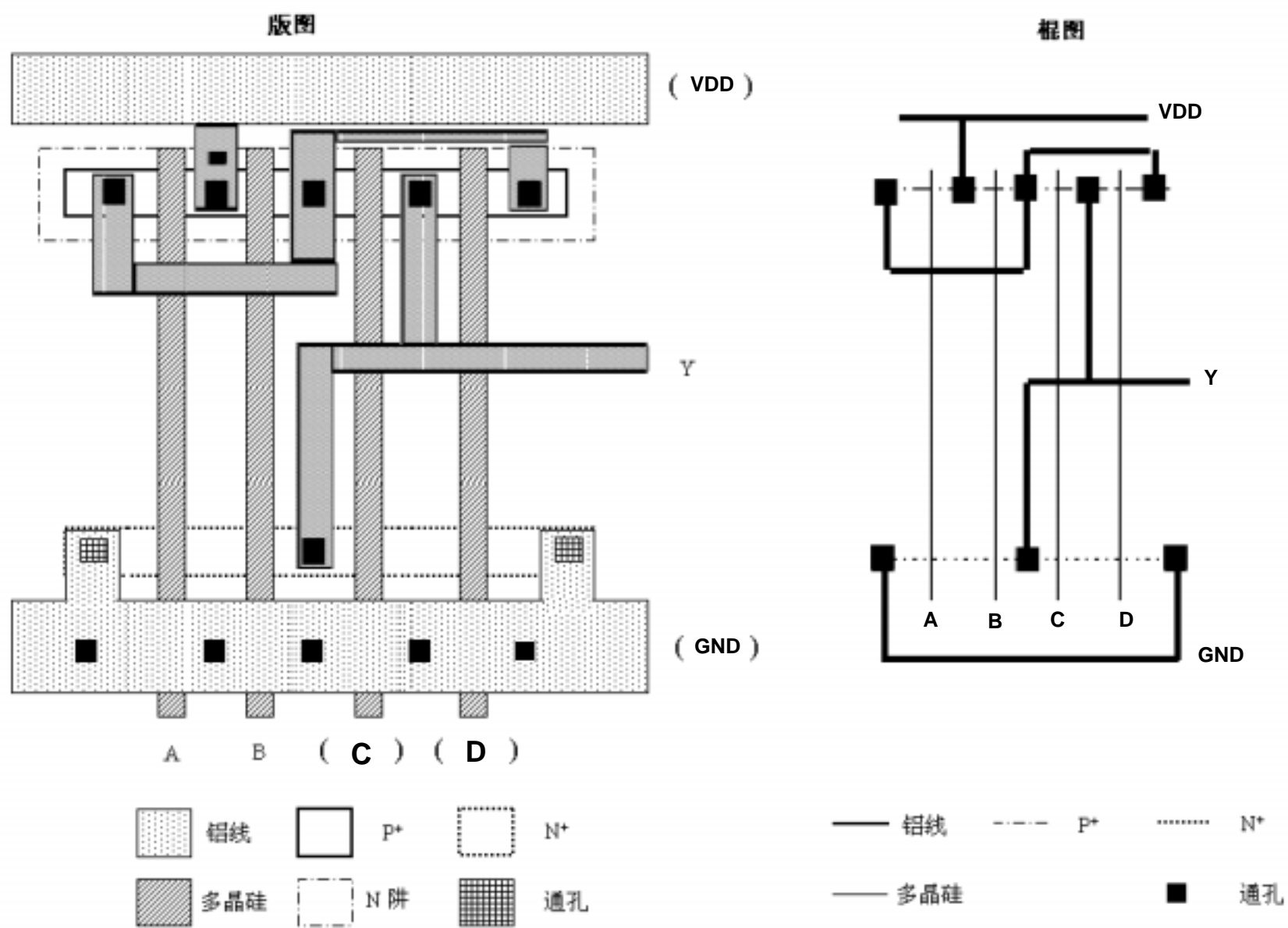


图 3



4. 图 1 为 NMOS 管的三维图，请写出图中字母 A 至 F 所对应部位的中文名称，并简述 NMOS 晶体管的工作原理，画出 NMOS 管的输出特性曲线、标出三个工作区域，说明三个工作区域的界限。

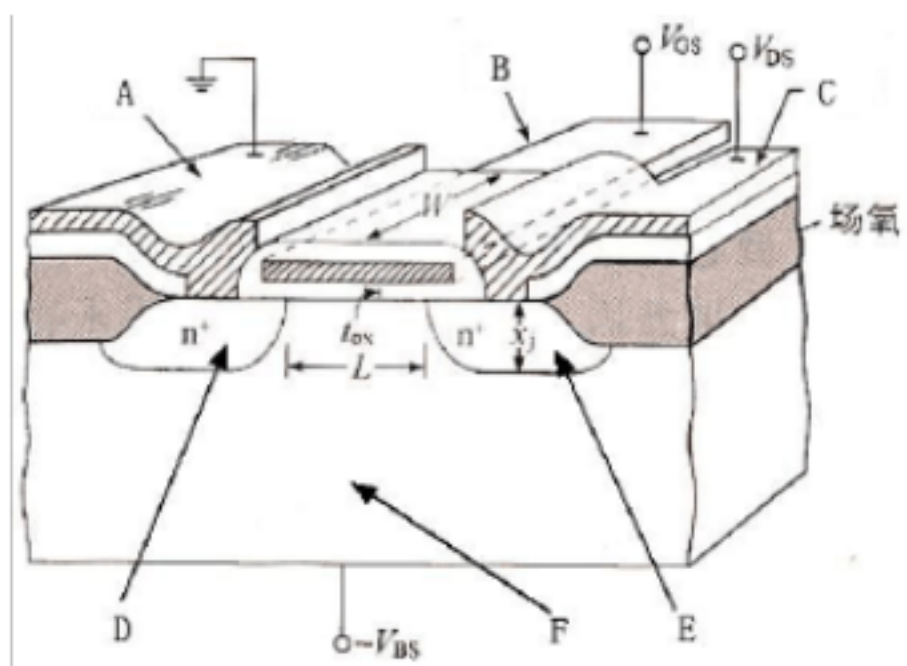
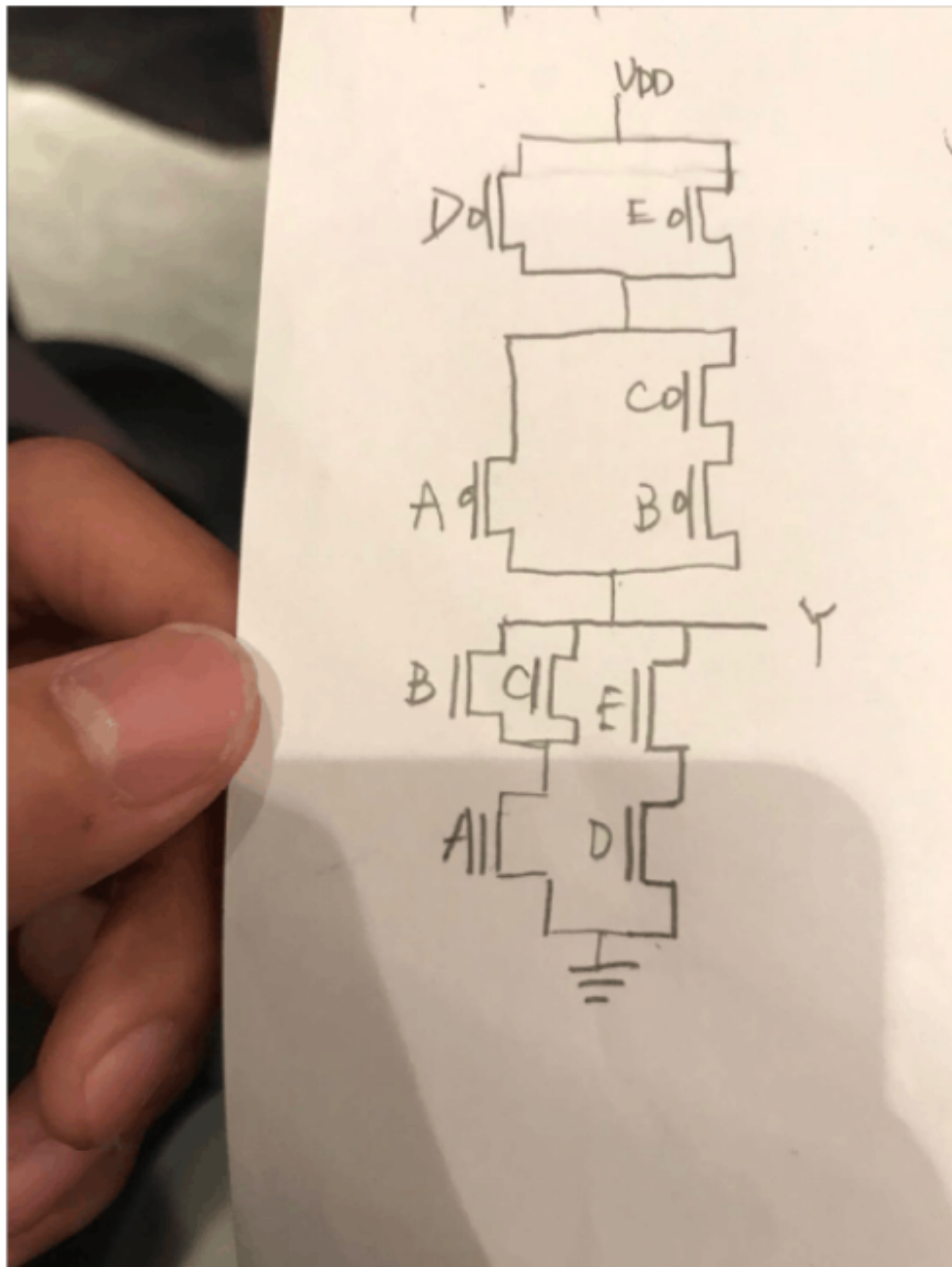


图 1

5. 请画出用静态 CMOS 电路和动态 CMOS 电路（提示：时钟控制预充和求值，并带有 Footed 管）实现 $Y = A(B + C)$ 逻辑功能的电路图，并给出两种电路的真值表。图例：



6. 请画出用 CMOS 电路实现 $Y = \overline{A(B+C)} + \overline{DE}$ 逻辑功能的电路图，并给出该电路的真值表。



7. 请画出 NMOS 管的输出特性曲线、标出三个工作区域，并说明三个工作区域的界限。