

2021 年北京工业大学软件工程专业《计算机组成原理》科目期末试卷

A (有答案)

一、选择题

1、下列关于 Cache 和虚拟存储器的说法中，错误的有（ ）。

- I.当 Cache 失效（即不命中）时，处理器将会切换进程，以更新 Cache 中的内容
- II.当虚拟存储器失效（如缺页）时，处理器将会切换进程，以更新主存中的内容
- III.Cache 和虚拟存储器由硬件和 OS 共同实现，对应用程序员均是透明的
- IV.虚拟存储器的容量等于主存和辅存的容量之和

A.I、IV

B.III、V

C.I、II、III

D.I、III、IV

2、地址线 A15~A0（低），若选取用 16K×1 位存储芯片构成 64KB 存储器，则应由地址码（ ）译码产生片选信号。

A.A15, A14 B.A0, A1 C.A14, A13 D.A1, A2

3、若浮点数用补码表示，则判断运算结果为规格化数的方法是（ ）。

A.阶符与数符相同，则为规格化数

B.小数点后第一位为 1，则为规格化数

C.数符与小数点后第 1 位数字相异，则为规格化数

D.数符与小数点后第 1 位数字相同，则为规格化数

4、在 C 语言程序中，下列表达式中值为 True 的有（ ）。

I.123456789= (int) (float) l23456789

II.123456== (int) (float) 1234561

III.123456789- (int (double) 123456789

A.仅 I、II B. 仅 I、III C.仅 II、III D. I、II、III、

5、假设寄存器的内容为 00000000，若它等于-128，则该机器采用了（ ）。

A.原码 B.补码 C.反码 D.移码

6、中断判优逻辑和总线仲裁方式相类似，下列说法中，正确的是（ ）。

I.在总线仲裁方式中，独立请求方式响应时间最快，是以增加处理器开销和增加控制线数为代价的

II.在总线仲裁方式中计数器查询方式，若每次计数都从“0”开始，则所有设备使用总线的优先级相等

III.总线仲裁方式一般是指 I/O 设备争用总线的判优方式，而中断判优方式一般是指 I/O 设备争用 CPU 的判优方式

IV.中断判优逻辑既可以通过硬件实现，也可以通过软件实现，

A. I, II B. I, III, IV C. I, II, IV D.I, IV

7、内部总线（又称片内总线）是指（ ）。

A.CPU 内部连接各寄存器及运算部件之间的总线

B.CPU 和计算机系统的其他高速功能部件之间互相连接的总线

C.多个计算机系统之间互相连接的总线

D.计算机系统和其他系统之间互相连接的总线

8、假定机器 M 的时钟频率为 200MHz，程序 P 在机器 M 上的执行时间为 12s。对 P 优化时，将其所有乘 4 指令都换成了一条左移两位的指令，得到优化后的程序 P。若在 M

上乘法指令的 CPI 为 102，左移指令的 CPI 为 z ，P 的执行时间是 P' 执行时间的 1.2 倍，则 P 中的乘法指令条数为（ ）。

A.200 万 B.400 万 C.800 万 D.1600 万

9、CPU 中不包括（ ）。

A.操作码译码器

B.指令寄存器

C.地址译码器

D.通用寄存器

10、某计算机的指令流水线由 4 个功能段组成，指令流经各功能段的时间（忽略各功能段之间的缓存时间）分别为 90ns、80ns、70ns 和 60ns，则该计算机的 CPU 时钟周期至少是）（ ）。

A.90ns B.80ns C.70ns D.60ns

11、下列关于超标量流水线特性的叙述中，正确的是（ ）。

I.能缩短流水线功能段的处理时间

II.能在一个时钟周期内同时发射多条指令

III.能结合动态调度技术提高指令执行并行性

A.仅 II B.仅 I、III C.仅 I、II D.I、II、III

12、在下列寻址方式中，（ ）方式需要先计算，再访问存。

A.相对寻址 B.变址寻址 C.间接寻址 D.A、B

13、四地址指令 $OP A_1 A_2 A_3 A_4$ 的功能为 $(A_1) OP (A_2) - A_3$ ，且 A_4 给出下一条指令地址，假设 A_1 ， A_2 ， A_3 ， A_4 都为主存储器地址，则完成上述指令需要访存（ ）次。

A.2 B.3 C.4 D.5

14、中断响应是在（ ）

- A.一条指令执行开始
- B.一条指令执行中间
- C.一条指令执行之末
- D.一条指令执行的任何时刻

15、DMA 方式的接口电路中有程序中断部件，其作用是（ ）。

- A.实现数据传送
- B.向 CPU 提出总线使用权
- C.向 CPU 提出传输结束
- D.发中断请求

二、填空题

16、计算机系统中，根据应用条件和硬件资源不同，数据传输方式可采用： _____ 传送、 _____ 传送和 _____、传送。

17、指令寻址的基本方式有两种， _____ 方式和 _____ 方式。

18、PCI 总线采用 _____ 仲裁方式，每一个 PCI 设备都有独立的总线请求和总线授权两条信号线与 _____ 相连。

19、PCI 总线是当前流行的总线。它是一个高 _____ 且与 _____ 无关的标准总线。

20、多媒体 CPU 是带有 _____ 技术的处理器，它是一种多媒体扩展结构技术，特别适合于 _____ 处理。

21、计算机系统中，根据应用条件和硬件资源不同，数据传输方式可采用 _____ 传送、 _____ 传送、 _____ 传送。

22、奔腾 CPU 中 L2 级 cache 的内容是_____的子集，而_____内容又是 L2 级 cache 的子集。

23、不同机器有不同的_____，RISC 指令系统是_____指令系统的改进。

24、中断处理需要有中断_____。中断_____产生，中断_____等硬件支持。

25、按照总线仲裁电路的位置不同，可分为_____仲裁和_____仲裁。

三、名词解释题

26、上溢：

27、音频识别：

28、EPROM：

29、微操作：

四、简答题

30、何谓通用串口 I/O 标准接口 IEEE1394？简述其性能特点？

31、在 DMA 方式预处理（初始化）阶段，CPU 通过程序送出哪些信息？

32、说明存取周期和存取时间的区别。

33、什么是指令字长、机器字长和存储字长？

五、计算题

34、设浮点数字长为**16**位，其中阶码**5**位（含一位阶符），尾数**11**位（含一位数符），将十进制数**+13/128**写成：二进制定点数和浮点数，并分别写出它在定点机和浮点机中的机器数形式。

35、一个直接映射的Cache有128个字块，主机内存包含16K个字块，每个块有16个字，访问Cache的时间是10ms，填充一个Cache字块的时间是200ms，Cache的初始状态为空。

- 1) 如果按字寻址，请定义主存地址字段格式，给出各字段的位宽；
- 2) CPU从主存中依次读取位置16~210的字，循环读取10次，则访问Cache的命中率是多少？
- 3) 10次循环中，CPU平均每次循环读取的时间是多少？

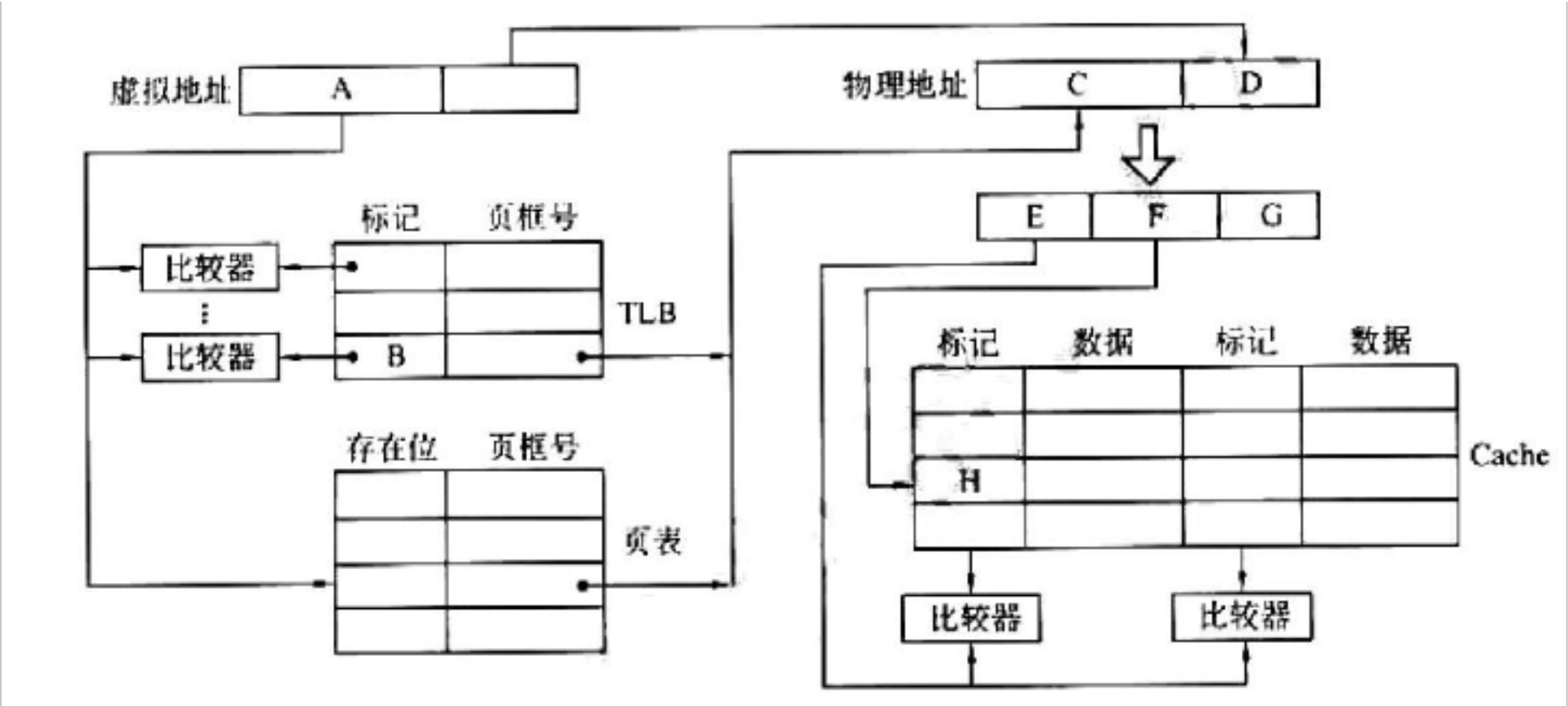
36、有一台磁盘机，其平均寻道时间为30ms，平均等待时间为10ms，数据传输率为500B/ms，磁盘机中随机存放着1000块、每块为3000B的数据。现想把“块块数据取走，更新后再放回原地。假设一次取出或写入所需时间为：平均寻道时间+平均等待时间+数据传输时间。另外，使用CPU更新信息所需时间为4ms，并且更新时间同输入/输出操作不相重叠。

试问：

- 1) 更新磁盘上的全部数据需多少时间？
- 2) 若磁盘机的旋转速度和数据传输率都提高一倍，更新全部数据需要多少时间？

六、综合题

37、某计算机采用页式虚拟存储管理方式，按字节编址，虚拟地址为32位，物理地址为24位，页大小为8KB:TLB采用全相联映射；Cache数据区大小为64KB，按2路组相联方式组织，主存块大小为64B。存储访问过程的示意图如图所示。

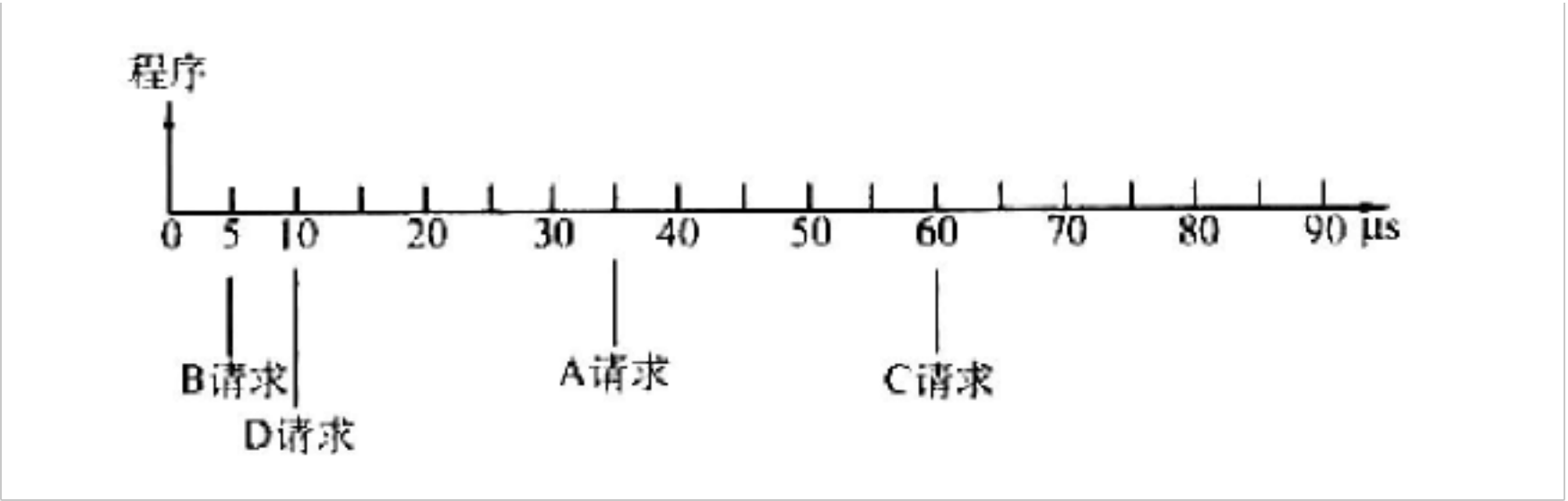


请回答下列问题。

- 1) 图中字段A~G的位数各是多少？TLB标记字段B中存放的是什么信息？
- 2) 将块号为4099的主存块装入到Cache中时，所映射的Cache组号是多少？对应的H字段内容是什么？
- 3) Cache缺失处理的时间开销大还是缺页处理的时间开销大？为什么？
- 4) 为什么Cache 可以采用直写（Write Through）策略，而修改页面内容时总是采用回写（Write Back）策略？

38、设某机有4个中断源A、B、C、D.其硬件排队优先顺序为A>B>C>D，现要求将中断处理顺序改为D>A>C>B。

- 1) 写出每个中断源对应的屏蔽字。
- 2) 按图所示的时间轴给出的4个中断源的请求时刻，画出CPU执行程序轨迹。设每个中断源的中断服务程序时间均为20s。



39、设某机器共能完成**120**种操作，**CPU**共有**8**个通用寄存器，且寄存器都为**12**位。主存容量为**16K**字（机器采用按字寻址），采用寄存器-存储器型指令。

1) 欲使指令可直接访问主存的任意地址，指令字长应取多少位？

2) 若在上述设计的指令字中设置一寻址特征位**X**，且**X=0**表示某个寄存器作为基址寄存器，试画出指令格式。试问采用基址寻址可否访问主存的任意单元？为什么？如不能，提出一种方案，使得指令可访问主存的任意位置。

3) 若存储字长等于指令字长，且主存容量扩大到**64K**字，在不改变硬件结构的前提下，可采用什么方法使得指令可访问存储器的任意位置。

参考答案

一、选择题

1、D

2、A

3、C

4、C

5、D

6、B

7、A

8、B

9、C

10、A

11、C

12、D

13、C

14、C

15、C

二、填空题

16、并行 串行 复用

17、字向 位向

18、集中式 中央仲裁器

19、带宽 处理器

20、MMX 图像数据

21、并行 串行 复用

22、主存 L1 级 cache

23、指令系统 CISC

24、优先级仲裁 向量 控制逻辑

25、集中式 分布式

三、名词解释题

26、上溢：

指数的绝对值太大，以至大于数据编码所能表示的数据范围，

27、音频识别：

一个对于音频信息提炼和压缩的过程，如将语音信号转化成文字信息以便于计算机的存储和处理。

28、EPROM：

可擦写可编程的 ROM，可以被用户编程多次。靠紫外线激发浮置栅上的电荷以达到擦除的目的。

8，EEPROM：

电可擦写可编程的 ROM，能够用电子的方法擦除其中的内容。

9，SDRAM：

同步型动态随机访问存储器，在系统时钟控制下进行数据的读写。

29、微操作：

在微程序控制器中，执行部件接受微指令后所进行的操作。

四、简答题

30、答：IEEE1394 是串行 I/O 标准接口。与 SCSI 并行 I/O 接口相比，它具有更高的数据传输速率和数据传送的实时性，具有更小的体积和连接的方便性。IEEE1394 的一个重大特点是，各被连接的设备的关系是平等的，不用 PC 介入也能自成系统。因此 IEEE1394 已成为英特尔、微软等公司联手制定的 PC98 系统设计指南的新标准。

31、答：向 DMA 控制器及 I/O 接口（分离模式或集成模式均可）分别送出如下信息：A、测试设备状态，预置 DMA 控制器工作方式；B、主存缓冲区首址，交换量，传送方向；C、设备寻址信息，启动读/写。

32、答：存取周期和存取时间的主要区别是：存取时间仅为完成一次操作的时间，而存取周期不仅包含操作时间，还包含操作后线路的恢复时间。即：存取周期=存取时间+恢复时间

33、答：机器字长：CPU 一次能处理数据的位数，通常与 CPU 的寄存器位数有关。

五、计算题

34、解析：假设 $x = +13/128$ 其二进制形式可以表示为： $x = 0.0001101000$ 。

定点数表示： $x = 0.0001101000$ 。

浮点数规格化表示： $x = 0.1101000000 \times 2^{-11}$ 。

定点机中： $[x]_{\text{原}} = [x]_{\text{补}} = [x]_{\text{反}} = 0.0001101000$ 。

浮点机中：

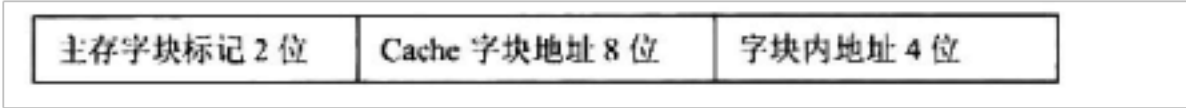
$[x]_{\text{原}} = 1, 0011; 0.1101000000$ 。

$[x]_{\text{补}} = 1, 1101; 0.1101000000$ 。

$[x]_{\text{反}} = 1, 1100; 0.1101000000$ 。

35、解析：

1) 按字寻址，每个块有16个字，故字块内地址为4位。Cache有128个字块，故Cache字块地址为8位。主存包含16K个字块，故主存地址总共14位。则主存字块标记位数为14-8-4=2位。



2) Cache中每个块16个字，故16~210位置的字，按照直接映射可分别放入Cache的第1~13块。由于Cache的初始状态为空，循环读取10次时，第一次循环第16、32、48、64、...、208位置的字均未命中，共13次，其他位置均命中，后面9次循环每个字都命中。故Cache的命中率为 $1-13/(195 \times 10) = 99.3\%$ 。

3) 第一次循环需要填充Cache13次，访问Cache $195-13=182$ 次，总时间为 $200ns \times 13 + 10ns \times 182 = 4420ms$ 。其余9次循环只需访问Cache195次，总时间为 $195 \times 10ns \times 9 = 17550ns$ 。故平均访问时间为 $(17550ns + 4420ns) / 10 = 2197ns$ 。

36、解析：由于数据块是随机存放的，因此每取出或写入一块均要定位。

数据传输时间=3000B÷500B/ms=6ms.

1) 更新全部数据所需时间=2×1000×（平均寻道时间+平均等待时间+数据传输时间，间）+1000×CPU更新信息时间=2×1000×（30+10+6）+1000×4=96000ms=96s

2) 磁盘机旋转速度提高一倍后，平均等待时间为5ms。数据传输率提高一倍，即1000B/ms.数据传输时间变为3000÷1000B/ms=3ms。更新全部数据所需时间=2×1000×（30+5+3）+1000×4=80000ms=80s

六、综合题

37、解析：

1) 页大小为8KB，页内偏移地址为13位，故A=B=32-l3=19；D=13；C=24-13=l1：主存块大小为64B，故G=6。2路组相联，每组数据区容量有

64B×2=128B，共有64KB/128B=512组，故F=9： E=24-G-F=24-6-9=9。因而 A=19， B=19， C=11， D=13， E=9， F=9， G=6。TLB中标记字段B的内容是虚页号，表示该TLB项对应哪个虚页的页表项。

2) 块号4099=000001000000000011B，因此所映射的Cache组号是000000011B=3，对应的H字段内容为000001000B。

3) Cache缺失带来的开销小，而处理缺页的开销大。因为缺页处理需要访问磁盘，而Cache缺失只访问主存。

4) 因为采用直写策略时需要同时写快速存储器和慢速存储器，而写磁盘比写主存慢得多，所以，在Cache——主存层次，Cache可以采用直写策略，而在主存——外存（磁盘）层次，修改页面内容时总是采用写回策略。

38、解析：

1) 在中断处理顺序改为D>A>C>B后，每个中断源新的屏蔽字如图所示。

中断源	中断屏蔽码			
	A	B	C	D
A	1	1	1	0
B	0	1	0	0
C	0	1	1	0
D	1	1	1	1

2) 根据新的处理顺序，CPU 执行程序的轨迹如图所示。

